

ОПТИМИЗАЦИЯ СХЕМЫ УСТРОЙСТВА УПРАВЛЕНИЯ СИСТЕМЫ НА КРИСТАЛЛЕ

Баркалов А.А.(ун-т Зеленогурский, Польша), Ефименко К.Н. (ДонНТУ, Украина)

Abstract

Barkalov A.A., Efimenko K.N. Optimization of the circuit of control unit of system-on-chip. The method is proposed that permits to decrease the number of inputs of the addressing circuit of compositional microprogram control unit (CMCU). The method is based on encoding of logic conditions. The application of proposed method permits to diminish an amount of look-up table elements in the circuit of CMCU. An example of application of proposed method is given.

1. Введение

В настоящее время достаточно сложная цифровая система может быть реализована на одной микросхеме типа «система-на-кристалле» (SoC, system – on – chip) [1], число транзисторов в SoC в 2012 году достигнет 1,3 млрд [2]. Как правило, произвольная логика в SoC реализуется на FPGA, состоящих из элементов табличного типа LUT (look – up table) с числом входов, не превышающим 5 [3]. Кроме того, SoC включают встроенные блоки памяти DMВ (dedicated memory block), которые используются как постоянная или оперативная память цифровой системы [1]. Большое число транзисторов SoC не исключает необходимости оптимизации ресурсов в блоках цифровой системы, так как это позволяет увеличить ее функциональные возможности в рамках одного кристалла. Важным блоком цифровой системы является устройство управления, которое может быть реализовано в виде композиционного микропрограммного устройства управления (КМУУ) [4]. Особенностью КМУУ является возможность использования DMВ для реализации системы микроопераций. Это уменьшает число LUT-элементов, которые в данном случае используются только для адресации микрокоманд. Ограниченное число входов LUT-элементов приводит к необходимости функциональной декомпозиции реализуемой системы булевых функций [5], что приводит к уменьшению быстродействия КМУУ. Решению задачи уменьшения числа функций с большим числом аргументов посвящено достаточно большое количество последних исследований и публикаций [1,5]. Тем не менее, проблема остается все так же актуальной. В настоящей работе предлагается метод уменьшения числа аргументов в системе функций адресации микрокоманд КМУУ.

2. Основные определения

Пусть алгоритм управления цифровой системы задан в виде граф–схемы алгоритма (ГСА) Γ [2], содержащей начальную b_0 , конечную b_E и операторные вершины, образующие множество $B = \{b_1, \dots, b_k\}$. В каждой операторной вершине $b_k \in B$ записывается набор одновременно выполняемых микроопераций (микрокоманда) $Y(b_k) \subseteq Y$, где $Y = \{y_1, \dots, y_N\}$. Кроме этого ГСА Γ содержит условные вершины, в которых записываются логические условия, образующие множество $X = \{x_1, \dots, x_L\}$. Вершины ГСА Γ связаны дугами, образующими множество E .

Введём ряд определений [4], необходимых для дальнейшего изложения материала.

Определение 1. Операторной линейной цепью (ОЛЦ) ГСА Γ называется конечная последовательность операторных вершин $\alpha_g = (b_{g1}, \dots, b_{gF_g})$, такая что для любой пары соседних компонент кортежа α_g существует дуга $\langle b_{gi}, b_{gi+1} \rangle \in E$, где i – номер компоненты кортежа α_g ($i = 1, \dots, F_g - 1$).

Определение 2. Входом ОЛЦ α_g называется вершина $b_q \in V$, такая что существует дуга $\langle b_t, b_q \rangle \in E$, где b_t – условная или начальная вершина ГСА Γ , или операторная вершина, не входящая в ОЛЦ α_g .

Определение 3. Выходом ОЛЦ α_g называется вершина $b_q \in V$, такая что существует дуга $\langle b_q, b_t \rangle \in E$, где b_t – условная или конечная вершина ГСА Γ , или операторная вершина, не входящая в ОЛЦ α_g .

Обозначим через $D^g \subseteq V$ множество операторных вершин, входящих в ОЛЦ $\alpha_g \in C$, где $C = \{\alpha_1, \dots, \alpha_G\}$ – множество ОЛЦ ГСА Γ , удовлетворяющее условию

$$\begin{aligned} D^g \cap D^q &= \emptyset \quad (g \neq q, g, q \in \{1, \dots, G\}); \\ V &= D^1 \cup D^2 \cup \dots \cup D^G; \\ D^g &\neq \emptyset \quad (g = 1, \dots, G). \end{aligned} \quad (1)$$

Пусть для каждой ОЛЦ $\alpha_g \in C$ выполнена естественная адресация микрокоманд

$$A(b_{gi+1}) = A(b_{gi}) + 1 \quad (i = 1, F_g - 1), \quad (2)$$

где $A(b_q)$ – адрес микрокоманды, соответствующей вершине $b_q \in V$.

В этом случае ГСА Γ может быть интерпретирована КМУУ с общей памятью (рис. 1), что предлагается в работе [7], называемым в дальнейшем КМУУ U_1 .

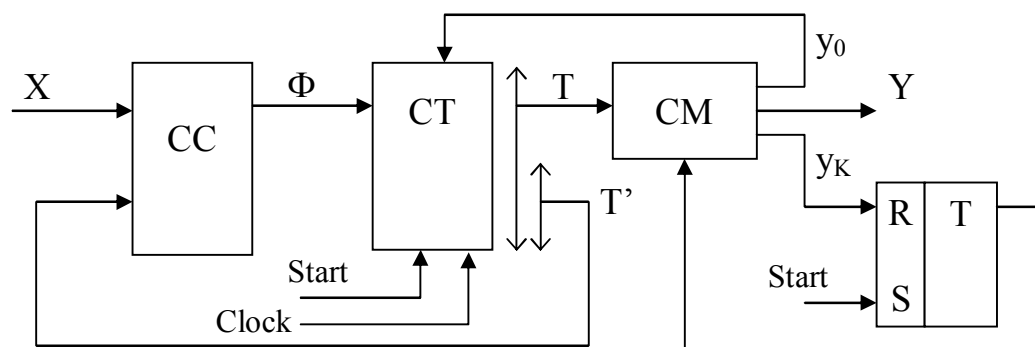


Рисунок 1. Структурная схема КМУУ U_1

Комбинационная схема CC образует автомат адресации микрокоманд S_1 , а счетчик CT , управляющая память CM и триггер T образуют микропрограммное устройство управления S_2 с естественной адресацией микрокоманд [4], что соответствует условию (2).

Метод синтеза КМУУ U_1 состоит из следующих этапов:

1. Формирование множества ОЛЦ, адресация микрокоманд и формирование содержимого управляющей памяти.
2. Формирование таблицы переходов КМУУ.
3. Формирование системы функций возбуждения счетчика Φ .
4. Реализация логической схемы КМУУ в заданном базисе.

Предложенное УУ позволяет за счет уменьшения числа входов комбинационной схемы CC уменьшить количество требуемых LUT-элементов по сравнению с реализацией УУ в виде микропрограммного автомата [4], а также минимизировать число выходов и ёмкость используемых ДМВ. В настоящей работе предлагается метод уменьшения числа входов схемы CC , что приводит к дальнейшему уменьшению числа LUT-элементов в схеме УУ.

3. Основная идея метода

Пусть для КМУУ U_1 задана таблица переходов (табл. 1), являющаяся основой для формирования системы функций Φ формирования адреса ОЛЦ и последующего синтеза схемы СС. Таблица переходов содержит 9 строк и состоит из столбцов: O_g , $SA(O_g)$, I_q^j , $A(I_q^j)$, X_h , Φ_h , h , где O_g – выход ОЛЦ $\alpha_g \in C$; $SA(O_g)$ – старшие R_2 разрядов адреса микрокоманды, соответствующей выходу ОЛЦ $\alpha_g \in C$; I_q^j – j -й вход ОЛЦ $\alpha_q \in C$ ($j = \overline{1, F_g - 1}$); $A(I_q^j)$ – адрес входа I_q^j ; X_h – входной сигнал, определяющий переключение счетчика СТ из адреса выхода ОЛЦ α_g в адрес входа $A(I_q^j)$; $\Phi_h \subseteq \Phi$ – набор функций возбуждения счетчика СТ, принимающих единичное значение для переключения СТ из $A(O_g)$ в $A(I_q^j)$; $h = \overline{1, N}$ – номер перехода.

Таблица 1.

Таблица переходов КМУУ U_1

O_g	$SA(O_g)$	I_q^j	$A(I_q^j)$	X_h	Φ_h	h
O_1	001	I_1^2	0001	$\overline{x_1}$	D_4	1
		I_2^1	0011	$\overline{x_1 x_2}$	$D_3 D_4$	2
		I_3^1	0110	$\overline{x_1 x_2}$	$D_2 D_3$	3
O_2	010	I_4^1	1001	$x_3 x_4$	$D_1 D_4$	4
		I_2^2	0100	$x_3 \overline{x_4}$	D_2	5
		I_5^1	1011	$\overline{x_3}$	$D_1 D_3 D_4$	6
O_3	100	I_5^1	1011	$x_3 x_5$	$D_1 D_3 D_4$	7
		I_3^2	0111	$x_3 \overline{x_5}$	$D_2 D_3 D_4$	8
		I_3^1	0110	$\overline{x_3}$	$D_2 D_3$	9

Отметим, что переходы из выходов ОЛЦ $\alpha_g \in C$, связанных с конечной вершиной, не рассматриваются. Это связано с тем, что при достижении таких выходов функционирование КМУУ U_1 прекращается.

Как видно из табл. 1, максимальное количество логических переменных, определяющих переключение счетчика СТ из адреса выхода $A(O_g)$ ОЛЦ α_g в адрес входа $A(I_q^j)$ ОЛЦ α_q , в рассматриваемом случае равно 2, меньше общего количества $L=5$ логических переменных из множества $X = \{x_1, \dots, x_L\}$. Это позволяет применить методику замены множества логических условий X на множество $P = \{p_1, \dots, p_m\}$ [4].

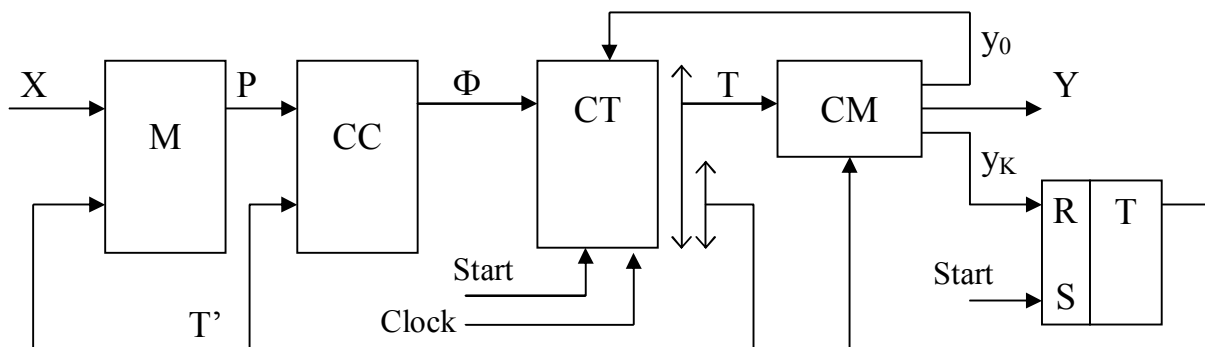


Рисунок 2. Структурная схема КМУУ U_2

В настоящей работе предлагается в КМУУ U_1 использовать методику кодирования

логических условий для минимизации числа входов схемы СС, что приводит к композиционному микропрограммному устройству управления U_2 (рис. 2).

Принципы функционирования КМУУ U_2 и U_1 аналогичны. Дополнительная комбинационная схема M выполняет замену логических условий $X = \{x_1, \dots, x_L\}$, где $L = |X|$, элементами множества $P = \{p_1, \dots, p_M\}$ путем формирования функций кодирования логических условий

$$P = P(T, X). \quad (3)$$

При этом комбинационная схема СС формирует функции возбуждения счетчика СТ при переходе между различными ОЛЦ $\alpha_g \in C$

$$\Phi = \Phi(T, P). \quad (4)$$

В настоящей работе предлагается метод синтеза КМУУ U_2 .

4. Метод синтеза комбинационного микропрограммного устройства управления U_2

Предлагаемый в работе метод синтеза КМУУ U_2 включает следующие этапы:

1. Формирование множества ОЛЦ, адресация микрокоманд и формирование содержимого управляющей памяти. Этот этап выполняется по известной методике [4]. Для КМУУ U_2 таблица содержимого управляющей памяти полностью совпадает с аналогичной таблицей для КМУУ U_1 , $R_1 = 4$, $R_2 = 3$.

2. Формирование промежуточной таблицы переходов КМУУ. Этот этап также выполняется по известной методике [7] и промежуточная таблица полностью совпадает с аналогичной таблицей переходов для КМУУ U_1 (табл. 1).

3. Формирование таблицы кодирования логических условий. Этот этап выполняется в следующей последовательности:

3.1. Формирование множества $X(O_g)$ – множества логических переменных, определяющих переходы из ОЛЦ $\alpha_g \in C$. Используя таблицу переходов КМУУ U_2 (табл.1) получим: $X(O_1) = \{x_1, x_2\}$, $X(O_2) = \{x_3, x_4\}$, $X(O_3) = \{x_3, x_5\}$.

3.2. Определение числа M кодирующих переменных $p_m \in P$ по формуле

$$M = \max(M_1, \dots, M_G), \quad (5)$$

где $M_g = |X(O_g)|$, $g = \overline{1, G}$. В нашем случае $M = 2$, $P = \{p_1, p_2\}$.

3.3. Построение таблицы кодирования логических условий, состоящей из столбцов: O_g , $SA(O_g)$, p_1, \dots, p_M, g , где O_g – выход ОЛЦ $\alpha_g \in C$; $SA(O_g)$ – старшие R_2 разрядов адреса микрокоманды, соответствующей выходу ОЛЦ $\alpha_g \in C$; p_1, \dots, p_M – кодирующие переменные $p_m \in P$; $g = \overline{1, G}$ – номер выхода. На пересечении строки O_g и столбца p_m записывается переменная $x_l \in X$, заменяемая для выхода O_g переменной $p_m \in P$. При этом число появлений логического условия $x_l \in X$ в различных столбцах p_m таблицы должно быть минимальным, т.е. требуется выполнение условия

$$|X(p_i) \cap X(p_j)| \rightarrow \min, \quad (6)$$

где $p_i, p_j \in P$; $X(p_i)$, $X(p_j)$ – множество логических условий в столбцах p_i, p_j соответственно. Для КМУУ U_2 таблица кодирования логических условий приведена в табл.2.

Таблица 2.

Таблица кодирования логических условий КМУУ U_2

O_g	$SA(O_k)$	p_1	p_2	G
O_1	001	x_1	x_2	1
O_2	010	x_3	x_4	2
O_3	100	x_3	x_5	3

4. Формирование системы функций кодирования логических условий. Система функций (4) формируется по таблице кодирования логических условий КМУУ U_2 в виде

$$p_m = \bigvee_{g=1}^G C_{mg} E_i^g x_1 \quad (m = \overline{1, M}), \quad (7)$$

где C_{mg} – булева переменная, равная единице, если и только если переменная $x_1 \in X$ заменяется для выхода O_g ОЛЦ $\alpha_g \in C$ переменной $p_m \in P$; E_i^g – конъюнкция переменных $T_r \in T$, соответствующая адресу $SA(O_g)$ выхода O_g из g -й строки таблицы 2.

Использование выражения (7) для нашего примера приводит к системе (3) в виде: $p_1 = \overline{T_1} \overline{T_2} T_3 x_1 \vee (\overline{T_1} T_2 \vee T_1 \overline{T_2}) x_3$, $p_2 = \overline{T_1} \overline{T_2} T_3 x_2 \vee \overline{T_1} T_2 \overline{T_3} x_4 \vee T_1 \overline{T_2} \overline{T_3} x_5$.

5. Формирование преобразованной таблицы переходов КМУУ. Преобразованная таблица переходов является основой для формирования системы функций (4) и содержит все столбцы промежуточной таблицы переходов КМУУ, кроме столбца X_h , который заменяется столбцом P_h . В столбце P_h переменные $x_1 \in X$ заменяются переменными $p_m \in P$ согласно таблице кодирования логических условий КМУУ. При этом инверсному значению x_1 соответствует инверсное значение p_m .

Для КМУУ U_2 фрагмент преобразованной таблицы переходов приведен в табл.3.

Таблица 3.

Преобразованная таблица переходов КМУУ U_2

O_g	$SA(O_g)$	I_q^j	$A(I_q^j)$	P_h	Φ_h	h
O_1	001	I_1^2	0001	p_1	D_4	1
		I_2^1	0011	$\overline{p_1} p_2$	$D_3 D_4$	2
		I_3^1	0110	$p_1 \overline{p_2}$	$D_2 D_3$	3

6. Формирование системы функций возбуждения счетчика. Система (4) формируется по преобразованной таблице переходов КМУУ U_2 в виде

$$\varphi_r = \bigvee_{h=1}^H C_{rh} E_g^h P_h \quad (r = \overline{1, R_1}), \quad (8)$$

где C_{rh} – булева переменная, равная единице, если и только если в h -й строке преобразованной таблицы переходов записана функция $\varphi_r = 1$ ($h = \overline{1, H}$); E_g^h – конъюнкция переменных $T_r \in T$, соответствующая адресу $SA(O_g)$ выхода O_g из h -й строки таблицы.

Использование выражения (8) для КМУУ U_2 (Γ_1) дает, например:

$$D_1 = \overline{T_1} T_2 \overline{T_3} p_1 p_2 \vee \overline{T_1} T_2 \overline{T_3} p_1 \vee T_1 \overline{T_2} T_3 p_1 p_2.$$

7. Реализация логической схемы КМУУ. Синтез сводится к реализации систем (3) и (4) на FPGA и реализации управляющей памяти на DMB. Вторая из этих задач является тривиальной, а первая достаточно полно рассмотрена в литературе [5]. Вопросы реализации схемы КМУУ U_2 выходят за рамки нашей статьи.

Моделирование предлагаемого метода показало, что уменьшение числа входов схемы СС КМУУ U_2 по сравнению с КМУУ U_1 определяется соотношением между величинами L и M , и может быть выражено коэффициентом

$$\eta = \frac{L + R_2}{M + R_2} \quad (9)$$

5. Заключение

Предлагаемый в работе метод организации КМУУ позволяет сократить число аргу-

ментов функций, реализуемых на LUT–элементах, от $t_1=L+R_2$ (КМУУ U_1) до $t_2=M+R_2$ (КМУУ U_2). Как показали исследования авторов, оптимизация числа LUT–элементов в схеме КМУУ U_2 по сравнению с КМУУ U_1 пропорциональна коэффициенту η (10). При этом время такта КМУУ U_1 и U_2 не совпадает, то есть оптимизация по аппаратурным затратам приводит к потере производительности. Для увеличения значения коэффициента η в дальнейшем можно использовать методику преобразования кодов обратной связи в коды логических условий [4].

Литература

1. Грушницкий Р.И., Мурсаев А.Х., Угрюмов Е.П. Проектирование систем на микросхемах программируемой логики.– Петербург: БХВ– 2002. – 636 с.
2. Brown S., Vernesic Z. Fundamentals of Digital Logic with VHDL Design. – McGraw Hill, 2000. – 218 pp.
3. Salcic Z. VHDL and FPGAs in digital systems design, prototyping and customization. – Kluwer Academic Publishers, 1998. – 312 pp.
4. Баркалов А. А. Синтез устройств управления на программируемых логических устройствах – Донецк: ДонНТУ, 2002. – 262 с.
5. Synteza układów cyfrowych/ Praca zbiorowa pod redakcją prof. Tadeusza Łuby – Warszawa: WKŁ, 2003. – 228 pp.
6. Jenkins J. Design with FPGAs and CPLDs. – Prentice – Hale, 1995 – 273 pp.
7. Баркалов А.А., Вишнеvский Р, Ефименко К.Н.. Оптимизация метода синтеза композиционного микропрограммного устройства управления на FPGA/ Искусственный интеллект. -2005, №3. - с.265-271.