

АЛГОРИТМ АДРЕСАЦИИ МИКРОКОМАНД, ОПТИМИЗИРУЮЩИЙ
УСТРОЙСТВО УПРАВЛЕНИЯ С ИДЕНТИФИКАЦИЕЙ ВЫХОДОВ

Баркалов А.А., Ефименко К.Н.

University of Zelena Gora, Poland

Донецкий национальный технический университет, г. Донецк

E-mail: A.Barkalov@iie.uz.zgora.pl

Abstract

Barkalov A.A., Efimenko K.N. Microinstruction addressing algorithm for optimization of control unit with identification of outputs. Method of special addressing of microinstructions is proposed, permitting to decrease the number of inputs of compositional microprogram control unit (CMCU). Addressing is executed in such a manner that each operational linear chain of CMCU is identified by minimal number of bits from microinstruction address. Such approach permits to decrease amount of LUT – elements in addressing circuit of CMCU. An algorithm of special addressing is proposed and example of its application is given.

1. Введение

В своем непрерывном развитии рынок микроэлектроники постоянно выдвигает все новые и более жесткие требования к появляющимся изделиям. Это привело к появлению микросхем типа «система-на-кристалле» (SoC), позволяющих реализовать сложные цифровые системы на базе одной СБИС [1,2]. Производительность микросхем класса "система-на-кристалле" в значительной мере зависит от эффективности взаимодействия всех встроенных компонентов. Как правило, произвольная логика в таких микросхемах реализуется на FPGA, состоящих из миллионов элементов табличного типа (LUT-элементов) [3,4], а различные табличные функции реализуются на встроенных блоках памяти DMB. Одним из важных блоков цифровой системы является устройство управления [4,6], которое может быть реализовано как композиционное микропрограммное устройство управления (КМУУ) [7]. При реализации КМУУ в составе SoC схема адресации микрокоманд реализуется на FPGA. Ограниченное число входов LUT-элементов приводит к необходимости декомпозиции реализуемых булевых функций [8,9], что увеличивает как число LUT-элементов в схеме адресации, так и время такта КМУУ. Для уменьшения этих негативных явлений необходимо уменьшить число входов схемы адресации микрокоманд. В настоящей работе предлагается метод и алгоритм специальной адресации микрокоманд, позволяющий решить эту задачу при синтезе КМУУ с идентификацией выходов [10].

2. Общие теоретические положения

Пусть алгоритм управления цифровой системы задан в виде граф-схемы алгоритма (ГСА) Γ [4], содержащей начальную b_0 , конечную b_E , операторные и условные вершины. Операторные вершины образуют множество B_1 , имеющее M элементов. В вершинах $b_q \in B_1$ записываются микрокоманды $Y_q \subseteq Y$, где $Y = \{y_1, \dots, y_N\}$ - множество микроопераций. В условных вершинах, образующих множество B_2 , записываются элементы множества логических условий $X = \{x_1, \dots, x_L\}$. Вершины ГСА образуют множество $B = B_1 \cup B_2 \cup \{b_0, b_E\}$, элементы которого связаны дугами из множества E .

Введем ряд определений [6], необходимых для дальнейшего изложения материала.

Определение 1. Операторной линейной цепью (ОЛЦ) ГСА Γ называется конечная последовательность операторных вершин $\alpha_g = \langle b_{g1}, \dots, b_{gF_g} \rangle$, для любой пары соседних ком-

понент которой существует дуга $\langle b_{g_i}, b_{g_{i+1}} \rangle \in E$, где $i=1, \dots, F_g-1$ - номер компоненты.

Определение 2. Вершина $b_q \in D^g$, где $D^g \subseteq V_1$ - множество вершин, входящих в ОЛЦ α_g , называется входом ОЛЦ α_g , если существует дуга $\langle b_t, b_q \rangle \in E$, где $b_t \notin D^g$.

Определение 3. Вершина $b_q \in D^g$, называется выходом ОЛЦ α_g , если существует дуга $\langle b_q, b_t \rangle \in E$, где $b_t \notin D^g$.

Пусть для ГСА Γ найдено разбиение $C = \{\alpha_1, \dots, \alpha_G\}$ множества V_1 на операторные линейные цепи и пусть для каждой пары соседних вершин ОЛЦ $\alpha_g \in C$ выполняется условие

$$A(b_{g_{i+1}}) = A(b_{g_i}) + 1 \quad (i = 1, \dots, F_g - 1), \quad (1)$$

где $A(b_g)$ - адрес микрокоманды, соответствующей вершине $b_g \in V_1$. В этом случае устройство управления цифровой системы может быть реализовано в виде КМУУ U_1 с идентификацией выходов (Рис. 1) [10].

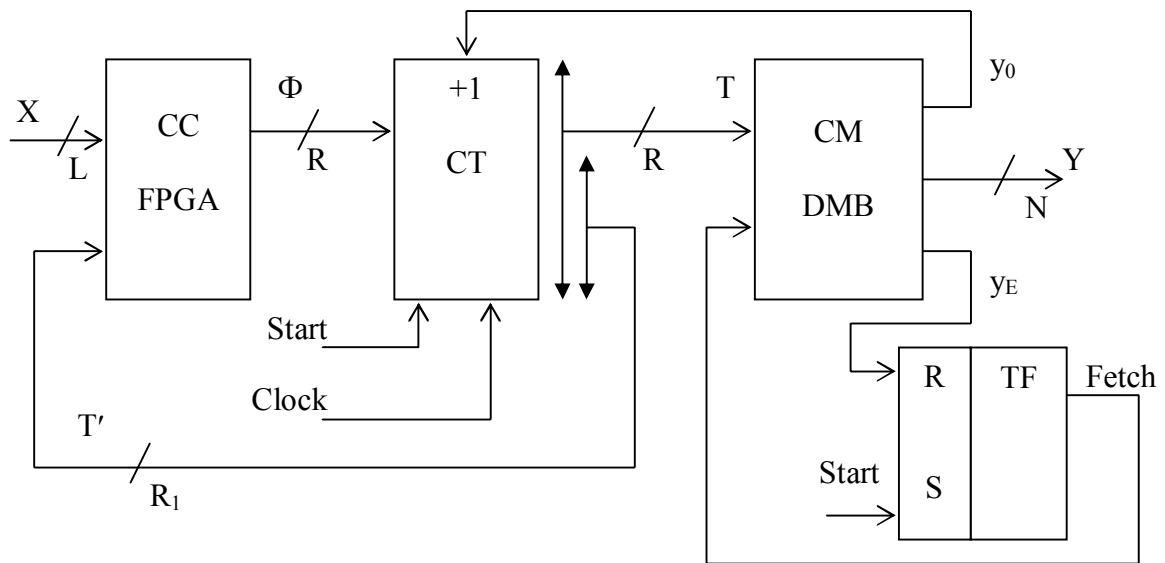


Рис. 1 – Структурная схема КМУУ U_1

Принцип функционирования КМУУ U_1 следующий. По сигналу Start триггер считывания TF устанавливается в единичное состояние (Fetch=1), а в счетчик СТ записывается адрес первой микрокоманды микропрограммы, представленный переменными $T_r \in T = \{T_1, \dots, T_R\}$, где $R = \lceil \log_2 M \rceil$. Если в СТ находится адрес $A(b_q)$ и вершина b_q не является выходом O_g ОЛЦ $\alpha_g \in C$, то одновременно с записанными в этой вершине микрооперациями $Y(b_q) \subseteq Y$ формируется сигнал y_0 . При $y_0=1$ по сигналу Clock содержимое СТ увеличивается на единицу, что соответствует режиму адресации (1). Если $b_q = O_g$, то сигнал $y_0 = 0$ и схема CC формирует функции

$$\Phi = \Phi(T', X), \quad (2)$$

где $T' \subseteq T$, $|T'| = R_1$, $T' = \{T_1, \dots, T_{R_1}\}$ - множество адресных разрядов, достаточное для однозначной идентификации выходов ОЛЦ $\alpha_g \in C'$, где $C' \subseteq C$ - множество ОЛЦ, выходы которых не связаны с входом вершины b_E . Если в СТ находится адрес $A(b_q)$ и $\langle b_q, b_E \rangle \in E$, то формируется сигнал y_E , триггер TF обнуляется и считывание микрокоманд из управляющей памяти CM прекращается.

Таким образом, переменные $T_r \in T$, где $|T|=R$, используются для адресации микрокоманд. При этом для однозначной идентификации ОЛЦ $\alpha_g \in C$ достаточно

$$R_1 = \lceil \log_2 G \rceil \quad (3)$$

переменных, где $G = |C|$, и при выполнении условия

$$R_1 < R \quad (4)$$

число входов схемы СС минимизируется по сравнению с известными структурами КМУУ [6]. Однако в случае обычной процедуры адресации микрокоманд, адреса выходов имеют случайный характер, и для однозначной идентификации ОЛЦ может потребоваться больше, чем R_1 переменных.

В настоящей работе предлагается метод специальной адресации микрокоманд, позволяющий уменьшить число переменных обратной связи до R_0 , где

$$R_1 \leq R_0 \leq R, \quad (5)$$

что приводит к уменьшению числа LUT-элементов в схеме КМУУ.

3. Метод и алгоритм специальной адресации микрокоманд

Обозначим КМУУ со специальной адресацией микрокоманд символом U_2 . Структуры КМУУ U_1 и U_2 совпадают, при этом в последнем, для формирования адресов микрокоманд используются переменные $T_r \in T'$, где $T' \subseteq T$ – множество переменных, однозначно идентифицирующих ОЛЦ $\alpha_g \in C$, и $|T'| = R_1$.

Адресация микрокоманд КМУУ U_2 производится следующим образом [2]. Формируется вектор $\alpha = \alpha_1 * \alpha_2 * \dots * \alpha_G$, где $*$ - знак конкатенации, и каждой компоненте этого вектора ставится в соответствие двоичный код $A(b_q)$, равный уменьшенному на единицу двоичному эквиваленту разрядности R номера этой компоненты.

Пусть алгоритм управления некоторой цифровой системы задан ГСА Γ_1 (рис. 2).

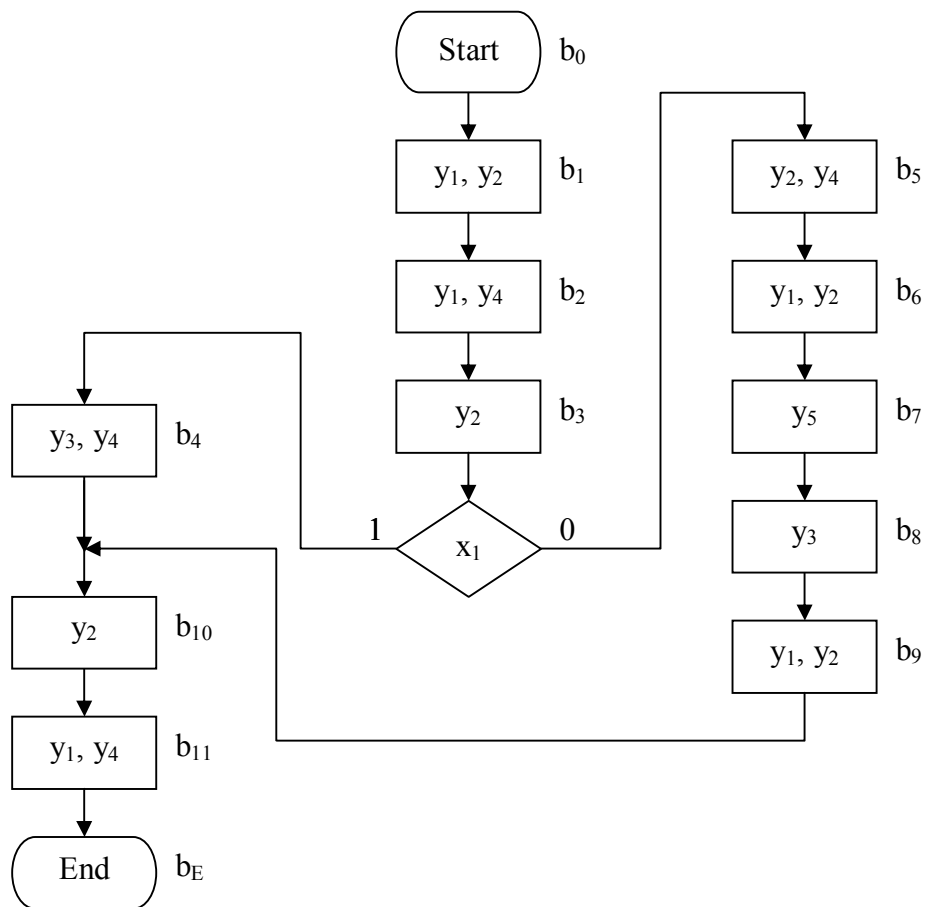


Рис. 2. – Исходная граф-схема алгоритма Γ_1

Множество ОЛЦ ГСА Γ_1 $C=\{\alpha_1, \dots, \alpha_4\}$, где $\alpha_1 = \langle b_1, b_2, b_3 \rangle$, $\alpha_2 = \langle b_4 \rangle$, $\alpha_3 = \langle b_5, b_6, \dots, b_9 \rangle$, $\alpha_4 = \langle b_{10}, b_{11} \rangle$. В данном случае $M=11$, $R=4$ и результат адресации показан на рис. 3, где символ $U_2(\Gamma_1)$, означает, что КМУУ U_2 синтезируется по ГСА Γ_1 .

| | | | | | |
|----|----|---------------------|-------|----------|----|
| | | $\Gamma_1 \Gamma_2$ | | | |
| | | $T_3 T_4$ | 00 | 01 | 10 |
| 00 | 00 | b_1 | b_5 | b_9 | * |
| 01 | 01 | b_2 | b_6 | b_{10} | * |
| 10 | 10 | b_3 | b_7 | b_{11} | * |
| 11 | 11 | b_4 | b_8 | * | * |

Рис. 3 – Адресация микрокоманд КМУУ $U_2(\Gamma_1)$

Для однозначной идентификации ОЛЦ $\alpha_g \in C$ достаточно однозначной идентификации её выхода O_g кодом $K(\alpha_g)$. В случае КМУУ $U_2(\Gamma_1)$ имеем: $A(O_1)=0010$, $A(O_2)=0011$, $A(O_3)=1000$, $A(O_4)=1010$. Анализ этих адресов показывает, что выходы ОЛЦ $\alpha_g \in C$ не могут быть идентифицированы кодами $K(O_g)$ разрядности $R_1 = \lceil \log_2 G \rceil = 2$, так как $K(O_g) = A(O_g)$ для $g=1,2,3,4$. Таким образом, в данном случае число сигналов обратной связи не уменьшается.

В настоящей работе предлагается рассматривать таблицу адресации, как регистр сдвига вправо, имеющий 2^R разрядов. Специальная адресация микрокоманд выполняется при помощи следующей предлагаемой процедуры:

1. Выполнить адресацию микрокоманд, удовлетворяющую (1).
2. $R_0 = R_1$.

3. Построить таблицу адресации микрокоманд, имеющую 2^{R_0} столбцов, отмеченных R_0 старшими переменными адреса, и 2^{R-R_0} строк, отмеченных $R - R_0$ младшими переменными адреса.

4. Если выходы ОЛЦ $\alpha_i, \alpha_j \in C$ находятся в одном столбце таблицы, то осуществим сдвиг информации, начиная с первой вершины ОЛЦ α_j ($j > i$). Освобождающиеся клетки таблицы заполняем символами *. Сдвиг продолжаем до тех пор, пока выходы O_i и O_j не окажутся в разных столбцах таблицы.

5. Если выходы всех ОЛЦ $\alpha_g \in C$ идентифицируются однозначно при помощи R_0 разрядов, то перейти к п.8.

6. Если в процессе сдвига произошел выход какой-либо вершины за пределы таблицы, то $R_0 := R_0 + 1$.

7. Если $R_0 < R$, то перейти к п. 3.

8. Конец.

В случае ГСА Γ_1 , начальное значение $R_0 = 2$ и исходная таблица адресации микрокоманд КМУУ U_2 показана на рис. 3. Применение процедуры специальной адресации в данном примере выполняется следующим образом. На первом этапе информация сдвигается на 1 разряд вправо, начиная с вершины b_4 (рис. 4 а). На втором этапе производится сдвиг на 1 разряд вправо, начиная с вершины b_{10} , что приводит к таблице адресации (рис. 4 б).

Теперь $K(O_1)=00$, $K(O_2)=01$, $K(O_3)=10$, $K(O_4)=11$, $\Gamma'=\{\Gamma_1, \Gamma_2\}$ и число сигналов обратной связи уменьшилось с $R_1=R=4$ до $R_1=R_0=2$, что является минимальным значением переменной R_2 .

Отметим, что достижение минимального значения параметра R_2 возможно не всегда и

зависит от сочетания таких параметров ГСА, как число ОЛЦ, число компонент в ОЛЦ, число операторных вершин, число несущественных наборов адресных переменных.

а)

| | | | | | |
|----------|----|-------------------------|-------------------------|----------------------------|----|
| | | T_1T_2 | | | |
| | | 00 | 01 | 10 | 11 |
| T_3T_4 | 00 | b_1 | b_4 | b_8 | * |
| | 01 | b_2 | b_5 | b_9 | * |
| | 10 | b_3 | b_6 | b_{10} | * |
| | 11 | * | b_7 | b_{11} | * |

б)

| | | | | | |
|----------|----|-------------------------|-------------------------|-------------------------|----------------------------|
| | | T_1T_2 | | | |
| | | 00 | 01 | 10 | 11 |
| T_3T_4 | 00 | b_1 | b_4 | b_8 | b_{11} |
| | 01 | b_2 | b_5 | b_9 | * |
| | 10 | b_3 | b_6 | * | * |
| | 11 | * | b_7 | b_{10} | * |

Рис. 4 – Специальная адресация микрокоманд КМУУ $U_2(\Gamma_1)$

На рис. 5 показаны результаты моделирования предложенного метода специальной адресации микрокоманд для КМУУ U_2 , основанного на работе [2].

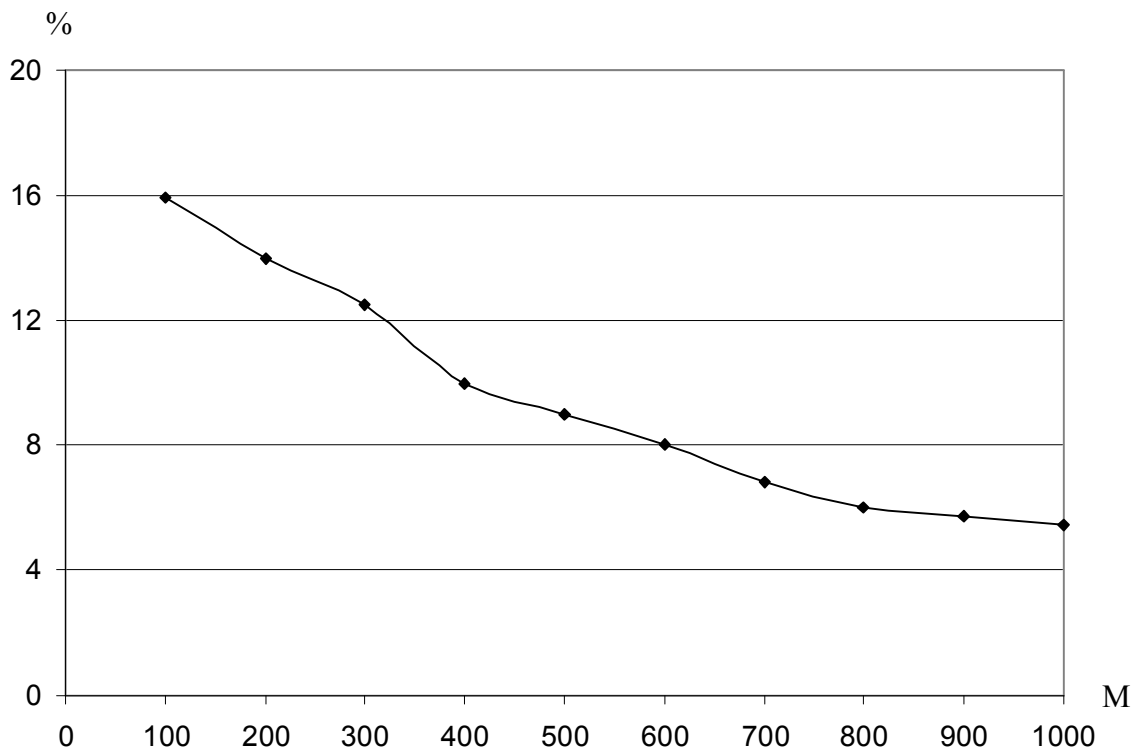


Рис. 5 – Выигрыш от применения алгоритма специальной адресации

Было проведено исследование влияния M – числа вершин ГСА Γ на число LUT-элементов в схеме адресации микрокоманд при различных комбинациях указанных выше параметров. При этом по мере увеличения числа микрокоманд и общего числа ОЛЦ выигрыш постепенно снижается.

4. Заключение

Предлагаемый в работе метод специальной адресации микрокоманд КМУУ позволяет уменьшить число сигналов обратной связи схемы адресации микрокоманд. Это приводит к уменьшению требований к числу входов LUT-элементов, реализующих схему СС. При этом появляется потенциальная возможность уменьшения аппаратных затрат и времени такта КМУУ по сравнению с методом произвольной адресации микрокоманд.

Исследования авторов показали, что при выполнении условия (4) и $R_1=R_0$ число LUT-элементов в схеме СС уменьшается на 6-16%, а число уровней схемы уменьшается на 1-3 по сравнению с известным методом адресации микрокоманд [6]. Таким образом, в данном случае оптимизация аппаратных затрат сопровождается увеличением быстродействия устройств управления.

Литература

1. Грушницкий Р.И., Мурсаев А.Х., Угрюмов Е.П. Проектирование систем на микросхемах программируемой логики.– Петербург: БХВ– 2002. – 636 с.
2. S. Baranov. Logic Synthesis for Control Automata, Kluwer Academic Publishers, 1994. – 301 pp.
3. Salcic Z. VHDL and FPGAs in digital systems design, prototyping and customization. – Kluwer Academic Publishers, 1998. – 312 pp.
4. Jenkins J. Design with FPGAs and CPLDs. – Prentice – Hall, 1995. – 273 pp.
5. De Micheli G., Synthesis and Optimization of Digital Circuits. – McGraw Hill: NY, 1994. – 626 pp.
6. Баркалов А.А., Палагин А.В. Синтез микропрограммных устройств управления – Киев: ИК НАН Украины, 1997.- 136 с.
7. Kania D. Synteza logiczna przeznaczona dla matrycowych struktur programowalnych typu PAL. – Zeszyty naukowe Politechniki Śląskiej, Gliwice, 2004. – 240 pp.
8. Баркалов А.А. Принципы оптимизации логической схемы микропрограммного автомата Мура// Кибернетика и системный анализ. – 1998, №1. – с.65-72.
9. Synteza układów cyfrowych/ Praca zbiorowa pod redakcją prof. Tadeusza Łuby – Warszawa: WKŁ, 2003. – 228 pp.
10. Ковалев С.А., Мальчева Р.В.,Ефименко К.Н. Синтез композиционного устройства управления с идентификацией выходов/ Наукові праці ДонНТУ. Серія „Інформатика, кібернетика і обчислювальна техніка”. Випуск 8 (120) / – Донецьк: ДонНТУ, 2007. – с.133-140.