

УДК 681.3

О.О. Баркалов, І.Я. Зеленцова, О.С. Лаврик
University of Zielona Gora (Poland),
Донецкий национальный технический университет, г. Донецк,
кафедра электронных вычислительных машин
E-mail: A.Barkalov@iie.uz.zgora.pl

ВИКОРИСТАННЯ ОСОБЛИВОСТЕЙ ЕЛЕМЕНТНОГО БАЗИСУ ДЛЯ ОПТИМІЗАЦІЇ СХЕМИ ПРИСТРОЮ КЕРУВАННЯ

Abstract

Barkalov A.A., Zelenyova I.Y., Lavrik A.S. Application of PLD features for optimization of the control unit logical circuit. The method of hardware reduction is proposed oriented on compositional microprogram control units and CPLD chips. The method is based on a wide fan-in of PAL macrocells allowing using more than one source of microinstruction address. Such approach permits to minimize the number of PAL macrocells used for transformation of microinstruction address. Conditions for this method application are given. The results of experiments are shown.

Keywords: compositional microprogram control unit, CPLD, PAL, OLC, finite state machine, GSA.

Анотація

Баркалов О.О., Зеленцова І.Я., Лаврик О.С. Оптимізація мікропрограмного пристрою керування с перетворювачем адреси мікрокоманд. В роботі запропоновано метод зменшення апаратних витрат у логічній схемі композиційного мікропрограмного пристрою керування при реалізації на CPLD. Метод базується на використанні великого коефіцієнту об'єднання за входом у макрокомірок PAL, що дозволяє використовувати більше ніж одне джерело для адреси мікрокоманди. Такий підхід дозволяє мінімізувати кількість макрокомірок PAL що використовуються для перетворення адреси мікрокоманди. Наведено умови та результати експериментів.

Ключові слова: композиційний мікропрограмний пристрій керування, CPLD, PAL, ОЛЛ, кінцевий автомат, ГСА.

Аннотация

Баркалов А.А., Зеленцова И.Я., Лаврик А.С. Оптимизация микропрограмного устройства управления с преобразователем адреса микрокоманд. В работе предложен метод уменьшения аппаратных затрат в логической схеме композиционного микропрограммного устройства управления при реализации на CPLD. Метод базируется на использовании большого коэффициента объединения по входу макроячеек PAL, что позволяет использовать больше одного источника для адреса микрокоманды. Такой подход позволяет минимизировать количество макроячеек PAL, которые используются для преобразования адреса микрокоманды. Приведены условия и результаты экспериментов.

Ключевые слова: композиционное микропрограммное устройство управления, CPLD, PAL, ОЛЦ, конечный автомат, ГСА.

Вступ

Одним з важливих блоків цифрових систем є пристрій керування [1]. Якщо алгоритм, що реалізується, має лінійний характер [2], то для його інтерпретації може бути використана модель композиційного мікропрограмного пристрою керування (КМПК) [2]. В даний

час для реалізації схем пристроїв керування широко використовуються програмовані логічні інтегральні схеми (ПЛІС), що складаються з макрокомірок програмованої матричної логіки (ПМЛ) [3, 4]. Висока вартість цього базису вимагає рішення актуальної задачі зменшення числа мікросхем ПЛІС в схемі КМПК. Один з шляхів рішення цієї задачі — зменшення числа термів в диз'юнктивних нормальних формах (ДНФ) функцій, що реалізуються [5, 6]. У цій роботі пропонується можливий підхід до рішення цієї задачі, заснований на великому коефіцієнті об'єднання по входу (близько декількох десятків) макрокомірок ПМЛ [3, 4]. Розроблений метод орієнтований на КМПК з перетворювачем адреси мікрокоманд [2], при цьому алгоритм управління представлений у вигляді граф-схеми алгоритму (ГСА) [7].

Метою дослідження є оптимізація комбінаційної схеми КМПК за рахунок використання декількох джерел коду класів псевдоеквівалентних операторних лінійних ланцюгів (ОЛЛ). Завданням дослідження є розробка методу синтезу, що дозволяє зменшити число макрокомірок ПМЛ в схемі перетворювача адреси мікрокоманди.

Особливості КМПК з перетворювачем адреси

Нехай ГСА Γ уявлена множинами вершин V і дуг E , з'єднуючих ці вершини. При цьому $V = \{b_0, b_E\} \cup E_1 \cup E_2$, де b_0 — початкова вершина ГСА, b_E — кінцева вершина ГСА, E_1 — множина операторних вершин, де $|E_1| = M$, E_2 — множина умовних вершин. В вершинах $b_q \in E_1$ записані набори мікрооперацій $Y(b_q) \subseteq Y$, де $Y = \{y_1, \dots, y_N\}$ — множина мікрооперацій. В вершинах $b_q \in E_2$, записані елементи множини логічних умов $X = \{x_1, \dots, x_L\}$. Нехай ГСА Γ є лінійною, тобто включає більш 75% операторних вершин [2].

Сформуємо множину ОЛЛ $C = \{\alpha_1, \dots, \alpha_G\}$ ГСА Γ , де кожна з ОЛЛ є послідовністю операторних вершин і кожної парі її сусідніх компонент b_i, b_j відповідає дуга $\langle b_i, b_j \rangle \in E$. Кожна ОЛЛ має лише один вихід O_g та довільну кількість входів ($g = 1, \dots, G$). Формальні визначення ОЛЛ, їх входів і виходів можна знайти в [2]. Кожна вершина $b_q \in E_1$ відповідає мікрокоманді MI_q , що зберігається в керуючій пам'яті (КП) КМПК за адресою $A(b_q)$. Для адресації мікрокоманд достатньо

$$R = \lceil \log_2 M \rceil \quad (1)$$

біт, що представлено змінними $T_r \in T$, де $|T| = R$. Нехай ОЛЛ $\alpha_g \in C$ включає F_g компонент, а адресація мікрокоманд виконана так, що

$$A(b_{g_{i+1}}) = A(b_{g_i}) + 1, \quad (2)$$

де b_{g_i} — i -я компонента ОЛЛ $\alpha_g \in C$, $i = 1, \dots, F_g - 1$.

Якщо виходи O_i, O_j з'єднані із входом однієї і тій же вершини ГСА Γ , то ОЛЛ $\alpha_i, \alpha_j \in C$ є псевдоеквівалентними ОЛЛ (ПОЛЛ) [2]. Знайдемо розбиття $\Pi_C = \{B_1, \dots, B_l\}$ множини $C_1 \subseteq C$ на класи ПОЛЛ. При цьому ОЛЛ $\alpha_g \in C_1$, якщо її вхід не зв'язаний з вершиною b_E , тобто $\langle O_g, b_E \rangle \notin E$. Закодуємо класи $B_i \in \Pi_C$ двійковими кодами $K(B_i)$ розрядності

$$R_1 = \lceil \log_2 I \rceil \quad (3)$$

та використаємо для кодування елементи множини \mathcal{T} , де $|\mathcal{T}| = R_1$. В цьому випадку для інтерпретації ГСА Γ може бути використаний КМПК з перетворювачем адреси (Рис. 1), що у подальшому буде позначено символом U_1 [2].

По сигналу Start у лічильник (ЛЧ) записується початкова адреса мікропрограми, а тригер вибірки (ТВ) встановлюється у одиничний стан. При цьому Fetch = 1, що дозволяє вибірку мікрокоманд з КП. Якщо зчитана мікрокоманда MI_q не відповідає виходу ОЛЛ $\alpha_g \in C_1$,

то одночасно з мікроопераціями $Y(b_q)$ формується змінна y_0 . Якщо $y_0 = 1$, то вміст ЛЧ збільшується на 1, що відповідає режиму безумовного переходу (2) у межах ОЛЛ. Інакше $y_0 = 0$ і блок адресації мікрокоманд (БАМ) формує функції

$$\Phi = \Phi(\tau, X) \tag{4}$$

для запису в ЛЧ адреси входу наступної ОЛЛ. При цьому блок перетворювача адреси (БПА) формує функції

$$\tau = \tau(T), \tag{5}$$

що дорівнюють одиниці у кодї $K(B_i)$, де $\alpha_g \in B_i$. Якщо досягнуто вихід ОЛЛ $\alpha_g \notin C_1$, то формується $y_E = 1$, тригер ТВ скидається у нуль і вибірка мікрокоманд завершується.

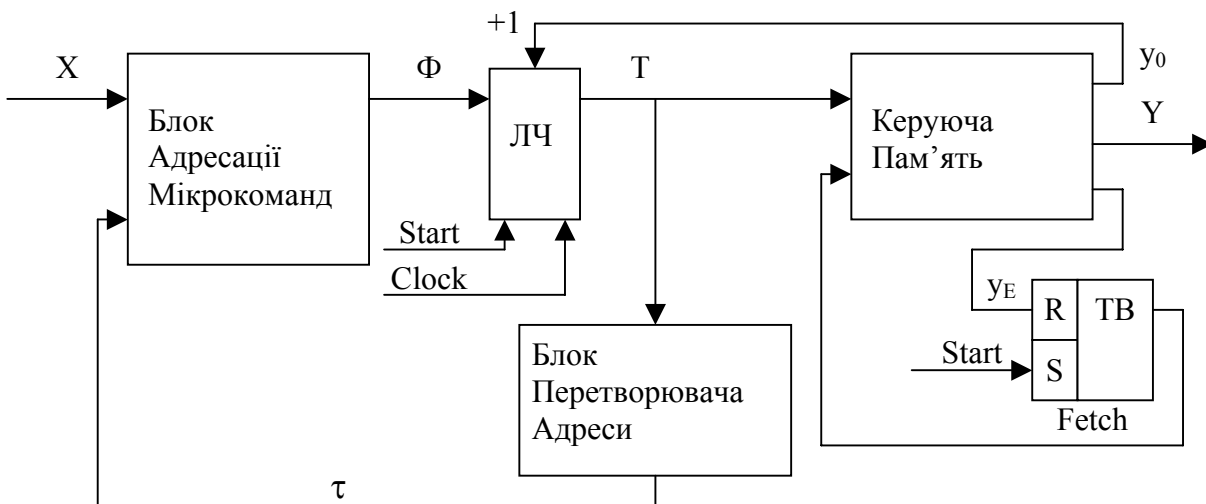


Рисунок 1 — Структурна схема КМУУ U_1

Така організація КМПК дозволяє зменшити кількість термів в системі функцій Φ від N_1 до N_0 , де N_1 — кількість строк таблиці переходів автомата Мура, а N_0 — кількість строк таблиці переходів еквівалентного автомата Мили. Однак, схема БПА використовує деякі ресурси ПЛІС або ППЗП, з котрих будується КП. У цій роботі пропонується метод синтезу КМПК U_2 , у котрому кількість термів у системі Φ $N_2=N_1$, а схема БПА потребує менше апаратних витрат, ніж у КМУУ U_1 . При визначених умовах цей блок може взагалі зникнути.

Основна ідея метода що пропонується

Виконаємо адресацію ОЛЛ $\alpha_g \in C_1$ таким чином, щоб виконувалось (2) і максимально можлива кількість класів $B_i \in \Pi_C$ виражалася одним узагальненим інтервалом R-мірного булева простору. Для такої адресації необхідно розробити алгоритм.

Нехай $\Pi_C = \Pi_A \cup \Pi_B$, де $B_i \in \Pi_A$, якщо цьому класу відповідає один інтервал, і $B_i \in \Pi_B$ інакше. Джерелом кодів для класів $B_i \in \Pi_A$ є лічильник ЛЧ. Якщо виконується умова

$$\Pi_B = \emptyset, \tag{6}$$

то блок БПА відсутній. Інакше перетворенню підлягають лише адреси виходів ОЛЛ, що входять у класи $B_i \in \Pi_B$. Для кодування цих класів достатньо

$$R_2 = \lceil \log_2(I_B + 1) \rceil \tag{7}$$

змінних, де $I_B = |\Pi_B|$, одиниця додається для кодування ситуації $B_i \in \Pi_A$. Якщо множини Π_A і Π_B не є пустими, то для інтерпретації ГСА Γ пропонується КМПК U_2 (Рис. 2).

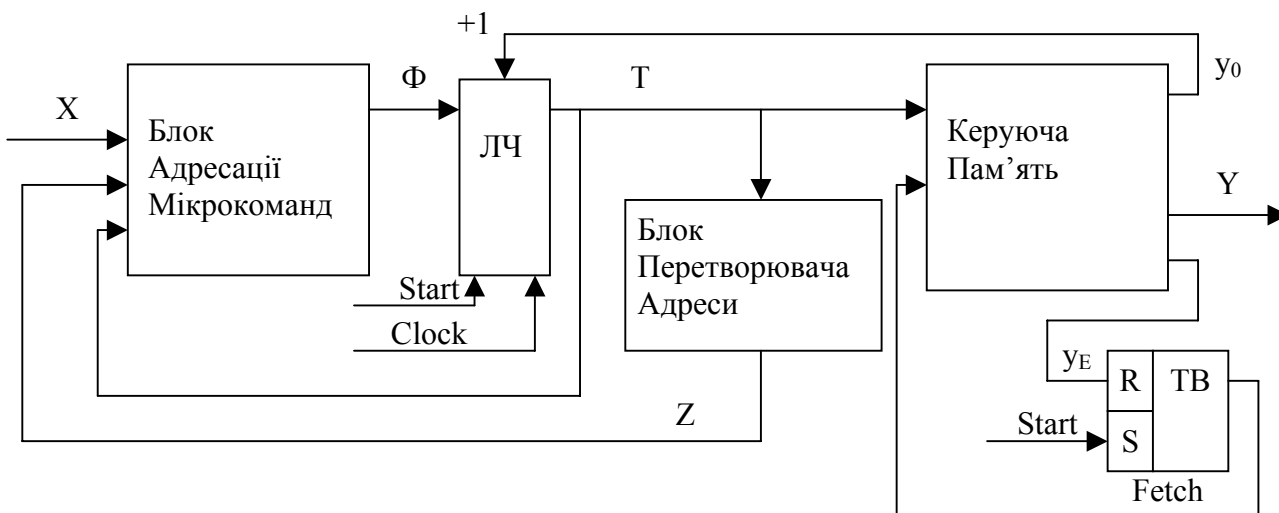


Рисунок 2 — Структурна схема КМУУ U_2

В КМПК U_2 коди $K_A(B_i)$ представляються змінними $T_r \in T$ і коди $K_B(B_i)$ — змінними $Z_r \in Z$, де $|Z| = R_2$. Різниця між КМПК U_2 та КМПК U_1 полягає у тому, що БАМ реалізує функції

$$\Phi = \Phi(T, Z, X), \tag{8}$$

а БПА реалізує функції

$$Z = Z(T). \tag{9}$$

Позначимо символом $U_i(\Gamma_j)$ той факт, що КМПК U_i інтерпретує ГСА Γ_j , а $Q_i(\Gamma_j)$ — число макрокомірок ПМЛ в схемі БАМ КМПК $U_i(\Gamma_j)$, де $i = 1, 2$. Нехай на входи q -й макрокомірки схеми БАМ КМПК $U_i(\Gamma_j)$ потрапляє L_q логічних умов, а кожна макрокомірка має S входів. Застосування запропонованого методу має сенс, якщо виконується умова

$$L_q + R + R_2 \leq S, \tag{10}$$

де $q = 1, \dots, Q_i(\Gamma_j)$.

В цій роботі пропонується метод синтезу КМПК U_2 , що включає такі етапи:

1. Формування множин C, C_1 і Π_C для ГСА Γ .
2. Адресація мікрокоманд.
3. Формування множин Π_A, Π_B .
4. Кодування класів $B_i \in \Pi_B$.
5. Формування змісту керуючій пам'яті.
6. Формування таблиці переходів КМПК.
7. Формування таблиці блоку перетворювача адреси.
8. Синтез логічної схеми КМПК.

Дослідження ефективності запропонованого методу.

Знайдемо область ефективного застосування КМПК U_2 , використовуючи для цього імовірнісний підхід, розглянутий в [2]. Згідно з цього підходу кожна ГСА Γ характеризується долею операторних вершин P_1 . У випадку лінійних ГСА $P_1 \geq 0,75$. У дослідженні використовуються матричні моделі КМПК [7], а не схеми у визначеному базисі. При цьому апаратні витрати характеризуються площею матриць, що займають

схеми блоків. Висновок о ефективності запропонованого метода робиться на основі дослідження відношення

$$f = 1 - \frac{S(U_2)}{S(U_1)}, \tag{11}$$

де $S(U_i)$ — площа матричної реалізації КМПК U_i ($i=1,2$).

Матрична модель КМПК U_1 показана на рис. 3.

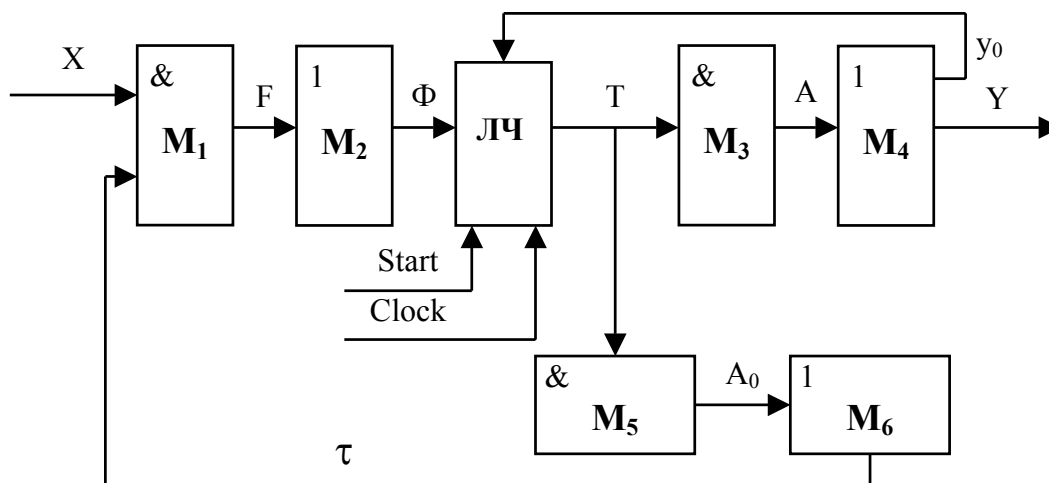


Рисунок 3 — Матрична реалізація КМПК U_1

У цій схемі кон'юнктивна матриця M_1 реалізує систему F термів функцій Φ , а диз'юнктивна матриця M_2 реалізує функції (4). Кон'юнктивна матриця M_3 реалізує повний дешифратор, який має R входів, виходи котрого представляють адреси мікрокоманд, які утворюють множину A . Диз'юнктивна матриця M_4 реалізує функції з множин $\{Y, y_0, y_E\}$. Кон'юнктивна матриця M_5 реалізує терми, відповідно до адрес виходів ОЛЛ та утворюючі множину A_0 . Диз'юнктивна матриця M_6 реалізує функції системи (5). Отже, матриці M_1 і M_2 представляють блок БАМ, матриці M_3 і M_4 — керуючу пам'ять, а матриці M_5 і M_6 — блок БПА. Площі $S(M_j)$ цих матриць можна визначити в такий спосіб:

$$\begin{aligned} S(M_1)_1 &= 2(L + R_1) * H_0; & S(M_2)_1 &= H_0 * R; \\ S(M_3)_1 &= 2R * 2^R; & S(M_4)_1 &= 2^R(N + 2); \\ S(M_5)_1 &= 2R * G; & S(M_6)_1 &= G * R_1; \end{aligned} \tag{12}$$

Матрична реалізація КМПК U_2 має такий же вигляд, як і для КМПК U_1 . У силу виконання умови (10) та рівності ємностей КП для обох КМПК справедлива наступна умова:

$$S(M_j)_1 = S(M_j)_2 \quad (j = 1, \dots, 4). \tag{13}$$

У формулах $S(M_j)_i$ індекс i підкреслює, що мова іде про КМПК U_i ($i=1,2$). Для зменшення числа змінних в (11) використовуємо результати роботи [2]. Нехай K — число вершин ГСА Γ , тоді

$$R = \lceil \log_2 p_1 K \rceil. \tag{14}$$

Блок БАМ представляє собою автомат Мура, маючий

$$G = k_1 p_1 K \tag{15}$$

станів. Параметр $k_1 \leq 1$ визначає середню довжину ОЛЛ (число компонент) в ГСА Γ . Параметри L і H_0 можуть бути визначені в такий спосіб:

$$L = (1 - p_1)K / 1,3; \tag{16}$$

$$H_0 = 4,4 + 1,1L. \tag{17}$$

Нехай $k_2 < 1$ визначає кількість класів $B_i \in \Pi_B$, тоді

$$I_B = k_2(2,75 + 0,34k_1p_1K); \tag{18}$$

$$R_2 = \lceil \log_2[k_2(2,75 + 0,34k_1p_1K)] \rceil. \tag{19}$$

Площі $S(M_5)_2$ і $S(M_6)_2$ можуть бути визначені в такий спосіб:

$$S(M_5)_2 = 2R * I_B; \tag{20}$$

$$S(M_6)_2 = I_B * R_2. \tag{21}$$

Для визначення області ефективного застосування моделі КМПК U_2 необхідно досліджувати функцію

$$f = 1 - \frac{S(M_1)_2 + S(M_2)_2 + S(M_3)_2 + S(M_4)_2 + S(M_5)_2 + S(M_6)_2}{S(M_1)_1 + S(M_2)_1 + S(M_3)_1 + S(M_4)_1 + S(M_5)_1 + S(M_6)_1}, \tag{23}$$

залежну від параметрів K, p_1, k_1, k_2, N . Деякі результати наших експериментів наведені на рис. 4 та рис. 5.

Як можна побачити з рис 4,5, КМПК U_2 завжди вимагає менше апаратних витрат, ніж КМПК U_1 . При цьому вииграш збільшується в міру росту коефіцієнта k_1 . Вплив коефіцієнта k_2 нерівномірний, але при його зменшенні вииграш збільшується. Середній вииграш при $K=300, p_1=0.75, k_1=0.5, k_2=0.5$ и $N = 5$, становить 13 %.

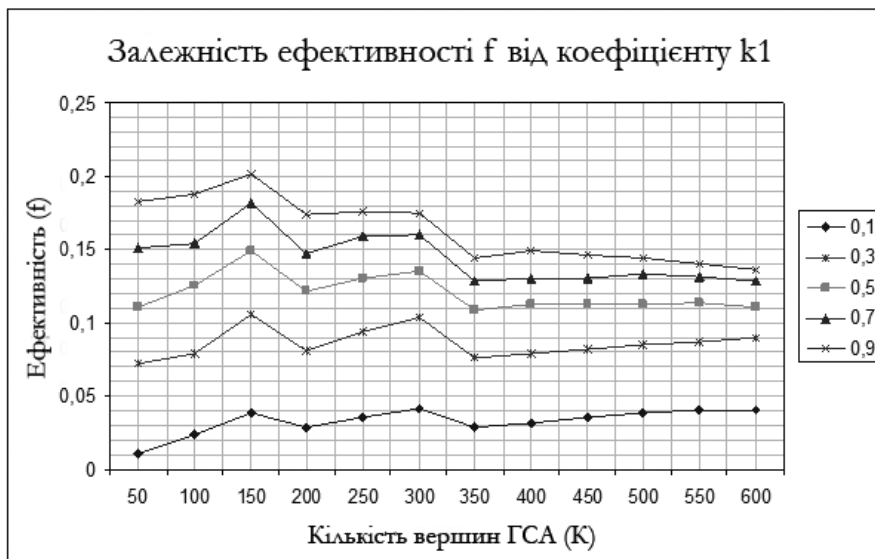


Рисунок 4 — Залежність ефективності застосування запропонованої структури від кількості вершин ГСА при різному значенні k_1 ($p_1 = 0,75, k_2 = 0,5, N = 5$)

Висновок

Запропонований метод оптимізації схеми КМПК з перетворювачем адреси орієнтований на зменшення кількості макрокомірок ПМЛ у схемі БПА. При цьому кількість макрокомірок у схемі формування адреси і кількість мікросхем ППЗП у керуючій пам'яті обох КМПК співпадає. Метод оснований на використанні двох джерел кодів класів псевдоеквівалентних ОЛЛ.

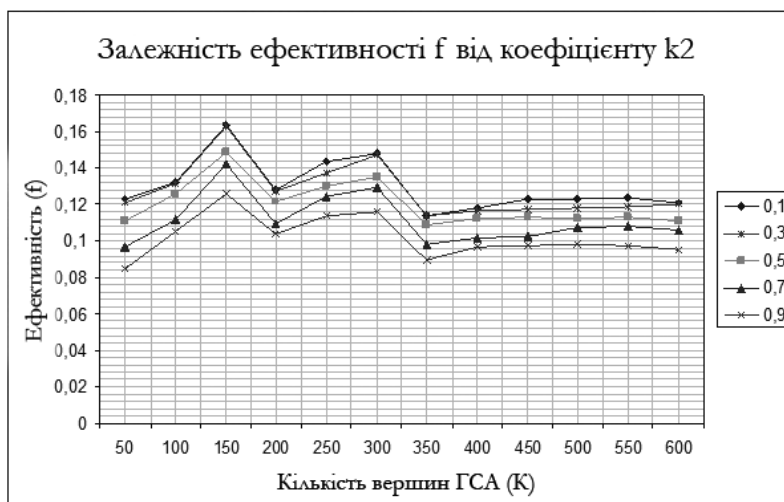


Рисунок 5 — Залежність ефективності застосування запропонованої структури від кількості вершин ГСА при різному значенні k_2 ($p_1 = 0,75$, $k_1 = 0,5$, $N = 5$)

Наукова новизна запропонованого метода полягає у використанні особливостей базису ПЛІС, а саме великого коефіцієнту об'єднання по входу, для зменшення апаратних витрат у схемі БПА. Відзначимо, що при виконанні умови (10) цей блок взагалі відсутній.

Практична значущість цього метода полягає в зменшенні кількості мікросхем при реалізації КМПК, що дозволяє отримати схеми, що мають меншу вартість у порівнянні з відомими з літератури аналогами. Розглянуті нами приклади показали, що кількість макрокомірок у блоці БПА зменшується на 60–70%. При цьому загальна кількість макрокомірок у схемі КМПК $U_2(\Gamma_1)$ до 13% менше, ніж у КМПК $U_1(\Gamma_1)$.

Для підвищення ефективності метода необхідно розробити алгоритм адресації мікрокоманд КМПК, що зменшує кількість ОЛЛІ, адреси виходів яких повинні перетворюватися. Це відноситься до подальшому напрямку наших досліджень, як і перевірка можливості використання метода для базису «систем-на-кристалі» [5], які мають внутрішні ресурси для реалізації, як довільної логіки, так і керуючої пам'яті КМПК.

Література

1. DeMicheli G. Synthesis and Optimization of Digital Circuits. — McGraw-Hill, 1994. — 636 pp.
2. Баркалов А.А. Синтез устройств управления на программируемых логических устройствах. — Донецк: ДНТУ, 2002. — 262 с.
3. Altera devices overview. http://www.altera.com/products/devices/common/dev-family_overview.html.
4. Xilinx CPLDs http://www.xilinx.com/products/silicon_solutions/cplds/index.htm.
5. Грушвицкий Р.И., Мурсаев А.Х., Угрюмов Е.П. Проектирование систем с использованием микросхем программируемой логики. — СПб: БХВ. — Петербург, 2002. — 608 с.
6. Соловьев В.В. Проектирование цифровых схем на основе программируемых логических интегральных схем. — М.: Горячая линия-ТЕЛЕКОМ, 2001. — 636 с.
7. Baranov S. Logic Synthesis for Control Automata. — Kluwer Academic Publishers, 1994. — 312 pp.

Здано в редакцію:
18.02.2009р.

Рекомендовано до друку:
д.т.н, проф. Башков Є.О.