

Синтез композиционного устройства управления с идентификацией выходов

Ковалев С.А., Мальчева Р.В., Ефименко К.Н.
ДонНТУ, Украина
E-mail: raisa@cs.dgtu.donetsk.ua

Abstract

Kovalov S.A., Malcheva R.V., Efimenko K.N. Synthesis of compositional control unit with identification of outputs. The method of decrease of amount of feedback signals in compositional microprogram control unit is proposed. Method is based on use of part of microinstruction address for representation of the code of operational linear chain. The proposed method does not require new structural elements and has no influence on performance of digital system with compositional microprogram control unit. An example of proposed method application is given.

1 Введение

В настоящее время цифровая система может быть реализована на одной микросхеме типа «система-на-кристалле» (SoC, system – on – a- chip) [1], число транзисторов в которых в 2012 году достигнет 1,3 млрд. [2]. Как правило, произвольная логика в SoC реализуется на FPGA, состоящих из элементов табличного типа LUT (look – up table) с числом входов, не превышающим 8 [3]. Кроме того, SoC включают встроенные блоки памяти DMВ (dedicated memory block), которые используются как постоянная или оперативная память цифровой системы [1]. Большое число транзисторов SoC не исключает необходимость оптимизации ресурсов в блоках цифровой системы, так как это позволяет увеличить ее функциональные возможности в рамках одного кристалла. Важным блоком цифровой системы является устройство управления [4], которое может быть реализовано в виде композиционного микропрограммного устройства управления (КМУУ) [5]. Особенностью КМУУ является возможность использования DMВ для реализации системы микрооперации. Это уменьшает число LUT-элементов, которые используются только для адресации микрокоманд. Ограниченное число входов LUT-элементов приводит к необходимости функциональной декомпозиции реализуемой системы булевых функций, что приводит к уменьшению быстродействия КМУУ. В литературе решению этой задачи уделялось достаточно большое внимание [4,6]. Однако и в настоящее время она остается актуальной. В данной работе предлагается метод уменьшения числа аргументов в системе функций адресации микрокоманд КМУУ.

2 Основные определения

Пусть алгоритм управления цифровой системы задан в виде граф-схемы алгоритма (ГСА) Γ [2], вершины которой образуют множество $V = \{b_0, b_E\} \cup V_1 \cup V_2$. Здесь b_0 - начальная вершина ГСА, b_E - конечная вершина, V_1 - множество операторных вершин, в которых записываются наборы одновременно выполняемых микроопераций из множества $Y = \{y_1, \dots, y_N\}$, V_2 - множество условных вершин, в которых записываются элементы множества логических условий $X = \{x_1, \dots, x_L\}$. Вершины $b_q \in V$ связаны дугами, образующими множество E . Введем ряд определений [5], необходимых для дальнейшего изложения материала.

Определение 1. Операторной линейной цепью (ОЛЦ) ГСА Γ называется конечная последовательность вершин $\alpha_g = (b_{g1}, \dots, b_{gF_g})$, такая что для любой пары соседних компонент вектора α_g существует дуга $\langle b_{gi}, b_{gi+1} \rangle \in E$ и $b_{gi} \in V_1$ ($i = 1, \dots, F_g$).

Определение 2. Входом ОЛЦ α_g называется вершина $b_q \in V_1$, такая что существует дуга $\langle b_t, b_q \rangle \in E$, где $b_t \notin D^g$, $D^g \subseteq V_1$ - множество вершин, входящих в α_g .

Определение 3. Выходом ОЛЦ α_g называется вершина $b_q \in V_1$, такая что существует дуга $\langle b_q, b_t \rangle \in E$, где $b_t \notin D^g$.

Пусть для ГСА Γ найдено разбиение $C = \{\alpha_1, \dots, \alpha_G\}$ множества V_1 на операторные линейные цепи, удовлетворяющее условию

$$\begin{aligned} D^i \cap D^j &= \emptyset \quad (i \neq j, i, j \in \{1, \dots, G\}); \\ V_1 &= D^1 \cup D^2 \cup \dots \cup D^G; \\ G &\rightarrow \min. \end{aligned} \quad (1)$$

Пусть для каждой ОЛЦ $\alpha_g \in C$ выполнена естественная адресация микрокоманд

$$A(b_{gi+1}) = A(b_{gi}) + 1, \quad (2)$$

где $A(b_{gi})$, $A(b_{gi+1})$ - адреса микрокоманд, соответствующих вершинам b_{gi} и b_{gi+1} , входящим в ОЛЦ $\alpha_g \in C$.

В этом случае ГСА Γ может быть интерпретирована КМУУ U_1 с общей памятью (рис. 1), которое функционирует следующим образом [5].

По сигналу Start в счетчик СТ заносится адрес первой микрокоманды интерпретируемого алгоритма, а триггер считывания ТФ устанавливается в единицу (Fetch=1), что разрешает выборку микрокоманд из управляющей памяти СМ. Пусть в момент времени t ($t=0, 1, \dots$) в СТ находится адрес $A(b_q)$. Если вершина $b_q \in V_1$ не является выходом O_g ОЛЦ $\alpha_g \in C$, то одновременно с микрооперациями $Y(b_q) \subseteq Y$, записанными в вершине b_q , фор-

мируется сигнал y_0 . В этом случае к содержимому СТ прибавляется единица, что соответствует режиму (2), и в СТ заносится адрес $A(b_i)$ следующей микрокоманды, где $\langle b_q, b_i \rangle \in E$. Если $b_q = O_g$, то сигнал y_0 не формируется и адрес перехода формируется выходными функциями схемы СС

$$\Phi = \Phi(T, X), \quad (3)$$

где $T = \{T_1, \dots, T_R\}$ – множество адресных разрядов памяти СМ и

$$R = \lceil \log_2 M \rceil, \quad (4)$$

где $M = |B_1|$. При этом происходит переход между выходом O_g и входом ОЛЦ $\alpha_i \in C$. В обоих случаях переключение счетчика СТ инициируется сигналом синхронизации Clock. Если СТ содержит адрес $A(b_i)$ и $\langle b_q, b_E \rangle \in E$, то одновременно с микрооперациями $y_n \in Y(b_i)$ формируется сигнал y_E . Если $y_E = 1$, то Fetch=0 и выборка микрокоманд из СМ прекращается. Цикл функционирования КМУУ U_1 повторяется при подаче очередного сигнала Start = 1.

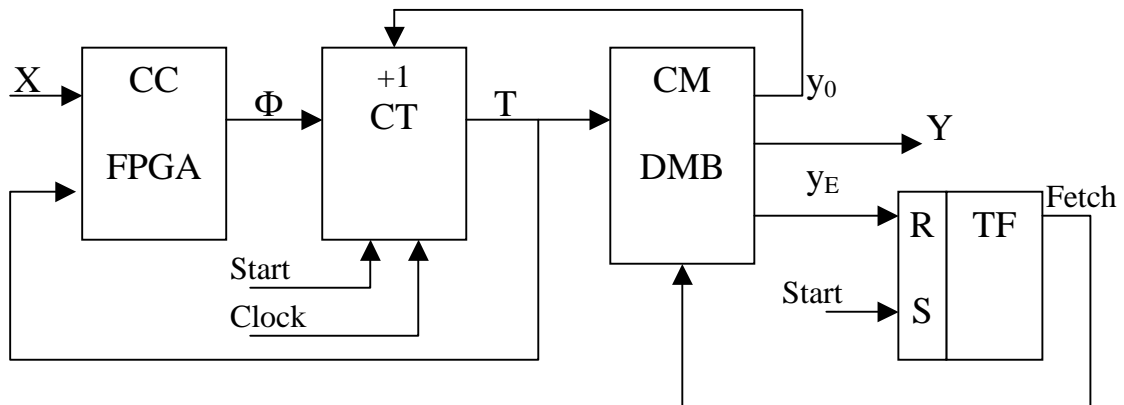


Рисунок 1 – Структурная схема КМУУ с общей памятью

Основным достоинством КМУУ U_1 является возможность использования DMB для реализации системы функций

$$Y = Y(T). \quad (5)$$

Это уменьшает общее число LUT-элементов в схеме устройства управления по сравнению с ее реализацией в виде микропрограммного автомата [2]. Недостатком КМУУ U_1 является необходимость использования R сигналов обратной связи для формирования функций Φ , что обычно превышает число переменных, необходимых для кодирования состояний эквивалентного автомата Мили. В настоящей работе предлагается метод уменьшения числа сигналов обратной связи КМУУ U_1 .

3 Основная идея метода

Пусть алгоритм управления цифровой системы задан в виде ГСА Γ_1 (рис. 2).

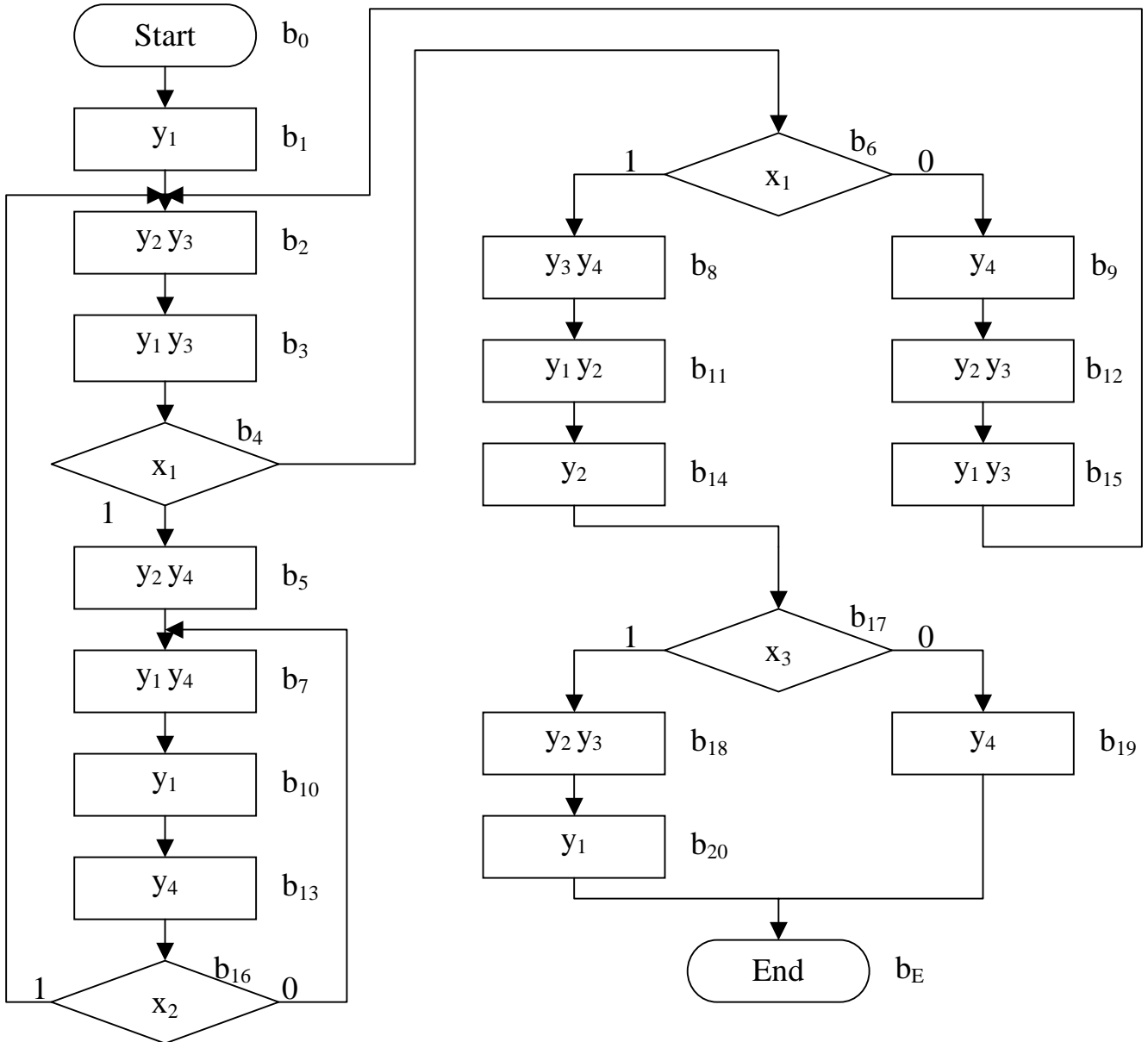


Рисунок 2 – Граф-схема алгоритма

Используем методы [5] и получим $S = \{\alpha_1, \alpha_2, \dots, \alpha_6\}$, где $\alpha_1 = \langle b_1, b_2, b_3 \rangle$, $I_1^1 = b_1$, $I_1^2 = b_2$, $O_1 = b_3$, $\alpha_2 = \langle b_5, b_7, b_{10}, b_{13} \rangle$, $I_2^1 = b_5$, $I_2^2 = b_7$, $O_2 = b_{13}$, $\alpha_3 = \langle b_8, b_{11}, b_{14} \rangle$, $I_3^1 = b_8$, $O_3 = b_{14}$, $\alpha_4 = \langle b_9, b_{12}, b_{15} \rangle$, $I_4^1 = b_9$, $O_4 = b_{15}$, $\alpha_5 = \langle b_{18},$

$b_{20}\rangle$, $I_5^1 = b_{18}$, $O_5 = b_{20}$, $\alpha_6 = \langle b_{19}\rangle$, $I_6^1 = O_6 = b_{19}$. Здесь I_g^j означает j -й вход ОЛЦ $\alpha_g \in C$ ($j \leq F_g$). Выполним адресацию (2) и построим таблицу содержимого управляющей памяти КМУУ $U_1(\Gamma_1)$, то есть КМУУ U_1 для ГСА Γ_1 , со столбцами $A(b_q)$, $Y(b_q)$ и b_q (табл. 1).

Таблица 1

Содержимое управляющей памяти КМУУ $U_1(\Gamma_1)$

$A(b_q)$	$Y(b_q)$	b_q	$A(b_q)$	$Y(b_q)$	b_q
0000	$y_0 y_1$	b_1	1000	$y_0 y_1 y_2$	b_{11}
0001	$y_0 y_2 y_3$	b_2	1001	y_2	b_{14}
0010	$y_1 y_3$	b_3	1010	$y_0 y_4$	b_9
0011	$y_0 y_2 y_4$	b_5	1011	$y_0 y_2 y_3$	b_{12}
0100	$y_0 y_1 y_4$	b_7	1100	$y_1 y_2$	b_{15}
0101	$y_0 y_3$	b_{10}	1101	$y_0 y_2 y_3$	b_{18}
0110	y_4	b_{13}	1110	$y_1 y_E$	b_{20}
0111	$y_0 y_3 y_4$	b_8	1111	$y_4 y_E$	b_{19}

Отметим, что сигнал y_0 введен во все микрокоманды $Y(b_q)$, где $b_q \neq O_g$ ($g = \overline{1, G}$), а сигнал y_E введен в микрокоманды $Y(b_t)$, такие что $\langle b_t, b_E \rangle \in E$.

Функции Φ должны формироваться только для выходов ОЛЦ $\alpha_g \in C'$, где $C' \subseteq C$ - множество ОЛЦ, выходы которых не связаны с входом вершины b_E . В рассматриваемом примере $C' = \{\alpha_1, \alpha_2, \dots, \alpha_4\}$, $A(O_1) = 0010$, $A(O_2) = 0110$, $A(O_3) = 1001$, $A(O_4) = 1100$, следовательно, $T_1 T_2 = 00$ соответствует выходу ОЛЦ α_1 , $T_1 T_2 = 01$ - выходу ОЛЦ α_2 , $T_1 T_2 = 10$ - выходу ОЛЦ α_3 , $T_1 T_2 = 11$ - выходу ОЛЦ α_4 . Таким образом, функции Φ могут быть выражены в виде

$$\Phi = \Phi(T', X), \quad (6)$$

где $T' \subseteq T$ - множество адресных разрядов, достаточное для однозначной идентификации выходов ОЛЦ $\alpha_g \in C'$. Минимальная мощность множества T' определяется как

$$R_{\min} = \lceil \log_2 M_1 \rceil, \quad (7)$$

где $M_1 = |C'|$. В рассматриваемом примере $R_{\min} = 2$ и анализ адресов $A(O_g)$ показывает, что существует один вариант однозначной идентификации выходов ОЛЦ $\alpha_g \in C'$ и $T' = \{T_1, T_2\}$.

В общем случае для идентификации выходов ОЛЦ $\alpha_g \in C'$ может потребоваться R_1 разрядов, где

$$R_1 \geq R_{\min}. \quad (8)$$

Например, для случая $C' = \{\alpha_1, \alpha_2, \alpha_3\}$, $\alpha_1 = \langle b_1, b_2, b_3, b_4 \rangle$, $\alpha_2 = \langle b_5, b_6, b_7 \rangle$, $\alpha_3 = \langle b_8 \rangle$, $A(b_1) = 0000$, ..., $A(b_4) = 0011$, $A(b_7) = 0110$, $A(b_8) = 0111$, $R_{\min} = 2$, но $T' = \{T_2, T_3, T_4\}$ и $R_1 = 3$.

Назовем КМУУ, основанное на предлагаемой идее, КМУУ с идентификацией выходов и обозначим его символом U_2 . Структуры КМУУ U_1 и U_2 совпадают, но схема СС КМУУ U_2 имеет $R_1 \leq R$ сигналов обратной связи.

4 Метод синтеза КМУУ с идентификацией выходов

В настоящей работе предлагается метод синтеза КМУУ U_2 , включающий следующие этапы:

- формирование удовлетворяющего (1) множества ОЛЦ C ;
- адресация микрокоманд, удовлетворяющая (2);
- формирование содержимого управляющей памяти;
- формирование множества T' , идентифицирующего выходы ОЛЦ;
- формирование системы функций (6);
- синтез схемы в заданном элементном базисе.

Первые три этапа метода совпадают с аналогичными этапами синтеза КМУУ U_1 [5]. Как уже было показано для КМУУ $U_2(\Gamma_1)$, множество $C' = \{\alpha_1, \alpha_2, \dots, \alpha_4\}$ и $T' = \{T_1, T_2\}$.

Для формирования системы (6) необходимо построить таблицу переходов КМУУ U_2 со столбцами: O_g ; $K(O_g)$ - код выхода ОЛЦ $\alpha_g \in C'$; I_q^j ; $A(I_q^j)$ - адрес j -го входа ОЛЦ $\alpha_q \in C'$; X_h - входной сигнал, определяющий на ГСА Γ переход из выхода ОЛЦ $\alpha_g \in C'$ во вход I_q^j и равный конъюнкции некоторых переменных (или их отрицаний) $x_l \in X$; Φ_h - набор функций возбуждения счетчика СТ, принимающих единичное значение для переключения СТ из $A(O_g)$ в $A(I_q^j)$; $h=1, \dots, H$ - номер строки таблицы. Для формирования таблицы переходов в настоящей работе предлагается построить систему формул перехода [2] для выходов ОЛЦ $\alpha_g \in C'$ в виде

$$O_g \rightarrow \bigvee_{i=1}^{I_g} X_i I_q^j, \quad (9)$$

где I_g - количество переходов из выхода O_g , X_i - входной сигнал, определяющий i -й переход ($i=1, \dots, I_g$).

Для ГСА Γ_1 система (9) имеет вид

$$\begin{aligned} O_1 &\rightarrow x_1 I_2^1 \vee \overline{x_1} x_2 I_3^1 \vee \overline{x_1} \overline{x_2} I_4^1, \\ O_2 &\rightarrow x_2 I_1^2 \vee \overline{x_2} I_2^2, \end{aligned} \quad (10)$$

$$O_3 \rightarrow x_3 I_5^1 \vee \overline{x_2} I_6^1,$$

$$O_4 \rightarrow I_1^2.$$

Таблица переходов КМУУ $U_2(\Gamma_1)$, соответствующая (10), имеет $N=8$ строк (табл. 2)

Таблица 2

Таблица переходов КМУУ $U_2(\Gamma_1)$

O_g	$K(O_g)$	I_q^j	$A(I_q^j)$	X_h	Φ_h	h
O_1	00**	I_2^1	0011	x_1	$D_3 D_4$	1
		I_3^1	0111	$\overline{x_1 x_2}$	$D_2 D_3 D_4$	2
		I_4^1	1010	$\overline{x_1 x_2}$	$D_1 D_3$	3
O_2	01**	I_1^2	0001	x_2	D_4	4
		I_2^2	0100	$\overline{x_2}$	D_2	5
O_3	10**	I_5^1	1101	x_3	$D_1 D_2 D_4$	6
		I_6^1	1111	$\overline{x_3}$	$D_1 D_2 D_3 D_4$	7
O_4	11**	I_1^2	0001	-	D_4	8

В этой таблице код $K(O_g)$ формируется следующим образом: если g -й разряд адреса $A(O_g)$ входит в множество T' , то в код $K(O_g)$ записывается значение этого разряда в адресе $A(O_g)$, в противном случае соответствующий разряд кода $K(O_g)$ равен * (не имеет значения). Как видно из табл. 2, счетчик СТ имеет информационные входы D -типа. Система (6) формируется по таблице переходов очевидным образом. Например, из табл. 2 имеем $D_1 = \overline{T_1 T_2} x_1 x_2 \vee T_1 \overline{T_2} x_3 \vee T_1 \overline{T_2} x_3$, что соответствует строкам 3, 6 и 7.

Синтез схемы КМУУ U_2 сводится к реализации системы (6) на FPGA и системы (5) – на DMB. Методы решения подобных задач достаточно освещены в литературе [4, 8] и выходят за рамки данной статьи.

5 Заключение

Предлагаемый в работе подход позволяет уменьшить число LUT-элементов в схеме адресации КМУУ за счет уменьшения числа сигналов обратной связи. Метод не связан с увеличением времени такта КМУУ, так как не вводятся новые структурные элементы. Более того, уменьшение числа аргументов системы функций возбуждения приводит к уменьшению времени такта, если уменьшается число уровней комбинационной схемы. Исследования авторов показали, что выигрыш от идентификации выходов

растет по мере роста отношения R/R_1 , максимальный выигрыш достигается при $R_1 = R_{\min}$. Исследования авторов показали, что при $R_1 = R_{\min}$ и $(R/R_1) > 1$ выигрыш по сравнению с КМУУ U_1 может достигать 35-42%.

Литература

1. Грушницкий Р.И., Мурсаев А.Х., Угрюмов Е.П. Проектирование систем на микросхемах программируемой логики. – Петербург: БХВ –2002. –636 с.
2. Brown S., Vernesic Z., Fundamentals of Digital Logic with VHDL Design. – McGraw Hill, 2000. – 218 pp.
3. Salcic Z. VHDL and FPGAs in digital systems design, prototyping and customization. –Kluwer Academic Publishers, 1998. – 312 pp.
4. De Micheli G., Synthesis and Optimization of Digital Circuits. – McGraw Hill: NY, 1994. – 126 pp.
5. Баркалов А.А. Синтез устройств управления на программируемых логических устройствах. – Донецк: ДонНТУ, 2002. – 262 с.
6. Synteza układów cyfrowych/ Praca zbiorowa pod redakcją prof. Tadeusza Łuby – Warszawa: WKŁ, 2003. – 228 pp.
7. Jenkins J. Design with FPGAs and CPLDs. – Prentice – Hale, 1995 – 273 pp.