

УДК 681.3

А.И. Андрюхин

Оптимизация системы синхронизации дискретных схем

Предложена модель для анализа ошибок синхронизации на основе граничных условий задачи математического программирования. Описаны алгоритмы и условия построения модели, линейные критерии оптимизации и примеры расчета.

A model is suggested for analyzing of synchronization errors on the basis of boundary conditions of a mathematical programming problem. Algorithms and conditions for the model construction, linear criteria of optimization and examples of calculation are described.

Запропоновано модель для аналізу помилок синхронізації на підставі межових умов задачі математичного програмування. Описано алгоритми та умови побудови моделі, лінійні критерії оптимізації, приклади розрахунку.

Одной из основных задач при проектировании электронных схем является исключение гонок [1]. Большинство труднообнаруживаемых и разнообразно проявляющихся ошибок функционирования схем относятся к числу не учтенных при проектировании.

В данной статье рассматривается определение параметров системы синхронизации дискретных схем при различных предположениях относительно границ изменения задержек компонентов устройства и выбранных критериях оптимизации. Используемые базовые модели определения ошибок синхронизации представлены в [2]. В [3] описан механизм «гонки данных», при котором ошибка синхронизации может привести систему к сбою. На рис. 1 изображена общая схема синхронного цифрового автомата с единой синхронизацией от центрального тактового генератора. Рассмотрим общие случаи ошибок синхронизации, считая, что триггеры срабатывают по положительному фронту. Пусть X_i — задержка срабатывания триггера T_i по отношению к генератору и d_{ij} — задержка сигнала от триггера T_i к триггеру T_j при прохождении его через комбинационную схему (КС) устройства.

Если $X_j > X_i + d_{ij}$, то при достижении положительного фронта триггера T_i данные по более быстрому пути уничтожают данные входа триггера T_j , прежде чем синхросигнал достигнет его. Поэтому, когда синхросигнал дости-

гает T_j , ошибочные данные записываются в него. Поскольку данные проходят два триггера за один такт синхронизации, эту ошибку назовем ошибкой двойной синхронизации (*double-clocking*).

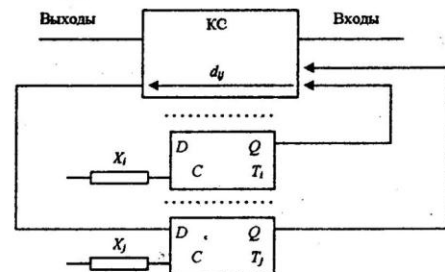


Рис. 1

Под нулевой синхронизацией (*zero-clocking*) будем понимать случай ошибочной синхронизации, когда данные достигают триггера слишком поздно относительно следующего фронта. Это происходит при $X_i + d_{ij} > X_j + P$, где P — период синхронизации.

Заранее оговорим, что внешние входы и выходы для нашей модели соединены с исследуемой схемой через внешние триггеры, задержками которых мы не можем управлять, они управляются центральным источником синхросигналов через собственные линии синхронизации. Поэтому можно считать, что в устройстве есть K внутренних триггеров и $N - K$

внешних триггеров, ассоциируемых с внешними полюсами. Задержки последних полагаем константами.

Общая модель неравенств для временных параметров системы синхронизации дискретных устройств базируется на основополагающем принципе, что минимальное значение периода тактового сигнала должно быть не меньше максимального времени переходного процесса в КС синхронного автомата [1, 4], и строится при предположениях:

- Триггеры T_i как элементы памяти срабатывают с задержкой X_i по отношению к сигналам центрального синхрогенератора. В зависимости от технологии, существует минимальное время задержки m , т.е. при $i = 1, K$ $X_i \geq m$. Поэтому мы можем описать некоторую неопределенность задержек синхросигнала путем введения линейной зависимости задержки текущего (рассматриваемого в данный момент времени) фронта синхронизации X от номинальной X_i , т.е. определить параметры a, b ($0 < a \leq 1 \leq b$) такие, что $aX_i \leq X \leq bX_i$.

- Условия корректной работы триггера, когда фронт синхросигнала приходит в момент X , состоят в том, что входные данные должны быть стабильными в интервале $(X - SET, X + HOLD)$, где $SET(HOLD)$ — время установки (удержания).

- Чтобы не было двойной синхронизации между T_i, T_j , данные из T_i , записанные по синхросигналу, должны достигать триггера T_j не быстрее, чем за время, состоящее из периода удержания $HOLD$ и времени самого медленного прохождения синхросигнала к T_j . Минимальное время срабатывания T_i есть aX_i , а минимальное время прохождения сигнала от T_i к T_j обозначим через $s(i, j)$. Максимальное время задержки срабатывания T_j есть bX_j . Поэтому имеем:

$$aX_i + s(i, j) \geq bX_j + HOLD \text{ для } i, j = 1, N.$$

- Чтобы не возникла ошибка нулевой синхронизации, данные из T_i , записанные фронтом синхросигнала, должны достичь T_j не позже, чем за время установки SET и максималь-

ного времени срабатывания T_i перед следующим фронтом. Максимальное время задержки срабатывания T_i есть bX_i , а максимальное время распространения сигнала от T_i к T_j обозначим $S(i, j)$. Минимальное время прибытия фронта для T_j есть $P + aX_j$. Следовательно, $bX_i + SET + S(i, j) \leq P + aX_j$ для $i, j = 1, N$. Общая модель ограничений временных параметров для системы синхронизации дискретного устройства имеет вид:

$$aX_i - bX_j \geq HOLD - s(i, j) \text{ при } i, j = 1, N,$$

$$aX_j - bX_i \geq SET + S(i, j) - P \text{ при } i, j = 1, N \quad (1)$$

$$\text{и } X_i \geq m \text{ при } i = 1, K.$$

Добавим, что если путь от i к j не существует, то полагаем $s(i, j) = +\infty$, а $S(i, j) = -\infty$, этим мы обеспечиваем для таких триггеров заведомую выполнимость неравенств (1).

Описанные соотношения являются ограничениями для области допустимых решений при расчете периода синхронизации P для выбранного пользователем критерия оптимизации $Cr = Cr(P, \bar{Y})$, где \bar{Y} , являясь вектором параметров целевой функции, может включать

$$\bar{X} = (X_1, X_2, \dots, X_K), \quad \bar{s} = (s(i, j), i, j = 1, N),$$

$$\bar{S} = (S(i, j), i, j = 1, N) \text{ и т.п.}$$

На основании этой модели можно решать следующие задачи:

I. Определение максимального быстродействия устройства, т.е. определение $\min P$ при ограничениях (1), есть решение задачи линейного программирования (ЛП) минимизации периода P .

II. Определение наиболее «надежной» системы синхронизации при заданном P . Критерием этой «надежности» является число M , которое максимизируется при условии, что левые части главных линейных неравенств в (1) больше, чем правые, по крайней мере на M . Поэтому переменная M вычитается из левых частей (1). Следовательно, имеем задачу ЛП: определить $\max M$ при ограничениях

$aX_i - bX_j - M \geq HOLD - s(i, j)$ при $i, j = 1, N$,
 $aX_j - bX_i - M \geq SET + S(i, j) - P$ при $i, j = 1, N$
и $X_i \geq m$ при $i = 1, K$ для заданного P .

III. Известной особенностью функционирования триггеров является возможность их завыпания, иначе — метастабильная аномалия их поведения. Этому вопросу посвящены многочисленные работы, среди которых выделим [5–7], и он требует отдельного рассмотрения. В данной статье только отметим, что интересным с точки зрения повышения надежности устройства является решение задачи с целевой функцией типа $\max \sum C_i X_i - P$ при ограничениях (1). Здесь C_i — коэффициент приоритетности увеличения времени задержки срабатывания i -го триггера ($i = 1, K$).

Заметим, что ограничения (1) позволяют сделать следующие выводы относительно величин a, b и P .

Суммируя i -е и j -е неравенства, получим для $i, j = 1, N$:

$$(a - b)(X_i + X_j) \geq 2HOLD - s(i, j) - s(j, i),$$

$$(a - b)(X_i + X_j) \geq 2SET + S(i, j) + S(j, i) - 2P.$$

Пусть $s_{ij} = (s(i, j) + s(j, i))/2$ и $S_{ij} = (S(i, j) + S(j, i))/2$. Ясно, что $s_{ij} = s_{ji}$ и $S_{ij} = S_{ji}$. Поскольку $X_i + X_j \geq m$ и $(a - b)(X_i + X_j) \leq 0$, имеем необходимые условия существования системы синхронизации:

$$\min_{i,j} ((s_{ij} - HOLD)/m) \geq b - a,$$

$$P \geq \max_{i,j} (SET + S_{i,j}) + (b - a)m.$$

Считая известными параметры a и b и используя значения задержки элементов на каждом из рассматриваемых путей, вычисляем для каждой пары i, j значения $s(i, j), S(i, j)$. Проблематичной здесь является точная оценка задержки элемента, так как обычно известна только максимальная задержка распространения, а задержки однотипных элементов различаются в значительной степени (соотношение 1:4 и более, [1]).

Основной критерий, которым пользуется проектировщик при подсчете времени за-

держки по самому длинному тракту распространения сигнала, — это максимальная задержка элемента.

В системе ИКСМ [8, 9] реализован алгоритм автоматического подсчета величин задержек по самому короткому и длинному путям (обычно имеющим максимальное и минимальное количество элементов) для каждой пары триггеров в функциональной схеме проекта. При этом возможны различные варианты их вычисления, связанные с реальной неопределенностью задержек элемента. Приведем наиболее простой вариант, когда значением задержки является ее максимум.

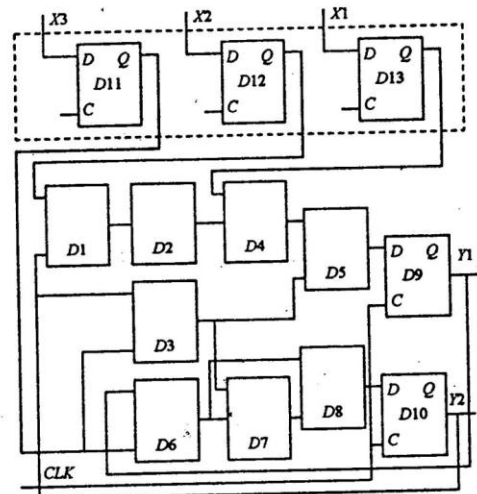


Рис. 2

Исходные данные для этого варианта — таблицы элементов и связей между ними (Элементы и Связи). Для схемы на рис. 2 они представлены соответственно частично в табл. 1 и 2. На рис. 2 выделены штриховой линией фиктивные триггеры с постоянной фиксированной задержкой, ассоциируемые со входами устройства. Фиксация значения задержки отражает неуправляемость задержки входных полюсов, т.е. их внешний характер по отношению к рассматриваемому устройству. Таблица Элементы содержит следующие данные:

$N(T)$ — имя (тип) элемента, L — число его входов, D — задержка. В таблице Связи OUT — номер элемента из табл. Элементы, выход которого связан с входным контактом K элемента с номером IN . Число записей в таблицах обозначим через $NE(NL)$.

Таблица 1. Элементы

N	T	L	D
$X1$	0	0	6
$X2$	0	0	6
$X3$	0	0	6
$X \subset K$	0	0	6
$Y1$	2	0	5
$Y2$	2	0	5
$D1$	4	2	5
$D2$	3	1	5
$D3$	4	2	5
$D4$	4	2	5
$D5$	4	2	5
$D6$	4	2	5
$D7$	4	2	5
$D8$	4	2	5
$D9$	1	2	20
$D10$	1	2	20

Таблица 2. Связи

IN	K	OUT
6	1	1
6	2	14
7	1	6
8	1	15
8	2	2
9	1	0
9	2	7
10	1	9
10	2	8
11	1	14
11	2	2
12	1	8
12	2	11
13	1	11
13	2	12
14	1	10
14	2	3
15	1	13
15	2	3

Основной процедурой алгоритма является определение для заданного триггера J значений максимального (минимального) путей к элементам JD ($I = 1, N$). Это задача нахождения кратчайшего (максимального) пути между двумя заданными вершинами в ориентированном ациклическом графе, и ее наиболее эффективное решение дает алгоритм Дейкстры [10]. Соответствующий граф строится таким образом: элементы схемы являются вершинами графа, связь между элементами i и j интерпретируется как дуга с весовым коэффициентом C_{ij} , равным задержке элемента j . Направление задается от входов элементов к выходам. Для превращения графа в ациклический при нахождении кратчайшего (максимального) пути условно обрываем обратные связи на входах (или выходах) триггеров.

Для представленного описания алгоритм сформулированной задачи имеет следующий вид. Фиксируем номера триггеров, для кото-

рых определяются максимальный и минимальный пути по сумме задержек входящих в них элементов. Пусть $J(JD)$ — номера триггеров, являющихся началом (концом) путей, которые просматриваются рекурсивной процедурой $CROSS$. Параметр процедуры — номер элемента K , через который проходят генерируемые пути. Обозначим через K_NEXT элемент, чей выход соединен со входом элемента K , и через L_W — текущую длину пути. Пусть $iK(iL, iL0)$ — индексы по входам элемента K (табл. Связи).

Алгоритм процедуры $CROSS$:

1. Если элемент K ($T[K]$) — внешний вход, то перейти к п. 3.

2. Если элемент K ($T[K]$) — не триггер, перейти к п. 6.

3. Если $K \neq JD$, Выход.

4. Если $L_W > L_MAX[J]$, $L_MAX[J] = L_W$.

5. Если $L_W > L_MIN[J]$, $L_MIN[J] = L_W$.

Выход.

6. Вычислить $iL0 = 0$ и $L_W = L_W + D[K]$.

7. Цикл по iK от 1 до $R[K]$. Затем перейти к п. 13.

8. Цикл по iL от $iL0$ до NE . Перейти к п. 7.

9. Если $IN[iL] \neq K$, перейти к п. 8.

10. Вычислить $iL0 = iL + 1$.

11. Вычислить $K_NEXT = OUT[iL]$.

12. Выполнить процедуру $CROSS$ с параметром K_NEXT .

13. Вычислить $L_W = L_W - D[K]$.

14. Выход.

Результатом работы алгоритма для схемы, изображенной на рис. 2, являются значения $s(9, 10) = 10$, $s(10, 9) = 10$, $S(9, 10) = 15$, $S(10, 9) = 20$ и т.д., соответствующие путям $(D6, D8)$, $(D3, D5)$, $(D6, D8)$, $(D1, D2, D4, D5)$ при предположении, что задержки всех вентилях равны 5. Для упомянутой схемы (см. рис. 2) система неравенств (1) в задаче I имеет вид: определить $\min P$ при

$$aX_9 - bX_{10} \geq HOLD - s(9, 10),$$

$$(a - b)X_{10} \geq HOLD - s(10, 10),$$

$$aX_{10} - bX_9 \geq HOLD - s(10, 9),$$

$$aX_{11} - bX_9 \geq HOLD - s(11, 9),$$

$$\begin{aligned}
aX_{11} - bX_{10} &\geq HOLD - s(11, 10), \\
aX_{13} - bX_9 &\geq HOLD - s(13, 9), \\
aX_{12} - bX_9 &\geq HOLD - s(12, 9), \\
aX_9 - bX_{10} + P &\geq SET + S(10, 9), \\
aX_{10} - bX_9 + P &\geq SET + S(9, 10), \\
(a - b)X_{10} + P &\geq SET + S(10, 10),
\end{aligned}$$

где $X_9, X_{10} \geq m$.

Пусть SET и $HOLD$ равны 1, $m = 10$, а задержки внешних полусов X_{11}, X_{12}, X_{13} (т.е. триггеров $D11, D12, D13$) — 6. При решении задачи I с такими начальными условиями для (a, b) , принимающих значения 0.95, 1.05 (0.9, 1.1), имеем значения минимального периода синхронизации P равными 19.625(20.75) соответственно при $X_9 = 12.5, X_{10} = 10$.

Для (a, b) , принимающих значения 0.95, 1.05(0.9, 1.1), и фиксированных соответствующих P , равных 20 (25), решения задачи II таковы: $M = 0.375$ (2.63) при $X_9 = 12.5$ (10.7) и $X_{10} = 10$ (10) соответственно.

Решение задачи III для критерия $Cr = X_9 + X_{10} - P \Rightarrow \max$ имеет вид: $P = 22, X_9 = 14, X_{10} = 14$ при $a = 0.95$ и $b = 1.05$.

Вышеприведенный подход на практике необходимо модифицировать, так как известно, что точное определение задержек должно учитывать множество параметров, среди которых можно выделить такие: температура окружающей среды, колебания напряжения питания, емкость нагрузки, число разветвлений выхода (число подключенных элементов) и т.п. Поэтому при вычислении $s(i, j), S(i, j)$ необходимо вместо максимальной задержки использовать величину, значение которой определяется в зависимости от упомянутых параметров. Если известна минимальная задержка элемента, можно заменить этим значением максимальную задержку при вычислении $s(i, j)$. Однако динамические параметры микросхемы (например, приращение среднего времени задержки распространения сигнала на один незадействованный вход логического элемента или на одну единичную нагрузку, подключаемую на выход) как основной справочный материал в технических условиях для нее могут

отсутствовать. Естественно для расчетов на компьютере оценивать задержки максимального и минимального путей выражениями $Ls(i, j)$ и $HS(i, j)$ соответственно, где коэффициенты L и H меньше 1, и производить анализ решений упомянутых задач при различных значениях L, H .

Расчет системы синхронизации схемы при использовании статистических характеристик задержек ее компонентов сводится к вышерассматриваемым вариантам с некоторой вероятностной вероятностью. Более точная оценка $s(i, j)$ и $S(i, j)$ может быть дана после детального анализа источников задержек прохождения сигнала. В [11] при рассмотрении состояющихся цепей показано, что ложный сигнал можно подавить, используя свойства логических элементов. Аналогично этому в [2] рассматриваются для каждой интересующей нас пары узлов (k, l) в МОП-схеме соединяющие их цепочки транзисторов.

Разделим задержку X_i , назначаемую паре узлов (k, l) , на две части $n_i(p_i)$, где $n_i(p_i)$ — сумма задержек инверторов в соединяющей k и l цепи для n -канальных (p -канальных) МОП-транзисторов, выходы которых изменяются с $1 \rightarrow 0$ ($0 \rightarrow 1$) соответственно. Если ND_k и ND_l — число $n(p)$ -канальных транзисторов для выбранного пути из k в l , то можем обозначить через $X_{i,k,l}$ выражение $n_i/ND_k + p_i/ND_l$. Поскольку для рассматриваемой в [2] технологии имеет место соотношение $0.35 \leq p_i/(n_i + p_i) \leq 0.5$, получим неравенства $n_i - p_i \geq 0$ и $13p_i - 7n_i \geq 0$. Естественно, что последние неравенства могут быть другими для технологий, отличных от рассматриваемой. Обозначим задержки переключения $0 \rightarrow 1$ и $1 \rightarrow 0$ через $m1$ и $m0$ соответственно. Ясно, что $n_i \geq m0$ и $p_i \geq m1$. Задача I будет иметь следующий вид: определить $\min P$ при

$$\begin{aligned}
aX_{i,k,l} - bX_{i,k,l} &\geq HOLD_{k,l} - s(i, j, k, l), \\
aX_{j,k,l} - bX_{i,k,l} &\geq SET_{k,l} + S(i, i, k, l) - P, \\
n_i &\geq m0, \quad p_i \geq m1,
\end{aligned}$$

$n_i - p_i \geq 0$ и $12p_i - 7n_i \geq 0$ для $i, j = 1, N$ и рассматриваемых k, l .

Указанный подход, однако, повышает размерность задачи, а главное — не устраняет полностью зависимость от влияния внешних факторов и не учитывает корреляции функционирования элементов БИС. Моделирование МОП-структур на переключательном уровне позволяет в некоторых случаях верифицировать проект БИС на предмет состязаний аналогично применяемому в трюичном моделировании методу Эйхельбергера [12].

Рассмотренные методики позволяют оптимизировать расчеты однофазных систем синхронизации цифровых схем на компьютере и могут быть расширены на случай многофазных систем при их представлении согласно рис. 7.1 [1].

1. Потемкин И.С. Функциональные узлы цифровой автоматики. — М.: Энергоатомиздат, 1988. — 320 с.
2. Fishburn J.P. Clock skew optimization // IEEE Trans. on Computers. — 1990. — № 7. — P. 945–951.
3. Cotten L.W. Circuit implementation on high-speed pipeline system. — Proc. AFIPS, 1965. — 27. — P. 489–504.
4. Пухальский Г.И., Новосельцева Т.Я. Проектирование дискретных устройств на интегральных микросхемах: Справочник. — М.: Радио и связь, 1990. — 304 с.

5. Kleeman. The jitter model for metastability and its application to redundant synchronizers // IEEE Trans. on Computers. — 1990. — № 7. — P. 930–942.
6. El-Amawy A., Naraghi_Pour M., Hedge M. Noise modelling effects in redundant synchronizers // Ibid. — 1993. — № 12. — P. 1487–1494.
7. Marino L.R. General theory of metastable operation // Ibid. — 1981. — № 2. — P. 107–115.
8. Андрюхин А.И., Сперанский Д.В. Иерархическая компилятивная система моделирования и генерации тестов // Техническая диагностика и неразрушающий контроль. — 1994. — № 2. — С. 71–78.
9. Андрюхин А.И. Реализация компилятивного логического моделирования с задержками // Электронное моделирование. — 1995. — № 2. — С. 66–69.
10. Кристофидес Н. Теория графов. Алгоритмический подход. — М.: Мир, 1978. — 432 с.
11. Лазер И.М., Шубарев В.А. Устойчивость цифровых микроэлектронных устройств. — М.: Радио и связь, 1983. — 216 с.
12. Андрюхин А.И. Алгоритмы параллельного логического моделирования и псевдослучайной генерации тестов для МОП-структур // Микроэлектроника. — 1995. — № 5. — С. 331–336.

Поступила 20.01.96
Тел. для справок: (0622) 55-20-82 (Донецк)
© А.И. Андрюхин, 1998