Андрюхин А.И.
Институт проблем искусственного интеллекта
Донецк

УДК 681.3

ПРИМЕНЕНИЕ МЕТОДА GPS ПРИ ПОСТРОЕНИИ ТЕСТОВ ДЛЯ ДИСКРЕТНЫХ УСТРОЙСТВ

В настоящей работе рассматривается использование идей метода GPS [1,2] в решении проблемы генерации тестов для дискретных устройств (ДУ). При этом основными моментами описываемого подхода являются:

a) параллельное моделирование ДУ, возможное благодаря представлению их функционирования системой временных булевых уравнений;
b) использование выбранного на предыдущем шаге, согласно определенным критериям, состояния ДУ;
c) статистическая оценка критерия ограничения поиска подцели, приближающей к решению полной цели из выбранного состояния.

Практика показывает приоритет эмпирических подходов, использующих моделирование неисправностей схемы перед различного рода модификациями структурных методов, основой которых является D -метод. Заметное место среди способов построения теста занимают методы моделирования неисправностей из класса, определяемого пользователем на псевдослучайной последовательности. При имеющейся системе логического моделирования и доступных моделях элементов естественно наблюдаемы и внутренние переменные памяти элементов, что существенно используется в предлагаемом методе.

Основной механизм редукции GPS использует три основных метода:

a) преобразование текущего состояния A в целевое состояние Z;
b) уменьшение различия $r(A,Z)$ между A и Z;
c) применение оператора f к A.

Обнаружение неисправностей на практике обычно осуществляется на выходных полюсах ДУ, значения которых, как правило, определяются булевой функцией от входов ДУ и переменных состояний элементов памяти конечного каскада. Поэтому естественно считать обобщенным целевым состоянием Z множество состояний ДУ с неисправностями на переменных состояниях элементов конечного каскада. Сопоставим оператору f параллельный случайный поиск в промежуточном состоянии A, которое ассоциируется с неисправностями переменных состояний элементов промежуточных каскадов между местом определения неисправности и конечным каскадом. Оценка различия $r(A,Z)$ производится с помощью описанных ниже критериев Cr, которые учитываются стратегией выбора состояния. Она повышает эффективность процесса генерации теста, используя их как обычные оценочные функции, широко применяемые в эвристических алгоритмах при решении задач искусственного интеллекта. В качестве этих функций могут выступать показатели управляемости и наблюдаемости ДУ [4]. Мы будем понимать под стратегией выбор состояния ДУ с неисправностью, на котором в следующем шаге производится параллельный случайный поиск.

Рассмотрим задачу построения теста для определенного класса неисправностей, исходя из метода пространства состояний [3]. Пусть $A=(X,Y,S,\delta,\lambda)$ - синхронный конечный автомат, для которого $S=(S_1,S_2,\dots,S_m),Y=(Y_1,Y_2,\dots,Y_k)$, $X=(X_1,X_2,\dots,X_n)$ - алфавиты, соответственно, входов, выходов и состояний; δ - функция переходов, λ - функция выходов и, следовательно, $Y_t=\lambda(X_t,S_t)$, $S_{t+1}=\delta(X_t,S_t)$ для дискретного момента времени t. Кодируя значения $S_i\in S, Y_1\in Y, X_j\in X$ соответственно булевыми векторами $(s^1,s^2,\dots s^M),(y^1,y^2,\dots,y^L),(x^1,x^2,\dots x^N)$ размерности $M\le[loq_2 m]+1, N\le[loq_2 n]+1, L\le[loq_2 k]+1$, получаем систему булевых уравнений:

$$\begin{aligned} s^i_{t+1}&=\delta^i\left(s_t^1,s_t^2,\dots,s_t^M,x_t^1,x_t^2,\dots,x_t^N\right) \quad i=1,M \\ y_t^j&=\lambda^j\left(s_t^1,s_t^2,\dots,s_t^M,x_t^1,x_t^2,\dots,x_t^N\right) \quad j=1,L \end{aligned}, \qquad (1)$$

где s_t^i - значение булевой переменной состояния s^i в момент t,

x_t^j - значение булевой переменной входа x^j в момент t,

y_t^1 - значение булевой переменной выходов y^1 в момент t.

Обозначим

$$\overline{S}_t=\left(s_t^1,s_t^2,\dots,s_t^M\right),\overline{Y}_t=\left(y_t^1,y_t^2,\dots y_t^L\right),\overline{X}_t=\left(x_t^1,x_t^2,\dots,x_t^N\right).$$

Используя представление функций δ^i,λ^j из системы (1) в виде полиномов Жегалкина, получим канонические уравнения:

$$\overline{S}_{t+1}=A\overline{S}_t\oplus B\left(\overline{S}_t,\overline{X}_t\right)\overline{X}_t \text{ и } \overline{Y}_t=D\overline{S}_t\oplus U\left(\overline{S}_t,\overline{X}_t\right)\overline{X}_t,$$

где A, D - матрицы, элементами которых являются 0,1, элементами матриц B, U являются булевы выражения. Булевы операции $\wedge,\oplus$ используются при операциях над элементами этих матриц в поле $GF(2)$ вместо арифметических операций умножения и сложения. Рассматриваем класс константных неисправностей переменных состояния ДУ $(s_i\equiv 0(1))$, однако результаты применимы для классов функциональных неисправностей $s_i^t=f_i(X_t,S_t)$, где f_i - булево выражение. Моделировать и применять описываемый метод для неисправности на линии L, значение которой при неисправности равно $f_L(X_t,S_t)$ возможно путем преобразования структуры ДУ и соответствующего ему изменения описывающих структуру ДУ данных, что аналогично внесению добавочных полевых транзисторов для МОП-схем на переключательном уровне [4]. Добавляются входы X_f и $f(X_t, S_t)$, которые позволяют управлять значением на логическом эквиваленте линии L - линии L', согласно выражения $L' = \overline{X_f}L \vee X_f f(X_t, S_t)$. При $X_f = 0$ моделируем исправное ДУ, а при $X_f = 1$ имеем значение $f(X_t, S_t)$ на линии L'.

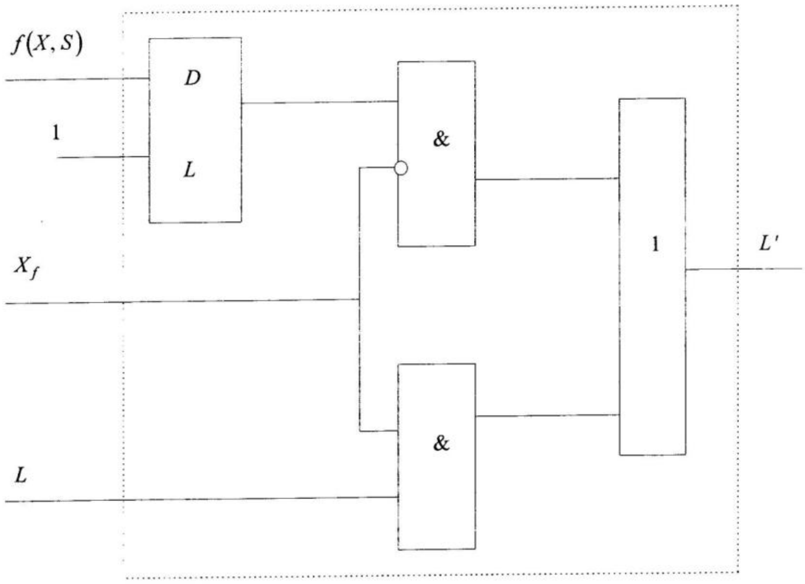

Рис. 1.

Рис. 1 иллюстрирует применение этого преобразования. Обозначим $\overline{Z_t}$ вектор $\overline{S_t}$ с установленной константной неисправностью $s_i = v, v \in (0,1)$ и $\overline{W_t}$ - вектор выходов. Функционирование ДУ с этой неисправностью описывается уравнениями:

$$\overline{Z}_{t+1} = A\overline{Z}_t \oplus B\left(\overline{Z}_t, \overline{X}_t\right)\overline{X}_t \qquad \overline{W_t} = D\overline{Z}_t \oplus U\left(\overline{Z}_t, \overline{X}_t\right)\overline{X}_t .$$

Построение теста для неисправности $s_i = v$ является определением управляющих входных воздействий $\overline{X}_t\ t = 1,\dots T$, с тем, чтобы $\overline{Y_T} \oplus \overline{W_T} \neq \overline{0}$, где $\overline{0}$ - нулевой булев вектор. Специфичность операций над полем $GF(2)$ не позволяет использовать стандартный математический аппарат теории управления, однако мы имеем возможность распараллеливания вычислений, так как булевы выражения являются идеальным для этого. Считаем, что имеем возможность параллельно моделировать M копий дискретной схемы на M независимых последовательностях входных воздействий X_i^t, где $i = \overline{1,M}$, $t = \overline{1,T}$ (для однопроцессорного компьютера равно длине машинного слова в битах, т.е. обычно 16,32,64). Определим функцию $D(A,B)$ для троичных величин A,B, равную единице только при $A = 1, B = 0$, или $A = 0, B = 1$. На каждом наборе t входных воздействий по переменной состояния $S_{k,i}^t$ из ее M значений мы можем выбирать по задаваемому нами критерию выбора $Cr(S)$ значение $S_{k,q}^t$. По выбранному значению переменной $s_{k,q}^t$ состояния для остальных $M-1$ значений $S_{k,i}^t$ $(i \neq q)$ мы производим установление в значение X тех, которые имеют другое строго определенное значение, т.е., если $D\left(S_{k,q}^t, S_{k,i}^t\right) = 1$. Множество переменных состояний элементов памяти, через которые возможно проявление неисправности на внешнем выходе, назовем ее путем.

На шаге t выполняется параллельное моделирование $M = 2D$ схем, половина которых исправны, а для второй половины учитываем $S_i = V$. Значения случайных входных воздействий в j-ой исправной схеме совпадают с $D+j$-схемой (j-неисправная схема). Моделирование выполняется на C наборах, после чего осуществляется принудительная установка всех D копий неисправных схем в выбранное состояние. Обозначим $I = \vee I_d$, где $I_d\left(d \in \overline{(1,D)}\right)$ есть множество индексов $i\left(i \in \overline{(1,M)}\right)$ различающихся переменных памяти, т.е. для которых $D\left(S_{i,d}^t, S_{i,d+D}^t\right) = 1$. Используется оценка наиболее перспективного состояния ДУ с неисправностью по отношению ее наблюдаемости к выходам ДУ. Апробированные критерии выбора состояния (подцели) имели вид $Cr = \min_d r^*\left(S_{i,d}\right)$, либо $Cr = \min_d \sum_i C_i r^*\left(S_{i,d}\right)$, где $i \in I_d$. Функция $r^*(S_i) = \min_l \left(r(Y_l) - r\left(E_j\right)\right)$, где $r(Y_1)$ - ранг выходов, на которых может проявиться неисправность и $r\left(E_j\right)$ - ранг компонента ДУ, в модели которого введена S_i. Весовые коэффициенты C_i оценивают важность различающихся перемен памяти с точки зрения их близости по отношению к первичным выходам ДУ. Ранжирование элементов выполняется согласно известным правилам после разрыва обратных связей: ранги входных полюсов равны 0; $r\left(E_j\right) = 1 + \max\left(r(E_1), \ldots r(E_l)\right)$, где E_p $p = \overline{1,l}$, l - элементы, выходы которых подключены к E_j. Эти критерии соответствуют случаю выбора состояния, для которого различающиеся переменные состояния находятся наиболее близко к выходам устройства, либо состояние схемы с неисправностью наиболее сильно отличается от состояния исправной схемы (наибольшее число различающихся переменных памяти). Поиск нового различающегося состояния может быть безуспешным, и оценка окончания поиска базируется на известном соотношении для нормального распределения. Для ДУ, находящегося в группе состояний G, обозначим через G^X множество состояний, в которые переходит

ДУ при подаче входного набора X . Пусть $K(i,v)$ число состояний, при которых переменная $s_i = v$ для выбранного значения для всех возможных входных наборов, т.е. для значения $v \in (0,1,X)$ для всех возможных входных наборов, т.е. для 2^N наборов (N - число входов ДУ). Обозначим вероятность установки переменной состояния s_i в некоторое значение $v \in (0,1,X)$ выражением $P(s_i = v/G)$. Возможна оценка этой вероятности путем параллельного моделирования схемы на n случайных наборах, и этим мы уменьшаем время поиска в $2N/n$ раз. Если $P(s_i = v/G)$ трактовать как вероятность P , то ее приближенно оценим частотой $h = K(i,v)/2^N$, чтобы выполнялось соотношение $|h-p|<e$, где e - заданная точность. Приближенное значение вероятности события $|h-p|<e$ вычисляем по формуле:

$$P(|h-p|<e) = 2\Phi\left(e\sqrt{n/(pq)}\right),$$

где $q = 1-p$, n - число испытаний, а $\Phi(X)$ - функция Лапласа, равная выражению $1/\left(\sqrt{2\pi}\right)\int_0^X e-\frac{z^2}{2}dz$.

Из приведенного соотношения можно определить число n испытаний (экспериментов), которое необходимо произвести, чтобы вероятность события $|h-p|<e$ была равна 0,95 (обычно этой величиной ограничиваются на практике). Расчеты показывают, что для e = 0,03 значение n равно 1060, для e = 0,02 величина n равна 2800. С учетом вышесказанного основной пункт рекурсивного алгоритма поиска выглядит следующим образом. Выполняем параллельное моделирование ДУ, находящегося в различающемся состоянии S_i , на n случайных наборах $H = (h_1, h_2, \ldots, h_n)$ и с некоторой точностью e определяем вероятность P_i перехода ДУ в группу различающихся состояний $Q^1 = (q_1, q_2, \ldots, q_R)$, где $Q^i \subseteq \vee G^h$ и $h \in H$. Далее организуется поиск с возвратом в глубину на множестве Q^i . Ясно, что при $P_i = 0$ происходит возврат, а выбор q_k из Q^i производится согласно критериям Cr .

Рассмотрим пример моделирования схемы с неисправностью на рис. 2. Функционирование этой схемы описывается следующими уравнениями.

$$s_{t+1}^1 = x_t^1 s_t^6 \vee x_t^1 x_t^2, \quad s_{t+1}^2 = x_t^1 x_t^2 \vee x_t^2 s_t^6,$$
$$s_{t+1}^3 = x_t^3 s_t^1 \vee x_t^5, \quad s_{t+1}^4 = x_t^3 s_t^1 s_t^2,$$
$$s_{t+1}^5 = x_t^3 s_t^4 \vee s_t^1 s_t^3, \quad s_{t+1}^6 = x_t^3 s_t^4 \vee x_t^4,$$
$$y_t^1 = s_t^5, y_t^2 = s_t^6.$$

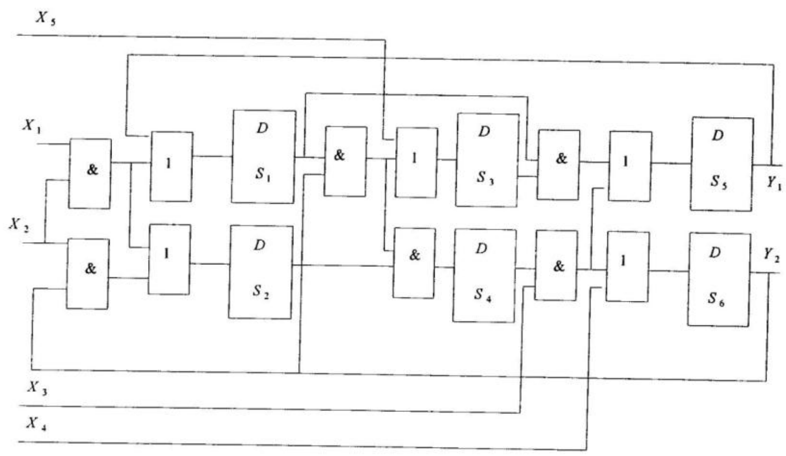

Рис. 2.

Рассмотрим константную неисправность переменной состояния $s^2 \equiv 0$ (она совпадает с константной неисправностью на выходе элемента с памятью, которым при технической реализации этого ДУ будет являться один из возможных типов синхронных триггеров). Для входных случайных воздействий, представленных в табл. 1, в табл. 2 имеем значение выходов и переменных состояний для исправной и неисправной схем. В начале моделирования $t = 0$ значения переменных состояний схем не определены. Заметим, что на копии ДУ $j = 3$ при $t = 6$ мы получаем расхождение значений наблюдаемого выходного полюса $Y2$ и, следовательно последовательность входных воздействий для копии 3 является тестом для рассматриваемой неисправности.

Таблица 1

Имя	Номер	Значения входных воздействий
X1	1	0 1 0 0 1 1 1 0 1 1
X2		0 1 0 0 1 0 1 1 0 0
X3		0 1 1 1 0 1 1 1 0 0
X4		0 0 1 1 1 1 1 1 0 1
X5		0 0 0 1 0 0 0 0 0 1
X1	2	1 0 1 0 1 1 0 1 0 1
X2		0 1 1 1 1 0 0 0 1 1
X3		1 0 0 1 1 0 0 0 1 0
X4		0 0 1 0 0 0 0 0 1 0
X5		0 1 0 1 1 0 1 1 1 1
X1	3	1 1 0 0 0 0 1 0 1 1
X2		1 1 0 1 1 0 0 1 0 1
X3		1 1 0 1 0 0 1 0 0 1
X4		1 0 0 0 1 0 0 0 0 0
X5		0 1 0 0 1 0 1 0 1 0
X1	4	1 1 1 0 0 1 1 0 0 1
X2		1 0 1 0 0 1 1 1 0 1
X3		1 0 0 1 0 1 1 1 1 0
X4		0 1 0 1 0 0 1 1 0 1
X5		0 0 1 1 0 0 0 1 0 1
X1	5	0 0 1 0 0 1 0 0 0 0
X2		1 1 1 0 0 1 0 0 0 1
X3		0 1 1 1 0 0 0 1 0 0
X4		1 1 0 1 0 0 0 1 1 1
X5		1 1 0 1 1 1 0 1 0 1
X1	6	0 1 0 1 0 0 0 1 1 0
X2		0 1 1 0 0 1 1 0 1 0
X3		0 1 1 1 1 1 1 1 0 0
X4		1 0 0 0 1 1 0 1 1 1
X5		0 1 0 0 0 1 1 0 0 1

Если мы будем осуществлять моделирование исправной схемы, выбирая состояния $S^2 = 1$ при $t = 1$ (копии 2,5,7), то в табл.3, 4 представлены реакции копий 2, 5. При $t = 4$ и $t = 2$ для них наблюдается расхождение с реакцией неисправной схемы на выходе $Y2$. Выполняя параллельное моделирование исправных схем с выбором состояния, которое отлично от состояния схемы с неисправностью, мы построили тест меньшей длины и затратили меньше времени на его построение. Необходимо упомянуть, что в примере используются элементы задержек, которыми на практике в технической реализации могут служить различного вида триггеры. Поэтому уже для однофазной системы синхронизации, в которой элементы памяти изменяют свои значения по положительному фронту, вместо одного входного воздействия $X_1, X_2, \ldots, X_N$ для входных полюсов $X_1, X_2, \ldots, X_i, \ldots, X_N$ необходимо рассматривать два набора, которые для входа синхронизации X_i создают переход $0 \to 1$ т.е. $X_i^1 = 0$, $X_i^2 = 1$.

Таблица 2

Имя	Номер	Исправные схемы	Неисправные схемы
Y1	0	X X X X X X X X X X	X X X X X X X X X X
Y2		X X X X X X X X X X	X X X X X X X X X X
S1		X X X X X X X X X X	X X X X X X X X X X
S2		X X X X X X X X X X	0 0 0 0 0 0 0 0 0 0
S3		X X X X X X X X X X	X X X X X X X X X X
S4		X X X X X X X X X X	X X X X X X X X X X
Y1	1	X X X X X X X X X X	X X X X X X X X X X
Y2		0 X 1 1 1 1 1 1 0 1	0 X 1 1 1 1 1 1 0 1
S1		X 1 X X 1 X 1 X X X	X 1 X X 1 X 1 X X X
S2		0 1 0 0 1 0 1 X 0 0	0 0 0 0 0 0 0 0 0 0
S3		0 X X 1 0 X X X 0 1	0 X X 1 0 X X X 0 1
S4		0 X X X 0 X X X 0 0	0 0 0 0 0 0 0 0 0 0
Y1	2	0 X X X 0 X X X 0 X	0 X X X 0 X X X 0 X
Y2		0 0 1 X 0 0 0 0 1 0	0 0 1 0 0 0 0 0 1 0
S1		X X 1 X 1 X X X X 1	X X 1 X 1 X X X X 1
S2		0 X 1 1 1 0 0 0 0 1	0 0 0 0 0 0 0 0 0 0
S3		X 1 0 1 1 0 1 1 1 1	X 1 0 1 1 0 1 1 1 1
S4		0 0 0 0 1 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0
Y1	3	X X 0 X 1 0 X X X 1	X X 0 X 1 0 X X X 1
Y2		1 0 0 0 1 0 0 0 0 0	1 0 0 0 1 0 0 0 0 0
S1		1 1 X X 0 X X X 0 1	1 1 X X 0 X X X 0 1
S2		1 1 0 X 0 0 0 0 0 1	0 0 0 0 0 0 0 0 0 0
S3		X 1 0 X 1 0 1 0 1 1	X 1 0 X 1 0 1 0 1 1
S4		0 X 0 X 0 0 0 0 0 1	0 0 0 0 0 0 0 0 0 0
Y1	4	X 1 0 X 0 0 X 0 0 1	X 1 0 X 0 0 X 0 0 1
Y2		0 1 0 1 0 0 1 1 0 1	0 1 0 1 0 0 1 1 0 1
S1		1 X 1 X 1 1 1 X X 1	1 X 1 X 1 1 1 X X 1
S2		1 0 1 0 0 1 1 0 0 1	0 0 0 0 0 0 0 0 0 0
S3		1 0 1 1 0 X X 1 0 1	1 0 1 1 0 X X 1 0 1
S4		1 0 0 X 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0
Y1	5	1 0 1 X 0 X X X 0 1	1 0 1 X 0 X X X 0 1
Y2		1 1 0 1 0 0 0 1 1 1	1 1 0 1 0 0 0 1 1 1
S1		X 1 1 X 0 1 X 0 0 1	X 1 1 X 0 1 X 0 0 1
S2		0 1 1 0 0 1 0 0 0 1	0 0 0 0 0 0 0 0 0 0
S3		1 1 1 1 1 1 0 1 0 1	1 1 1 1 1 1 0 1 0 1
S4		0 0 1 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0
Y1	6	X 1 1 X 0 1 0 0 0 1	X 1 1 X 0 1 0 0 0 1
Y2		1 0 1 0 1 1 0 1 1 1	1 0 0 0 1 1 0 1 1 1
S1		1 1 1 X 0 X X X 1 1	1 1 1 X 0 X X X 1 1
S2		0 1 0 0 0 0 0 0 1 0	0 0 0 0 0 0 0 0 0 0
S3		0 1 1 X 0 1 1 0 0 1	0 1 1 X 0 1 1 0 0 1
S4		0 1 1 0 0 1 0 0 0 0	0 0 0 0 0 0 0 0 0 0

Таблица 3

Имя	Номер	Значения схем
Y1	1	X X X X X X X X X X
Y2		X X X X X X X X X X
S1		1 1 1 1 1 1 1 1 1 1
S2		1 1 1 1 1 1 1 1 1 1
S3		X X X X X X X X X X
S4		X X X X X X X X X X
Y1	2	X X X X X X X X X X
Y2		X 0 1 X X 0 0 0 1 0
S1		X X 1 X 1 X X X X 1
S2		0 X 1 X 1 0 0 0 X 1
S3		1 1 0 1 1 0 1 1 1 1
S4		1 0 0 1 1 0 0 0 1 0
Y1	3	1 X 0 1 1 0 X X X 1
Y2		1 0 0 1 1 0 0 0 0 0
S1		1 1 X X X X X X X 1
S2		1 1 0 X X 0 0 0 0 1
S3		X 1 0 X 1 0 1 0 1 1
S4		0 X 0 X 0 0 0 0 0 1

Таблица 4

Имя	Номер	Значения схем
Y1	1	X X X X X X X X X X
Y2		1 1 1 1 1 1 1 1 1 1
S1		1 1 1 1 1 1 1 1 1 1
S2		1 1 1 1 1 1 1 1 1 1
S3		0 0 0 0 0 0 0 0 0 0
S4		0 0 0 0 0 0 0 0 0 0

Предлагаемая методика, являясь вариантом направленного псевдослучайного метода построения тестов, позволяет в значительной степени учитывать значения внутренних переменных модели устройства при случайной генерации теста. В ней сочетаются как случайный параллельный поиск рассогласования выходов исправного устройства и устройства с неисправностью при их моделировании, так и первый этап для структурных детерминированных методов синтеза тестов, как продвижение неисправности на внешние выходные полюса. По настоящее время апробация метода проводилась на схемах, которые являлись эталонными в системе [4]. Наиболее интересный качественный результат заключается в построении тестов для плохо обнаружимых неисправностей. Необходимо однако упомянуть, что этот метод при начальном синтезе тестов для легко обнаруживаемых неисправностей (обычно 60-80 % объема рассматриваемого класса неисправностей) уступает в скорости построения обычному параллельному моделированию неисправностей на псевдослучайной последовательности из [4]. Однако выгодно применять его даже на первом этапе, так как синтезируемый тест имеет меньшую длину, что немаловажно для сложных больших ДУ.

Литература

1. Ньюэлл А., Шоу Д., Саймон Х. Разновидности интеллектуального поведения. Вычислитель для решения задач общего типа. Сб. "Самоорганизующиеся системы". - ИЛ, 1964.
2. Нильсон Н. Принципы искусственного интеллекта. М.: Мир., 1985.
3. Стрейц В. Метод пространства состояний в теории дискретных линейных систем управления. М.: Наука, 1985. - 296 с.
4. Андрюхин А.И., Сперанский Д.В. Иерархическая компилятивная система моделирования и генерации тестов.// Техническая диагностика и неразрушающий контроль. - 1994. - № 2. - С. 71-78.
5. Андрюхин А.И. Параллельное логическое моделирование МОП-структур на переключательном уровне.//Электронное моделирование. - 1996. - №2. - С. 88-92.