

ПАРАЛЛЕЛЬНОЕ МОДЕЛИРОВАНИЕ НЕИСПРАВНОСТЕЙ МОП-СТРУКТУР

А.И. Андрюхин
Кафедра ПМИИ, ДонГТУ,
andr@r5.dgtu.donetsk.ua

Abstract

A.I.Andryukhin.Parallel simulation of faults of MOS-structures. Data structures transformations of the healthy MOS-scheme for simulation of the faults such as source-drain short-circuiting, gate open-circuiting are considered. The transistors which are added into the healthy device to simulate the different kind faults are described. The simulation of the healthy circuit and the circuits with these types of faults reduces to the simulation of the circuit with the added transistors with nonactive(active) gates of those transistors. The logic many-valued simulation of MOS-schemes is surveyed with the use of parallel iterative method $X=M \& FQQ$, where X is the vector of signals in the circuit nodes, M is the operator lub, and F symbolizes the parallel computations associated with Boolean equations.

Известно, что моделирование неисправностей устройств, изготовленных по МОП-технологиям при использовании моделей этих устройств на вентиляльном уровне имеет значительные трудности [1-4]. Анализ причин дефектов схем, выполненных по МОП-технологии, показывает, что большая их часть может моделироваться неисправностями типа "устойчивый обрыв транзистора" (SOP) и "устойчивое замыкание транзистора" (SON). Первые переводят схему из класса комбинационных в класс последовательностных, вторые обуславливают выходные неустойчивые сигналы. В обзоре [1] указывается, что процент реальных физических дефектов, которые покрываются этими модельными неисправностями, не менее 75%. Имеются данные, что тесты, построенные для обнаружения константных неисправностей, не проверяют около 10-15% реальных дефектов МОП-структур. Переключательные модели являются наиболее известным способом учета особенностей МОП-технологий. Они позволяют ввести единый способ моделирования основных типов неисправностей. Переключательные модели описывают поведение схемы, используя при этом такие основные электронные компоненты, как р-МОП-транзистор, я-МОП-транзистор, нагрузочный транзистор, проводник, логический конденсатор или емкость.

В статье описываются преобразования структур данных для исправной МОП-схемы, благодаря которым моделирование основных неисправностей МОП-схем, соответствующих конкретным физическим дефектам при их изготовлении, сводится к моделированию ассоциированного исправного устройства.

Переход на переключательный уровень

Необходимо отметить, что так как вентиляльное представление является базовым на этапе логического моделирования, неотъемлемой частью систем моделирования на переключательном уровне является программа экспандера (расширителя), которая осуществляет переход от вентиляльного представления устройства к его переключательной модели. Основные вентиляльные примитивы, т.е. элементы инвертора, я-входные элементы ИЛИ-НЕ (я не больше 8) и т.п., имеют конкретные реализации при различных вариантах их производства по МОП-технологиям. Эти реализации составляют библиотеку, используемую при моделировании неисправностей на переключательном уровне в системе ИКСМ [6]. Пример реализации инвертора представлен на рис. 1.

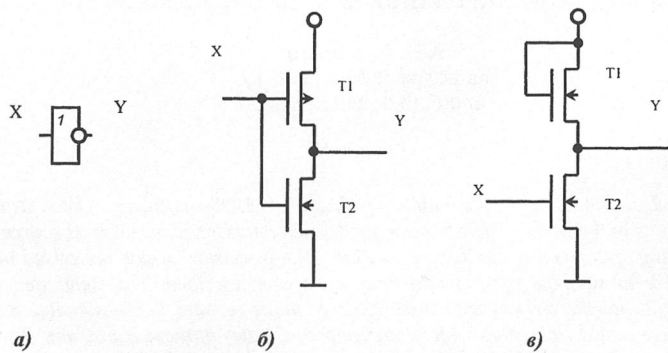


Рис. 1. а)Вентиль инвертора;
 б) ПКМОП-инвертор; в)и-МОП-реализация.

Моделирование исправного устройства.

Параллельное моделирование исправного устройства, которое позволяет успешно использовать методологию [5], изложено в работах [2-4]. В этих работах процесс моделирования представлен итерационным решением системы псевдобулевых уравнений вида $X_n, n \in MOFJK, \dots$, где X_n - значение многозначного узла в схеме в n -итерации. Считаем, что M - операция выбора максимального значения из значений сигналов разветвлений узла, F -система булевых уравнений, вид которых зависит от алфавита моделирования и базовых компонентов, составляющих устройство, \vee операция суперпозиции. Значение A^n есib двойка (G, H) , где $G \in (0, 1, X, Z)$, $H \in (D, W, SC, C)$ -соответственно значения логического состояния сигнала и его логической силы, которые можно интерпретировать, как напряжение и сила тока. Упорядочение сигналов, необходимое для выполнения операции M , представлено на решетке сигналов на рис. 1 [7].

Здесь используется наиболее известный алфавит многозначных сигналов, для которых состояния сигналов обозначаются через $0, 1, X, Z$, а четыре возможных силы обозначены как D (управляемые), W (слабые), SC ^сверхзарядные) и C (зарядные). Линии на рис. 1 [7] соответствуют операции суммирования, т.е для двух сигналов их сумма является сигналом, который является наименьшей верхней гранью множества из этих элементов. Например, $W \vee W = W, C \vee W = W$.

Примем следующую кодировку сигналов $Z = (Z_u, Z_c)$, где $Z_u = (0, 0, 0, 0)$ и $Z_c = (0, 0, 0)$, $D = (1, 0, 0, 0)$, $W = (0, 1, 0, 0)$, $SC = (0, 0, 1, 0)$, $C = (0, 0, 0, 1)$, $X = (1, 0, 0)$, $1 = (0, 1, 0)$ и $0 = (0, 0, 1)$. Для кодирования типов элементов схемы (транзисторы, резисторы) используем булев вектор $T = (T_1, T_2)$. Собственно и-МОП (^-МОП) транзистор будем кодировать $T_1 = 1, T_2 = 0$, а тип нагрузочного транзистора (заменяет резистор в схемах МОП- технологии) через $T_1 = 0$.

Согласно [2], считая значение в любом узле $X = (G, H)$, $G = (XG_1, XG_2, \dots, XG_3)$, $H = (XH_1, XH_2, \dots, XH_4)$, получим следующую систему уравнений:

$$\begin{aligned} XG_1 &= G_1 T_1 K \vee G_1 \bar{T}_1 \\ XG_2 &= G_2 T_1 K \vee G_2 \bar{T}_1 \\ XG_3 &= G_3 T_1 K \vee G_3 \bar{T}_1 \\ XH_1 &= T_1 H_1 K \end{aligned}$$

$$\begin{aligned}
 XH_2 &= T_1 H_2 K \vee \bar{T}_1 H_1 \vee \bar{T}_1 H_2 \bar{H}_1 \\
 XH_3 &= T_1 H_3 K \vee \bar{T}_1 H_3 \bar{H}_1 \\
 XH_4 &= T_1 H_4 K \vee \bar{T}_1 H_4 \bar{H}_1,
 \end{aligned}
 \tag{3}$$

где $\bar{K} = (R_2 \oplus T_2)$ и \oplus -операция "исключающее ИЛИ"

Эти уравнения применимы для ПКМОП-структур и МОП-структур с нагрузочными транзисторами, работающими в режиме обеднения.

Аналогичные уравнения могут быть выведены для МОП-структур с нагрузочными транзисторами, работающими в режиме обеднения. Так как при подаче положительного потенциала относительно истока по его каналу начинает течь ток, даже если потенциал на затворе равен 0 относительно истока, считаем, что вне зависимости от значения сигнала на затворе происходит ослабление сигнала при его передаче. Поэтому на основании таблицы истинности работы нагрузочного транзистора в режиме обеднения для выбранного алфавита можем получить уравнения:

$$\begin{aligned}
 XG_1 &= G_1 T_1 K \vee G_1 D \\
 XG_2 &= G_2 T_1 K \vee G_2 D \\
 XG_3 &= G_3 T_1 K \vee G_3 D \\
 XH_1 &= T_1 H_1 K \\
 XH_2 &= T_1 H_2 K \vee D H_1 \\
 XH_3 &= T_1 H_3 K \vee D H_2 \\
 XH_4 &= T_1 H_4 K \vee D H_3,
 \end{aligned}
 \tag{4}$$

Здесь $D = \bar{T}_1 \bar{T}_2$ указывает тип элемента, т.е. нагрузочный транзистор, работающий в режиме обеднения.

Необходимо подчеркнуть важность двойного описания связей транзисторов согласно структурам данных в [2-4] для отражения двунаправленности сигналов и применения принципа выбора максимального по мощности сигнала в узле устройства.

Приведенные системы булевых уравнений позволяют использовать параллельные вычисления при их решении самым широким образом, так как являются идеальными объектами для этого.

Преобразования МОП-структур

На рис. 2 представлены транзисторы, добавляемые в исправную МОП-схему для моделирования неисправностей различных типов[5]. Их затворы являются дополнительными внешними входами устройства, определяющими наличие или активность конкретной неисправности. Структуру МОП-схемы определяют массивы $Q1, Q2, Q3, T$, которые описывают для каждого транзистора его сток, затвор, исток и тип соответственно. Поэтому для моделирования этих неисправностей необходимо модифицировать определенным образом для каждого вида неисправности массивы $Q1, Q2, QS, T$.

Эта модификация производится в два шага. Первый шаг состоит в добавлении в массивы $Q1, Q2, Q3, T$ информации о новом внешнем входе устройства, соответствующем управляющему входу неисправности (затвору дополнительного транзистора). Этот шаг является общим для всех типов неисправностей. Второй шаг является специфическим для каждого типа неисправности.

Процедура добавления внешнего входа (выхода) в МОП-схему.

Считаем, что размерность массивов $Q1, Q2, Q3, T$ равна N . При добавлении нового внешнего вывода во внутренний узел устройства n необходимо:

а) если новый вывод является выходом, то добавить в конец массивов $Q1, Q2, Q3, T$ по два элемента: в $Q1$ - число $N+1, N+1$, в $Q2$ - 1, 2, в $Q3$ - $N+1, n$;

б) если новый вывод является входом, то добавить в конец $Q1 - N+1$, в $Q2 -$ число 2, в $Q3 - N+1$; добавить элемент в зону узла n : в $Q1 - n$, в $Q2 - 2$, в $Q3 - N+1$.

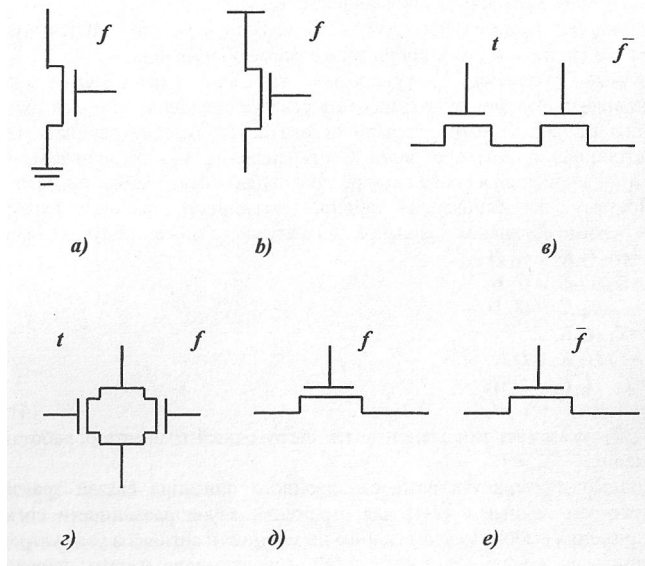


Рис. 2. Добавочные транзисторы для моделирования а) 0-неисправности; б) 1-неисправности; в) обрыва транзистора; г) замыкания сток-исток; д) замыкания линий; е) разрыва линии.

Инжекция константных неисправностей =0 (=1) в узел схемы с номером n .

1. Выполнить процедуру добавления нового внешнего входа.
2. Вставить в массивы $Q1$, $Q2$, $Q3$, T справа или слева для любого элемента с номером, таким что $Q1[k]=n$, следующие данные: в $Q1$ - вставляем число n , в $Q2$ - число 2, в $Q3$ - 1(2) в соответствии с неисправностью s0 или =1.

Инжекция неисправности короткого замыкания исток-сток транзистора.

Считаем, что исток и сток рассматриваемого транзистора имеют соответственно номера n и t .

1. Выполнить процедуру добавления нового внешнего входа.
2. Вставить в массивы $Q1$, $Q2$, $Q3$, T справа и слева для любого элемента с номером k , таким что $Q1[k]=n(m)$, следующие данные:
 - а) в $Q1$ вставляем $n(m)$;
 - б) в $Q2$ вставляем $N+1(tS+t)$;
 - в) в $Q3$ вставляем $m(n)$;
 - г) в $T1$ и $T2$ - 1(1).

Инжекция неисправности обрыва транзистора в узле n .

1. Выполнить процедуру добавления нового внешнего входа.
2. Заменить в массивах $Q1, Q2, Q3, T$ для элементов с номером k , таким, что $Q2(k)=t, Q1[k]=n$ значения $Q1[k]=n, Q2[k]=N+1, Q3[k]=N+2$.
3. Добавить в конец $Q1 - N+2$, в конец $Q2 - 1$, в $Q3 - 1$.

Исходный и конечный вид узла представлен на рис.3.

Инжекция неисправности замыкания линий n и m .

1. Выполнить процедуру добавления нового внешнего входа.
2. Добавить в $Q1, Q2, Q3$, Гсправа или слева для любого элемента с номером k , такого что $Q1[k]=n(m)$ соответственно в $Q1 - n(m)$, в $Q2 - N+1$, в $Q3 - m(n)$ в $T1$ и $T2$ (1).

Исходный и конечный вид узла представлен на рис.4.

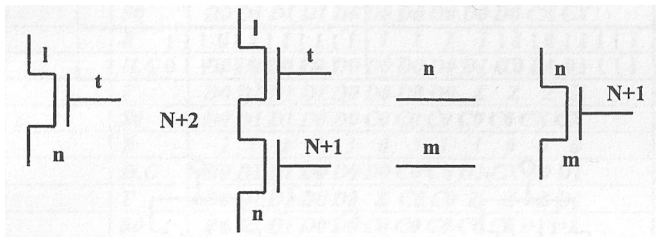


Рис. 3.Обрыв транзистора в узле n .

Рис. 4. Замыкание линий m, n .

Инжекция неисправности обрыва линии n .

Для внутренних узлов инжекция неисправности сводится к процедуре 3, т.е. К инжекции обрыва транзистора в узле n .

Пример расчета.

Рассмотрим классический пример учета превращения комбинационной схемы вентиля И-НЕ при неисправности "обрыв транзистора $T2$ " в последовательностную схему [1]. Описание вентиля на переключательном уровне приводится в столбце 1 таблицы 1, описание схемы с внесенной неисправностью в столбце 2 таблицы 1. Соответствующие схемы представлены на рис.5 и 6. Моделирование исправной схемы на наборах $(D1 D1 D0)$ и $(D1 DO D0)$ дает результаты $(D0 D1 D1 D1 DO D0)$ и $(D0 D1 D1 DO D1 D1)$. Полные результаты моделирования схемы с неисправностью приведены в таблице 2. Имеем на втором наборе входных сигналов, что значения узлов 1, 2, 3, 4, 5, 6, 7, 8, определяемые значениями вектора $X=(D0, D1, D1, D0, D0, C0, C0, D1)$, отличаются от значений исправной схемы в узле 6 (номер 7 в неисправной) $\beta)0 D1 D1 DO D1 D1$. Здесь мы видим, что значение 0 с силой C не равно значению $D1$ в исправной схеме. Таким образом, при быстром измерении значения напряжения в этом узле мы будем определять эту неисправность.

Заключение

Реализация структурных преобразований с использованием экспандера является составной частью модифицированной системы ИКСМ. Это позволяет сравнивать результаты моделирования на вентильном и переключательном уровнях.

Таблица 1. Описание схем.

Имя структуры	Исправная схема	Схема с неисправностью
Q_i	1 2 3 4 5 5 6 6 6	1 2 3 4 5 6 6 7 7 8 8
$\sim Q_2$	2 2 2 2 4 3 3 3 4	2 2 2 2 4 3 3 3 5 4
Q_i	1 2 3 4 1 6 5 2 2	1 2 3 4 5 1 7 6 2 8 7 2
Y_i T_2	1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 0 0	1 0 1 1 0

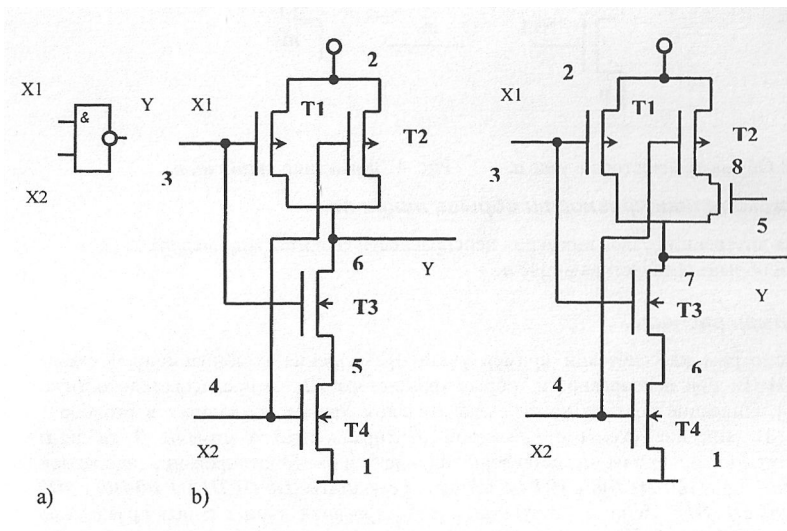


Рис.5. а) Вентиль И-НЕ;
б) ПКМОП-вентиль И-НЕ.

Рис.6. Вентиль И-НЕ с
неисправностью.

Таблица 2. Значения сигналов в узлах схемы с неисправностью.

Номер набора итерация	Имя поля	Значения узлов и разветвлений в них												
		1	2	3	4	5	6	6	7	7	7	8	8	
J	SO	DO	DI	DI	DI	DO	CX	CX	CX	CX	CX	CX	CX	
	K	1	1	1	1	1	1	1	1	1	0	0	1	
	H,G	DO	DI	DI	DI	DO	DO	CX	CXDI	CX	CXDI			
	JF.	DO	DI	DI	DI	DO	DO	CX	CX	Z	Z	Z	Z	
	SO	DO	DI	DI	DI	DO	DO	DO	CX	CX	CX	CX	CX	
	K	1	1	1	1	1	1	1	1	1	0	0	1	
	H,G	DQ	DI	DI	DI	DQ	DQ	CXDQ	DI	CX	CXDI			
	JF.	DO	DI	DI	DI	DO	DO	CXDO	Z	Z	Z	Z		
	JiO.	DO	DI	DI	DI	DO	DO	DO	DO	DO	DO	CX	CX	
	R	1	1	1	1	1	1	1	1	1	0	0	1	
	H,G	DO	DI	DI	DI	DQ	DQ	DQ	DQ	DI	CX	DQ	DI	
	F.	DODIDIDIDODODODO	Z	Z	Z	Z								
	2	SO	DO	DI	DI	DO	DO	CO	CO	CO	CO	CO	CX	CX
		A	1	1	1	1	1	0	1	1	1	0	0	0
		H,G	DQ	DI	DI	DO	DQ	DQ	CO	CO	DI	CX	CQ	DI
		F.	D0D1D1D0D0	ZC0C0Z	Z	ZDI								
SO		DQ	DI	DI	DQ	DQ	CO	CO	CO	CO	CO	DI	DI	
R		1	1	1	1	1	0	1	1	1	0	0	0	
H,G		DO	DI	DI	DO	DQ	DQ	CQ	CO	DI	DI	CO	DI	
JF.		DODIDIDODO	ZC0C0	Z	Z	ZDI								

Литература

1. Вейцман И.Н., Кондратьева О. М. Тестирование КМОП-схем //Автоматика и телемеханика. -1991.- N 2. - С.3-34.
2. Андрюхин А.И. Алгоритмы параллельного логического моделирования и псевдослучайной генерации тестов для МОП-структур // Микроэлектроника. -1995.- N 5.-С. 331-336.
3. Андрюхин А.И. Параллельное логическое моделирование МОП-структур на переключательном уровне. // Электронное моделирование. - 1996. - N 2. - С. 88-92.
4. Андрюхин А.И. Параллельное многозначное логическое моделирование исправных и неисправных псевдобулевых схем. // Электронное моделирование -1997. - N 1. - С. 58-63.
5. VLSI Testing^d. by Williams T.W. Elsevier Science Publishers, B.V.,1986-275 p.
6. Андрюхин А.И. Сперанский Д.В. Иерархическая компилятивная система моделирования и генерации тестов // Техническая диагностика и неразрушающий контроль. -1994. - N 2. - С. 71-78.
7. Андрюхин А.И., Терещук Д.С.Логический учет динамики в МОП-структурах// Настоящий сборник.