

СИНТЕЗ МИКРОПРОГРАММНОГО УСТРОЙСТВА УПРАВЛЕНИЯ СО СТАТИЧЕСКОЙ РЕКОНФИГУРАЦИЕЙ

Баркалов А.А., Саломатин В.А., Красичков А.А.
Кафедра ЭВМ, ДонГТУ
barkalov@fem.dgtu.donetsk.ua

Abstract

Barhalov A.A., Salomatin V.A., Krasichkov A.A. Synthesis of a microprogram control automaton with static reconfiguration. The method of synthesis of the control automaton with static reconfiguration is proposed. As a component of the composite microprogram control device the given automaton can be considered as alternative of the automaton with hard logic. The example of synthesis is given.

Введение

Одной из составных частей практически любой цифровой системы является устройство управления (УУ), которое определяет алгоритм функционирования системы. УУ может быть реализовано как автомат с "жесткой" логикой (АЖЛ), либо как автомат с "программируемой" логикой (АПЛ), называемый, в частности, микропрограммным устройством управления (МУУ), либо как композиционное устройство управления (КМУУ), состоящее из АЖЛ и АПЛ [1]. В настоящее время актуальна задача синтеза УУ, которое перед запуском настраивается на заданный алгоритм управления при неизменном аппаратном исполнении, то есть со статической реконфигурацией. Для его реализации предлагается использовать КМУУ с АПЛ в качестве альтернативы АЖЛ. Поскольку типовые АПЛ выполняют многонаправленные условные переходы за несколько тактов [2,3], желательным является уменьшение времени любого перехода до одного такта. Среди немногих способов решения этой задачи, наиболее приемлемым для нашего случая является применение механизма T -альтернативных переходов [3]. В настоящей работе предлагается метод синтеза АПЛ для заданного набора алгоритмов и выполнении условных переходов за один такт.

1. Основные положения

Пусть множество алгоритмов управления задано набором логических схем алгоритмов (ЛСА) [4] $L = \{L_1, \dots, L_s\}$. Каждая ЛСА L_g задается четверкой $\langle X^g, Y^g, W^g, J^g \rangle$, где Y^g - множество операторов, X^g - множество логических условий, W^g - множество безусловных переходов, J^g - множество меток переходов внутри ЛСА..

Каждому оператору из множества $Y^g = \{Y_{s1}, \dots, Y_{rK}, j\}$ соответствует набор микроопераций (МО) из множества $Y = \{y_1, \dots, y_N\}$, а каждому условному переходу соответствует одно логическое условие (ЛУ) из множества $X = \{x_1, \dots, x_i\}$. Основываясь на результатах [4], каждая ЛСА может быть реализована устройством, приведенным на рис.1, которое функционирует следующим образом.

По сигналу «Пуск» регистр микрокоманд (РМК) обнуляется и независимо от множества условий (X) на выходе сумматора СУМ формируется m-разрядный нулевой код. Таким образом, из нулевой ячейки ОЗУ2 выбирается h-разрядное слово, являющееся адресом первой микрокоманды (МК) в ОЗУ1. Если сигнал $y \neq 0$, то по переднему фронту синхронизации Си происходит запись первой микрокоманды в РМК, иначе автомат находится в состоянии ожидания.

Поле РМК FУ содержит набор МО {Y}, соответствующий текущему оператору Y,, в ЛСА. Поле FA включает адрес A ячейки ОЗУ2, содержимое которой является адресом безусловного перехода к следующей микрокоманде в ОЗУ1, либо адресом перехода в случае равенства нулю всех проверяемых логических условий. Поле FB содержит унитарный код В проверяемых в данной МК логических условий из множества $X^8 = \{X_{e1}, \dots, X_{jsg}\} \in X$.

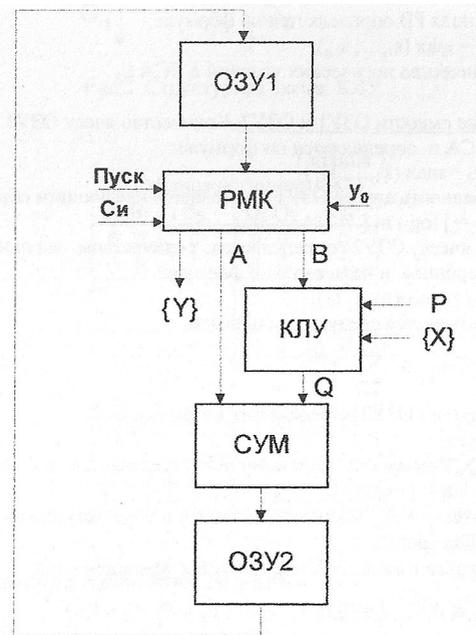


Рис.1. Структурная схема МУУ со статической реконфигурацией

Вектор P является b-разрядным двоичным вектором, определяющим код номера выполняемой ЛСА. L,,eL , и в зависимости от его значения используются только те S ЛУ множества X^8 , которые есть в ЛСА, соответствующей данной микропрограмме. Адрес ОЗУ2 в случае условного перехода вычисляется как сумма содержимого поля FA и m-разрядного слова Q, которое формируется коммутатором логических условий КЛУ в зависимости от значения переменных В и P.

2. Методта синтеза МУУ со статической реконфигурацией

Для синтеза МУУ предлагается следующая методика.

1. Определение разрядности полей РМК. Число разрядов N поля FУ известно заранее, т.к. оно соответствует разрядности СЧАМК КМУУ [?]; Разрядность поля FA определяется по формуле:

$$m = \max(m_1, \dots, m_G), \quad (1)$$

где каждое m_i рассчитывается следующим образом:

$$m_i = \lceil \log_2 \sum_{s=1}^{k_G-1} 2^{R_{sG}} \rceil, \quad (2)$$

здесь $\lceil A \rceil$ - ближайшее целое, большее чем A, k_G - число операторов в ЛСА L_G ,

R_{sj} - число анализируемых логических условий при переходе из Y_{sj} .

Разрядность поля FB определяется по формуле:

$$s = \max(s_1, \dots, s_{L_G}), \quad (3)$$

где каждое s_g - количество логических условий в ЛСА L_g .

2. Вычисление емкости ОЗУ1 и ОЗУ2. Количество ячеек ОЗУ1 зависит только от числа операторов ЛСА и определяется по формуле:

$$n_1 = \max(k_1, \dots, k_G), \quad (4)$$

следовательно, разрядность адреса ОЗУ1 вычисляется следующим образом:

$$h = \lceil \log_2 n_1 \rceil. \quad (5)$$

Количество ячеек ОЗУ2 определяется количеством вариантов перехода из каждой условной вершины и находится по формуле:

$$n_2 = \max(t_1, \dots, t_G), \quad (6)$$

где каждое t_g рассчитывается следующим образом:

$$t_g = \sum_{s=1}^{k_G-1} 2^{R_{sG}}. \quad (7)$$

Разрядность адреса ОЗУ2 определяется по формуле (2).

3. Синтез КЛУ. Разрядность переменной P определяется по формуле:

$$b = \lceil \log_2 G \rceil. \quad (8)$$

Для упрощения синтеза, КЛУ можно представить в виде композиции мультиплексора MX и коммутатора KM (рис.2).

Значение каждого выхода MX определяется функцией вида

$$G_j = \bigvee_{k=1}^p X_k \& P_b^k \& \dots \& P_b^k, \quad I_i \in \{0,1\}, P_b^0 = \bar{P}_b, P_b^1 = P_b, (j = \bar{1}, s) \quad (9)$$

Функционирование KM описывается табл.!..

4. Формирование содержимого ОЗУ1 и ОЗУ2. Данный этап разделяется на G аналогичных шагов, в каждом из которых формируется содержимое ОЗУ1 и ОЗУ2 для соответствующей ЛСА L_{si} SL. Для каждого шага в ОЗУ1 последовательно располагаются МК формата РМК, соответствующие операторам $Y_{fi} \in Y^s$ ЛСА $L_g \in L$. В ОЗУ2 располагаются адреса переходов по нескольким условиям для каждой МК из ОЗУ1.

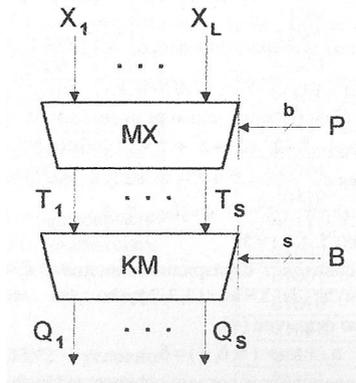


Рис.2. Структурная схема КЛУ

Таблица 1

Таблица истинности KM

B_1	$B_2 \dots B_s$	$Q_1 Q_2 \dots Q_s$
0	0 ... 0	0 0 ... 0
0	0 ... 1	0 0 ... T_s
0	1 ... 0	0 0 ... T1
$\sim T$	0 ... 0	0 0 TTTT
1	1 ... 1	$T_1 T_2 \dots T_s$

3. *Пример применения методики синтеза*

Пусть множество алгоритмов задано ЛСА:

$$\begin{aligned}
 L_1 &= \tilde{Y}_H \tilde{Y}_1 X_1 \uparrow \tilde{Y}_2 \downarrow X_3 \uparrow \omega \uparrow \downarrow X_1 \uparrow \tilde{Y}_3 X_1 \uparrow \downarrow X_3 \uparrow \downarrow \tilde{Y}_5 \omega \uparrow \downarrow \tilde{Y}_4 \omega \uparrow \downarrow \tilde{Y}_K \\
 L_2 &= \tilde{Y}_H \tilde{Y}_1 X_4 \uparrow \tilde{Y}_2 \omega \uparrow \downarrow X_2 \uparrow \tilde{Y}_3 X_4 \uparrow \downarrow \tilde{Y}_5 \omega \uparrow \downarrow X_3 \uparrow \omega \uparrow \downarrow \tilde{Y}_4 \omega \uparrow \downarrow \tilde{Y}_K \\
 L_3 &= \tilde{Y}_H X_2 \uparrow \tilde{Y}_1 \omega \uparrow \downarrow X_1 \uparrow \downarrow \tilde{Y}_2 X_1 \uparrow \omega \uparrow \downarrow \tilde{Y}_K
 \end{aligned}$$

Ввиду того, что данный синтез является составной частью синтеза КМУУ, нам

неизвестны разрядность СЧАМК [1] и наборы микроопераций, соответствующие операторам $Y_{ge} \in Y$ ЛСА $L_{ge} \{L_1, L_2, L_3\}$. Примем, что поде FУ содержит 3 разряда, а коды МО пусть соответствуют номерам операторов Y_{ge} ЛСА L_0 , т.е. для L_i справедливо:

$$\tilde{Y}_0 \rightarrow MO=000, \tilde{Y}_1 \rightarrow MO=001, \dots, \tilde{Y}_5 \rightarrow MO=101.$$

Используя формулы (1) и (2) определим разрядность по м FA:

$$m_1 = \lfloor \log_2(2^0 + 2^2 + 2^1 + 2^3 + 2^2 + 2^0) \rfloor = \lfloor \log_2 19 \rfloor = 5;$$

$$m_2 = \lfloor \log_2(2^0 + 2^3 + 2^0 + 2^1 + 2^0 + 2^0) \rfloor = \lfloor \log_2 14 \rfloor = 4;$$

$$m_3 = \lfloor \log_2(2^2 + 2^0 + 2^1) \rfloor = \lfloor \log_2 7 \rfloor = 3;$$

$$m = \max(5, 4, 3) = 5.$$

Разрядность адреса ОЗУ2 совпадает с разрядностью поля FA. Разрядность поля FB определяется согласно формуле (3): $s = \max(3, 3, 2) = 3$.

Определим емкость ОЗУ1 по формуле (4):

$$n_1 = \max(6, 6, 3) = 6.$$

Разрядность адреса ОЗУ1 определяется согласно формуле (5): $h = \lfloor \log_2 6 \rfloor = 3$.

Далее по формуле (6) находим число вариантов перехода для всех условных вершин ЛСА L_1, L_2, L_3 :

$$t_1 = 2^0 + 2^2 + 2^1 + 2^3 + 2^2 + 2^0 = 19;$$

$$t_2 = 2^0 + 2^3 + 2^0 + 2^1 + 2^0 + 2^0 = 14;$$

$$t_3 = 2^2 + 2^0 + 2^1 = 7,$$

откуда по формуле (7) определяем количество ячеек ОЗУ2:

$$n_2 = \max(19, 14, 7) = 19.$$

Разрядность переменной P определяется исходя из (8):

$$b = \lfloor \log_2 3 \rfloor = 2.$$

Составим таблицы истинности для MX и KM, входящих в состав КЛУ:

Таблица 2

Таблица истинности MX

P ₁	G ₁	L	G ₂	G ₃
0	1	0	X ₂	X ₃
0	1	1	X ₂	X ₄
1	0	0	X ₂	*
1	0	1	*	*

Таблица 3

Таблица истинности KM

B ₁	B ₂	B ₃	Q ₁	Q ₂	Q ₃
0	0	0	0	0	0
0	0	1	0	0	G ₃
0	1	0	0	0	G ₂
0	1	1	0	G ₂	G ₃
1	0	0	0	0	G ₁
1	0	1	0	G ₁	G ₃
1	1	0	0	G ₁	G ₂
1	1	1	G ₁	G ₂	G ₃

Синтез MX и KM тривиален и рассматриваться не будет. Как видно из табл.3, схема KM зависит только от максимального количества условий в каждой ЛСА из множества L. Схема MX меняется в зависимости от набора ЛСА. В таблицах 4-9 приведено содержимое ОЗУ1 и ОЗУ2 при реализации МУУ множества ЛСА $\{L_1, L_2, L_3\}$ в L, при этом недействующие ячейки ОЗУ не показаны.

Таблица 4
Содержимое ОЗУ1 для ЛСА L₁

Адрес	FY	FA	FX
000	000	00000	000
001	001	00001	UO
010	010	00101	001
011	011	" 00111	111 "
100	" 100	01111	101
101	101	00000	000

ОЗУ1 включает микрокоманды, соответствующие операторам ЛСА L₁. По адресу 000 находится МК, соответствующая как оператору Y, так и Y к.

Содержимое ОЗУ2 условно делится на блоки альтернативных адресов перехода. Поле FA из ОЗУ1 указывает на начало блока в ОЗУ2, то есть на первую его ячейку. Длина блока определяется содержимым поля FX ОЗУ1, а именно, числом используемых в данной МК логических условий.

Для МК по адресу 100 длина блока переходов в ОЗУ2 равна 4 и адрес его 01111. При переходе на следующую МК анализируется 2 ЛУ из трех возможных для данной ЛСА, выбранных КЛУ из 5 логических условий, подаваемых в МУУ.

В таблицах 6 и 7 аналогичным образом можно найти соответствие содержимого ОЗУ1 и ОЗУ2 с ЛСА L₂.

Таблица 6
523fPγ?5°fQ3yι дга ЛСАЛ^

Адрес	~ FY	FA	FX
000	000	00000	000
001	001	00001	111
010	010	01001	000
011	011	01010	Qlu '
100	100	01100	000
101	101	00000 "	000

Таблицы 8 и 9 соответствуют содержимому ОЗУ1 и ОЗУ2 при выполнении алгоритма, представленного ЛСА L₁.

Из табл. 4-9 видно, что при большом числе переходов, несмотря на малое число операторов в ЛСА, емкость ОЗУ2 больше ОЗУ1.

Таблица 5
Содержимое ОЗУ2 для ЛСА L₁

Адрес	Переход
00000	001
00001	100
00010	010
00011	OU
00100	010
00101	101
00110	000
00111	101
01000	000 ^
01001	010
01010	101
01011	101
01100	000
01101	011
01110	101
01111	100
10000	101
10001	011
10010	101

Таблица 7
Содержимое ОЗУ2 для ЛСА L₂

Адрес	Переход
00000	001
00001	100
00011	101
000! " ~	" oio
00100	ω o
00101	" 011
00110	011
00111	010
01000	010
01001	000
0101f	000
010H~	101
01100	101

Таблица 8
Содержимое ОЗУ1 для ЛСА Lj

Адрес	FY	FA	"FX
000	000	00000	011
001	001	00100	000
010	010	00101	100

Таблица 9
Содержимое ОЗУ2 для ЛСА L3

Адрес	Переход
00000	000
00001	001
00010	010
00011	" 001
~00100	000
00101	000
00110	' 010

Разрядность адреса ОЗУ2 получилась равной 5, а разрядность шины Q равна 3. Поэтому на старшие 2 разряда сумматора СУМ подаются уровни логического нуля.

Функциональная схема, полученного МУУ приведена на рис.3.

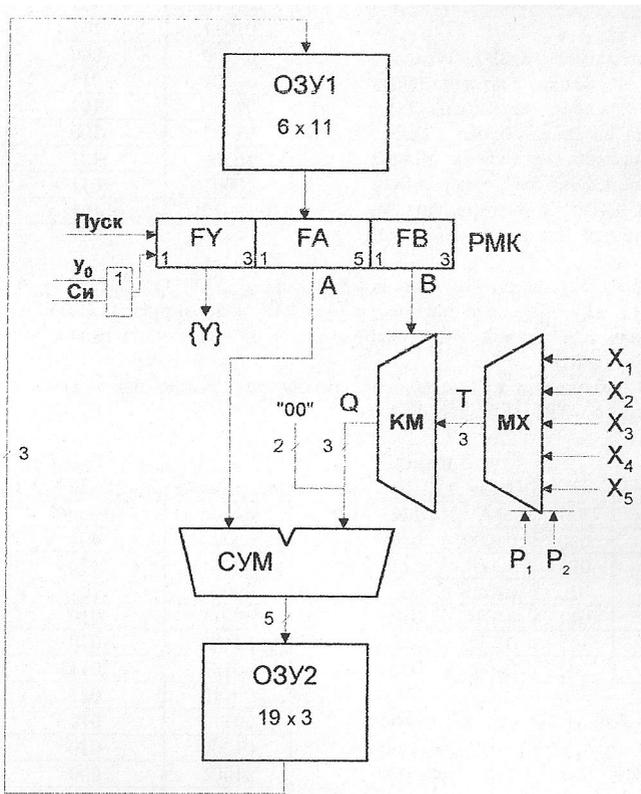


Рис.3. Функциональная схема МУУ для ЛСА Lj-L3

Заключение

Исследования авторов показали, что при изменении набора алгоритмов будет меняться только схема МХ. При большом числе условий в алгоритмах ёмкость ОЗУ2 будет использоваться нерационально ввиду избыточности памяти в механизме 2^n -альтернативных переходов [3]. Так, например, если при выборке очередной МК анализируется 8 логических условий, то информация об одном только этом переходе займет в ОЗУ2 256 ячеек, хотя реально может существовать всего лишь десять различных адресов перехода. Следовательно, данное МУУ выгодно использовать для алгоритмов с числом логических условий, не превышающим 4.

Литература

1. Баркалов А.А. Микропрограммное устройство управления как композиция автоматов с программируемой и жесткой логикой // Автоматика и вычисл. техника. - 1983. - N4. - С. 42-50.
2. Баркалов А.А., Палагин А.В. Синтез микропрограммных устройств управления. - К.: Инст. кибернетики имени В.М. Глушкова НАН Украины, 1997. - 136 с.
3. Мотоока Т., Томита С., Танака Х. Компьютеры на СБИС. Кн.1 - М.: Мир, 1988. - 392 с.
4. Баранов С.И. Синтез микропрограммных автоматов (граф-схемы и автоматы). 2-е изд. - Л.: Энергия, 1979 - 231 с.