

УДК 004.942+338.2

А.И. Андрюхин

Донецкий национальный технический университет  
alexandruckin@rambler.ru

## Переключательное моделирование и диагностирование основных моделей неисправностей КМОП-структур

*Представлен обзор основных дефектов МОП-схем. Рассматриваются примеры переключательного анализа МОП-структур. Представлена важность BGP для моделирования неисправностей МОП-структур на современном этапе.*

**Ключевые слова:** дефект, МОП-схема, переключательный анализ, МОП-структура, BGP.

### Введение

В настоящее время процесс производства и проверки микросхем становится все более сложной задачей, так как одна интегральная КМОП схема (ИС) может содержать более одного миллиарда транзисторов и размеры транзистора сокращаются с каждой новой технологией. Вследствие сложности этого процесса, невозможно гарантировать достоверные испытания для каждого потенциального дефекта из-за огромного количества времени и ресурсов, необходимых для этой цели. Генерация контрольных тестов зависит от моделей неисправностей, которыми пытаются представить физические дефекты. После обнаружения неисправности СБИС, важно знать местоположение и класс неисправностей. Это является целью диагностики неисправностей. Диагностическая процедура обычно опирается также на модели и алгоритмы сравнения. Диагностика неисправностей является ключевым фактором при анализе и улучшение выхода исправных ИС. С одной стороны, анализ можно выполнять с использованием физических методов для определения местоположения и класса отказа. С другой стороны, можно пытаться найти систематически повторяющиеся дефекты. Если определить расположение и характеристики дефектов, они могут быть впоследствии устранены путем принятия надлежащих корректирующих действий, улучшения качества производственного процесса. В связи с давлением рынка, существует растущая потребность сокращения времени выхода продукта на рынок. Кроме того, развитие нанотехнологий обуславливает появления нового комплекса дефектов, который не будет диагностирован существующими методиками. Физический анализ отказов, хотя он необходим, требует оборудования очень высокой стоимости. Поэтому глубокое понимание и знание дефекта поведения является ключевым фактором для разработки усовершенствованных методологий диагностирования, которые должны облегчить и сократить время, необходимые для его местоположения и характеристик.

### 1 Модели неисправностей

Модели неисправностей - это упрощения, которыми пытаются представить поведение устройств при физических дефектах. Модели неисправности являются ключевым фактором в тестирования и диагностики неисправностей ИС. Хотя в последние годы модели были усовершенствованы, по-прежнему выполняется большая работа, необходимая для разработки новых моделей неисправностей, которые отражают возникающие задачи.

#### 1.1 Модель константных неисправностей

Модель константных неисправностей (SA) являлась первой и наиболее широко используемой моделью реальных дефектов [1,2]. Она имела большой успех в схемах с биполярными транзисторами. Модель константных неисправностей SA предполагает, что линии или узел в цепи всегда устанавливается в фиксированное значение, логический 1 (лог.1) или логический 0 (лог.0). Таким образом, модель физического дефекта, когда линия как бы связана с узлом питания ( $V_{DD}$ ) или земли ( $V_{GND}$ ), как показано на рис.1., называется константной неисправностью 1 (SA1), или неисправностью залипания 0 (SA0). Хотя использование модели SA ранее давало хорошие результаты, сейчас она не может адекватно представлять поведение физических дефектов. Реальные дефекты КМОП являются гораздо более сложными. Во всяком случае, хотя она и неточна для технологии CMOS, модель SA имеет такие преимущества: она вычислительно эффективна, может представлять различные физические дефектов и она может быть использована для модели другого типа неисправности.

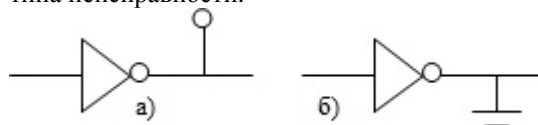


Рисунок 1 – Константные неисправности

## 1.2 Модели неисправностей замыкания (BF, bridge-неисправность)

Модель неисправностей типа bridge (или BF-bridge fault) предполагает электрическое соединение между двумя сетями сигналов, которые не должны быть связаны по проекту [1-3]. Эти неисправности делятся на две группы: внешние и внутренние замыкания. Замыкания между любыми входами и выходами логических вентилях, узлами питания и земля считаются внешними. Остальные замыкания относятся к внутренним замыканиям. Рисунок 2 показывает пример внешнего замыкания между выходом инвертора и питанием на вентиляльном и транзисторном уровнях. Предполагается идеальное замыкание, т.е. незначительное сопротивление моста  $R_b$ .

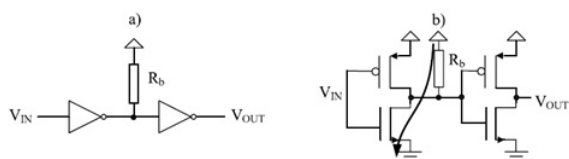


Рисунок 2 – Внешняя bridge-неисправность на выходе инвертора:  
а) вентиляльный уровень; б) переключательный уровень

Если  $V_{IN}$  установлен в лог.0, то pMOS-транзистор включен и nMOS транзистор выключен. Тогда выход инвертора устанавливается в лог.1. вследствие влияния pMOS-транзистора и bridge-неисправности. Когда  $V_{IN}$  имеет значение лог.1, pMOS- транзистор выключен и nMOS транзистор включен. Тем не менее, bridge-неисправность приводит к значению лог.1 на выходе инвертора, так как существует путь между узлами земля и питание, хотя nMOS транзистор включен.

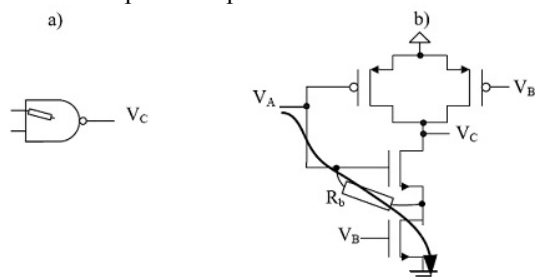


Рисунок 3 – Внутренняя bridge-неисправность в вентилю NAND:  
а) вентиляльный уровень; б) переключательный уровень

Рис.3 иллюстрирует внутреннюю bridge-неисправность в двухвходовом вентилю NAND.

Первые модели BF были представлены в [3]. Они известны как модели «монтажное-И» или «монтажное-ИЛИ». В этих моделях считается, что значения определяются результатом операции И или

операции ИЛИ над логическими значениями замкнутых линий.

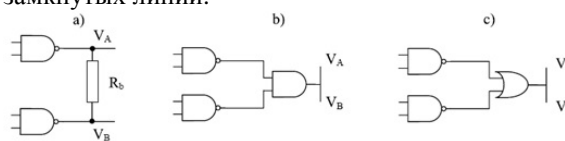


Рисунок 4 – bridge-неисправность в вентилю NAND:  
а) «монтажное-И» б) «монтажное- ИЛИ»

Рисунок 4 показывает пример BF между выходами двух вентилях NAND и ее эквивалент «монтажное-И» или монтажное- ИЛИ. С одной стороны, модель монтажного-И предполагает, что pMOS транзисторы логически одерживают победу при BF, когда они возбуждаются. С другой стороны, в модели «монтажное-ИЛИ» считают, что pMOS-транзисторы логически побеждают при их активизации. Эти модели неисправностей, хотя широко использовались в прошлом, не отражают поведение BF в CMOS технологии. Напряжение на цепи замыкания сетей не всегда лог.0 или лог.1, «монтажное-И» или «монтажное-ИЛИ». Эти модели больше подходят для технологий, где один из логических уровней явно сильнее, чем другой, однако они являются самыми легкими для моделирования и диагностики. Более сложными моделями, чем «монтажное-И» или «монтажное-ИЛИ», являются модели голосования [4]. Когда BF соединяет подходы с противоположными значениями логики, модель голосования определяет характеристики цепи замыкания, как резистивный делитель между  $V_{DD}$  и  $V_{GND}$ . В КМОП схемах, электрическое сопротивление цепи к  $V_{DD}$  определяется комбинацией pMOS транзисторов, в то время как электрическое сопротивление цепи к  $V_{GND}$  комбинацией nMOS транзисторов. Модель голосования также предполагает, что сопротивление моста незначительно.

Как сказано выше, замыкания являются следствием соединений между несоединенными линиями в исправной схеме (см. рис.5). В зависимости от технологии производства линии, соединенные вследствие замыкания, могут иметь определенные или неопределенные значения. Различные модели замыканий определяют соответствующее поведение различных технологий производства БИС, пытаясь более точно описать его. На вентиляльном уровне можно различать одиночные и кратные замыкания, которые соединяют две или более чем две линии соответственно. В [5] показано, что большинство кратных неисправностей обнаруживаются тестами, построенными для одиночных замыканий, входящих в кратные. Поэтому большинство работ в данной области ориентированы на одиночные замыкания. Простейшие модели замыкания- это монтажные модели, которые адекватно отражают ее для технологий (РТЛ, ДТЛ, ЭСЛ) [6-7]. Используются две модели: «монтажное-И» и «монтажное-ИЛИ», в

зависимости от вида логики. Они представлены на рис.5б. Функция  $Z(x,y)$  определяется выражением  $I(x,y)$  или  $ИЛИ(x,y)$  соответственно и в любом случае  $Z(x,x)=x$ .

Однако эти модели являются упрощенными и неадекватными при их применению в КМОП-структурах. Более точной является модель на рис.5с где значение  $Z(x,y)$  при  $x \neq y$  определяется отношением силы переходов  $1 \rightarrow 0$ ,  $0 \rightarrow 1$  замкнутых линий. Сопротивление этих переходов зависит от технологии изготовления, геометрических характеристик транзисторов (ширина и длина канала) и количества транзисторов и поэтому значение  $Z(x,y)$  может быть неопределено.

Необходимо отметить, что и эта достаточно точная модель является упрощенной, так как нелинейные транзисторы аппроксимируются линейными резисторами и сопротивление замыкания предполагается незначительным по сравнению с сопротивлением транзисторов.

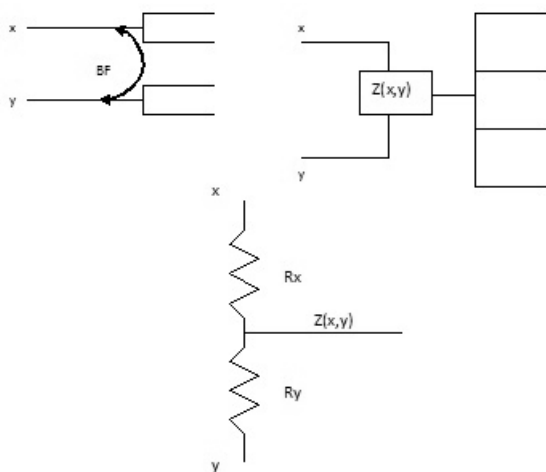


Рисунок 5 – Монтажные модели замыканий

Технология производства определяет модель неисправностей для использования. Большинство моделей использует простые модели монтажного соединения. Ясно, что для схемы с  $G$  вентилями и  $I$  внешними входами,  $b$ - число возможных замыканий при  $G \gg I$ ,  $b = G^2$ , отсюда даже для небольших схем моделирование неисправностей становится проблематичным по временным затратам. На практике рассматриваются замыкания между линиями, которые находятся достаточно близко друг от друга (это требует знания схемотехнической информации).

Стандартный путь для обнаружения замыкания между линиями  $x, y$  - это попытаться установить линии  $x, y$  в противоположные значения и далее рассмотреть их величины. В [8] авторы, используя автомат Мили с двумя состояниями, заключили, что любое замыкание для любой комбинационной схемы можно обнаружить при помощи двух входных воздействий. Также показано,

что для любой комбинационной схемы с  $m$ -выходами для обнаружения ВФ хватит теста с числом наборов  $m+1$ .

### 1.3 Bridge-неисправность с обратными связями (ОС).

Если замыкание случается между двумя линиями, которые соединены другим путем, то мы имеем замыкание с обратной связью (ОС). Исходя из общих соображений, ясно, что замыкания с ОС трансформируют комбинационные схемы в последовательностные. Если число инверсий сигнала между двумя замкнутыми линиями нечетно, тогда такие замыкания могут вызвать осцилляции, которые трудны для тестирования. Согласно терминологии [2], под bridge-неисправностью с ОС понимают неисправность, которая вовлекает две подсхемы в единый путь, т.е. подсхемы лежат на одном пути в схеме. Подсхема с меньшим значением топологического упорядочения обычно называют обратной подсхемой, а вторую называют передней подсхемой. Анализ этого типа неисправностей весьма сложен, т.к. они могут вызвать последовательностное поведение (поведение с памятью) в комбинационных схемах, в зависимости от того, активизирован путь или нет. Поведение неисправной схемы также зависит от топологических характеристик моста замыкания.

Рассматривают следующие три случая:

1. Путь не является активизированным.
2. Путь является активизированным и на ОС имеется четное число инверсий.
3. Путь является активным и на ОС имеется нечетное число инверсий [9,10].

Первый случай эквивалентен bridge-неисправности без ОС. Логическое значение обратной подсхемы не зависит от логического значения передней подсети. К примеру, этот случай имеет место для схем на рис.6 при значении  $V_C$ , равным лог.0.

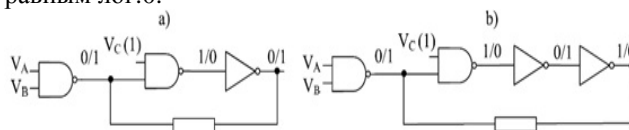


Рисунок 6 – Замыкание с обратной связью: а) четное число инверсий; б) нечетное число инверсий

Если путь активизирован и ОС имеет четное число инверсий, тогда обе подсети имеют одно логическое значение. Этот случай имеет место для схемы на рис.6а при значении  $V_C$ , равным лог.1. Здесь не требуется особого анализа, пока обратная сеть сильнее, чем прямая, однако в противном случае мы наблюдаем сложное поведение асинхронной схемы с памятью.

Наконец, третий случай имеет место для схемы на рис.6, б) при значении  $V_C$ , равном логической 1. Значения подсхем противоположны в

исправной схеме (см. рис. 6, б). Два варианта различного поведения могут проявиться в зависимости от доминирования значений на выходах вентилях. Если обратный вентиль сильнее, чем передний вентиль, мы имеем случай bridge-неисправности без ОС. Однако, если передний вентиль сильнее, дефект может вызвать колебания в цепи. Период колебаний связан с задержкой логического соединения узлов имеющих bridge-неисправность и, как правило, меньше, чем период синхросигнала всей схемы.

#### 1.4 Замыкания подзатворного окисла

Замыкания подзатворного окисла можно рассматривать как особый класс bridge-неисправностей [11]. В бездефектном транзисторе, затвор электрически изолирован от остальной части терминалов с помощью тонкого слоя диоксида кремния ( $SiO_2$ ). Причиной замыкания является разрыв двуокиси кремния, соединяющей затвор транзистора с одной из кремниевых областей (см.рис.7).

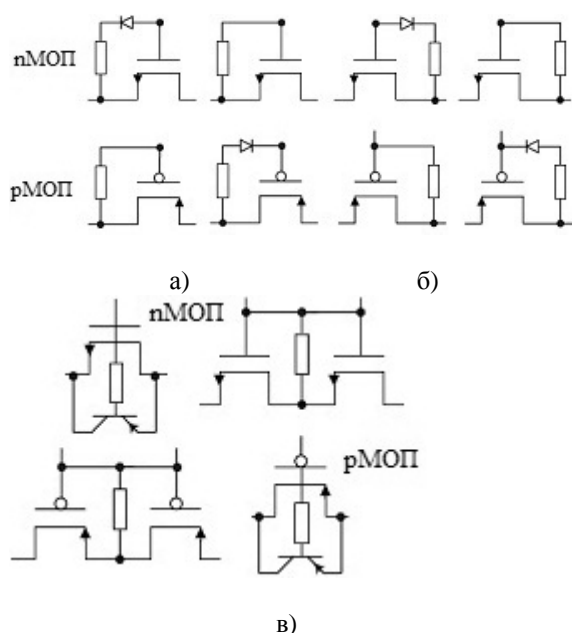


Рисунок 7 – Модели для замыканий подзатворного окисла : а) замыкание затвор-исток; б) замыкание затвор-сток; в) замыкание затвор-подложка

Электрические свойства этих замыканий зависят от их расположения, так как имеются три различных региона, с которыми может быть связан затвор. Возможна связь затвора со стоком, источником или подложкой. Тип легирования кремния связанных структур влияет на электрические свойства этого типа замыканий. Когда затвор имеет соединение с вышеуказанными регионами одинаковый тип легирования, электрические характеристики моста замыкания описываются резистивной связью. Однако, когда они имеют

разный тип легирования, должны описываться моделью рп-перехода между ними (модель диода).

Более точные модели учета связи между регионами представлены в [12].

#### 1.5 Ореп-неисправности

Модель Ореп-неисправности описывает разрывы (отсутствие материала) в металле, регионах поликремния или диффузии. Свойства дефекта зависят в основном от: местоположения дефекта, его структуры и характера дефекта[49]. На основании расположения дефекта, она может быть разбиты на четыре различные группы , как показано в примерах на рис.8[13]:

1. Внешний обрыв сети. Дефект локализован в внешних соединениях, в результате чего входные затворы транзисторов частично или полностью отключены.

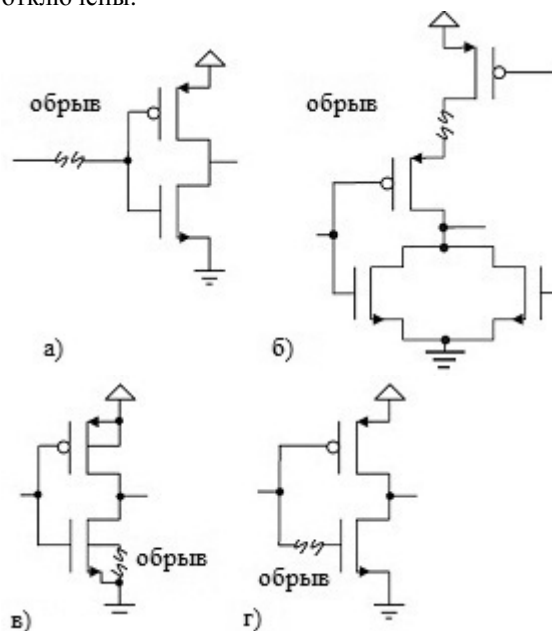


Рисунок 8 – Типы Ореп-неисправностей: а) внешний обрыв сети; б) обрыв в сети; в) обрыв внутри ячейки; г) обрыв затвора транзистора

2. Обрыв в сети. Это обрывы внутри ячейки, влияющие на связь между стоком и истоком транзисторов.

3. Обрыв внутри ячейки. Эти дефекты затрагивают связь между pMOS транзисторами и  $V_{GND}$ , или частью pMOS транзистора и  $V_{DD}$ .

4. Обрыв затвора транзистора.

Ореп-неисправности можно разделить на две различные группы в зависимости от их электрической природы: полный обрыв и резистивный. При отсутствии электрического соединения между двумя конечными точками, мы имеем пример полного, или сильного обрыва. С другой стороны, если разрыв не вызывает полное отключение, он называется резистивным или слабым.

Первой наиболее известной моделью OPEN-неисправности была модель залипания [14]. В этой модели считается, что на затворе транзистора имеется фиксированное значение, вследствие чего он постоянно открыт (закрыт), что не позволяет получить на выходе значение исправной схемы. При такой фиксации значения затвора в этой модели предполагается, что выходной узел устанавливается в состояние высокого импеданса в течение, по крайней мере одного логического состояния. Таким образом, в зависимости от предыдущего входного сигнала, может проявляться последовательное поведение устройство на выходе. На рисунке 9 изображены затворы 2-входного вентиля И-НЕ с полным обрывом одного из затворов рМОП транзисторов. Для состояния входов  $(V_A, V_B) = (1, 0)$  выход  $(V_Z)$  находится в состоянии высокого импеданса. Таким образом, если предыдущее входное воздействие было  $(V_A, V_B) = (1, 1)$ , то выходное значение интерпретируется, как лог.0., в противном случае, как лог. 1.

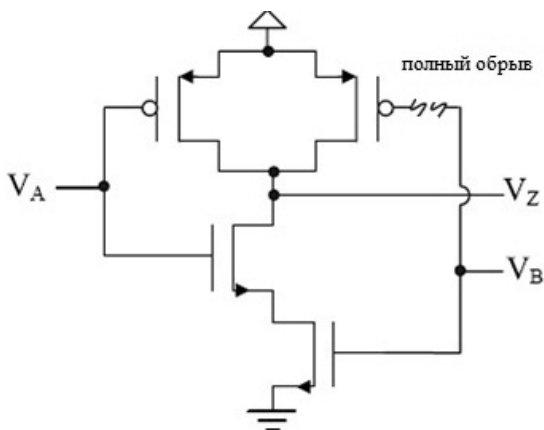


Рисунок 9 – Обрыв затвора в вентиле И-НЕ

Согласно [56] модель SOP-неисправности не позволяет охватить всевозможные обрывы. В этой работе рассматривали расположение обрывов в любом из терминалов транзистора, как показано на рис.10.

Однако и эти модели не являются надежными, поскольку они игнорируют эффекты опасных состязаний и обмена емкостями. Эти эффекты рассматриваются на логическом уровне в [65].

Большинство реальных Open дефектов не представляются наиболее популярной моделью залипания SOP и вообще трудны для исследования и примером этого являются внешние обрывы, которые могут вызвать колебания или последовательное поведение схемы вследствие образования обратной емкостной связи [15].

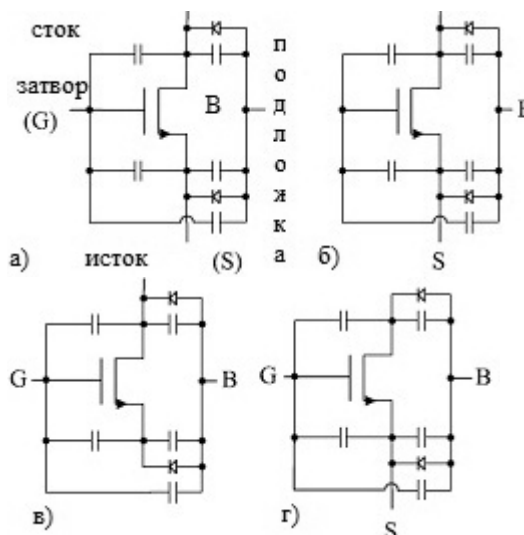


Рисунок 10 – Обрывы pМОП-транзистора:  
а) исправная схема; б) обрыв затвора; в) обрыв истока; г) обрыв стока

Таким образом, хотя была выполнена большая работа с целью улучшения моделей Open-неисправностей, по-прежнему необходимы дополнительные исследования для разработки новых моделей, которые могут покрыть часть или все реальные эффекты этого класса дефектов.

### 1.6 Модели неисправностей задержки(delay)

Большая часть реальных дефектов определяет неправильную работу устройств на рабочей частоте, но при этом устройство успешно функционирует должным образом на более низких частотах. Такие временные дефекты моделируются, как неисправности типа задержки.

Существуют три классические модели неисправности типа задержки, а именно:

- а) модель задержки перехода;
- б) модель задержки вентиля;
- в) модель неисправности пути задержки.

В последнее время были разработаны две модели, такие как неисправность линии задержки и задержка сегмента, которые частично основаны на классических моделях.

*Модель задержки перехода.* Эту модель неисправности используют для реальных дефектов, которые вызывает задержку между переходами на входах и на выходах вентиля [16-17]. Существуют две модели неисправностей перехода: слишком медленный срез или слишком медленный фронт сигнала. Ясно, что эти дефекты ведут себя в течение определенного периода времени, как SA0 (SA1) соответственно. Два входных вектора необходимы для того, чтобы проводить испытания. Его основным недостатком является то, что обнаруживаются только значительные колебания задержки. Если дефект может вызвать широкий спектр значений задержек, некоторые из которых малы, то значительное число дефектов не будет обнаружено. Эта модель задержки

перехода справедлива при предположении, что задержки являются достаточно большими, чтобы определять неисправное поведение устройства, независимо от путей, по которым они распространяются.

*Модель неисправности задержек вентиля.* В этой модели предполагается, что задержки вентиля известны [18-20]. Характеристики вероятности возникновения неисправности типа задержка также известны. Неисправность рассматривается, как задержка в распространении переходов от входа к выходам вентиля. Основным преимуществом этой модели является ограниченное число моделируемых неисправностей с целью проверки всей схемы. Число моделируемых неисправностей линейно зависит от числа вентилях схемы. Основным недостатком является то, что необходимые данные не всегда доступны для этого вида модели задержки.

*Модели неисправности задержка пути.* В этой модели задержка пути [21] рассматривается как сумма малых задержек на каждое соединение по пути сигнала. Любой путь с общей задержкой, превышающей значение тактового интервала, является собой неисправность пути задержки. Эта модель охватывает все неисправности для активизированного пути. Кроме того, каждому из путей соответствует два логических пути и пара векторов для проверки неисправности. Первый вектор применяется для установки пути к известному состоянию и второй для получения желаемого перехода. Основным недостатком этой модели является то, что число путей в логической схеме может быть огромным. В частности, в худшем случае оно экспоненциально зависит от числа линий. Таким образом, невозможно исчерпывающе проверить все цепи.

*Модель неисправности задержки линии.* Модель неисправности задержки линии [22] является сочетанием моделей неисправности перехода и задержки пути. Количество неисправностей непосредственно зависит от числа линий. Существует проблема, как и в модели задержки пути, что число неисправностей может быть огромным.

*Модель неисправностей сегмента задержек.* В модели неисправности задержки сегмента [23] длина этих сегментов может быть равной как единице (как в модели задержки перехода), или, максимальной глубине схемы (модели неисправностей задержек пути). В этой модели основной является идея объединить преимущества одной модели, избегая при этом их ограничения. Такая модель предотвращает увеличение числа моделируемых неисправностей. К тому же, более реалистично думать, что задержка сегмента может больше повлиять на задержку любого пути, проходящего через данный сегмент, чем модель задержки линии.

## 1.7 Другие модели

Отдельной группой дефектов являются неустойчивые сбои, которые не наносят физические повреждения оборудованию. Они вызываются обычно флуктуациями излучения или источника питания, индуктивной или емкостной внутрисхемной связью (crosstalk), либо связью с внешним электромагнитным полем. Обычно устройства динамической логики и памяти особенно восприимчивы к таким неисправностям.

## 2 Диагностирование дефектов и IDDQ метод

Диагностические измерения должны быть оптимизированы для класса дефекта, который мы проверяем, т.е. необходимо создавать условия, при которых определение дефектов является более эффективным.

В случае ВФ, были разработаны различные методы для улучшения их обнаружимости. Одним из наиболее распространенных методов является снижение напряжения питания ниже нормального. Эта методика была продемонстрирована для выявления дефектов, которые не обнаруживаются с помощью других методов испытаний [24, 25]. Различные работы сообщают об эффективности снижения питания в логике испытаний при обнаружении ВФ. Тот факт, что низкое напряжение при тестировании подходит для обнаружения резистивных мостов, сообщается в [26,27], так как критическое сопротивление (самое высокое сопротивление ВФ, которое может быть обнаружено испытаниями) растет, в то время как  $V_{DD}$  уменьшается [28].

Иная концепция  $V_{DDMIN}$  предложена в [29]. Этот методика состоит в снижении значения  $V_{DD}$  до получения минимального  $V_{DD}$ , при котором устройство все еще функционирует исправно, на одинаковой тактовой частоте. Было показано, что некоторые дефектные устройства имеют более высокий уровень  $V_{DDMIN}$ , нежели бездефектные. В общем, снижение стоимости питания легко осуществить, так как оно не требует какого-либо дополнительного оборудования или производительности. Дефекты, представленные ВФ, могут привести к промежуточным значениям напряжения. Это поведение нельзя наблюдать с помощью методов измерения напряжения, так как эти промежуточные напряжения далее восстанавливаются в нормальных границах последующими вентилями. Однако техника токовых измерений доказала свою эффективность в таких случаях.

Первый и самый популярный токовый IDDQ -метод тестирования основан на измерении тока покоя (IDDQ - direct drain quiescent current). В стационарном состоянии, когда все переключения произошли, в КМОП схемах в идеале не наблюдается потребление тока, так как токи утечки являются

незначительными. Наличие некоторого класса дефектов обуславливает образование пути проводимости от источника питания к земле, создавая повышенный ток, сила которого на порядки выше, чем бездефектный ток утечки в исправной схеме. Идея мониторинга мощности тока потребления (IDDQ) заключается в сравнении измеряемого тока с пороговым значением, что иллюстрирует рис.11.

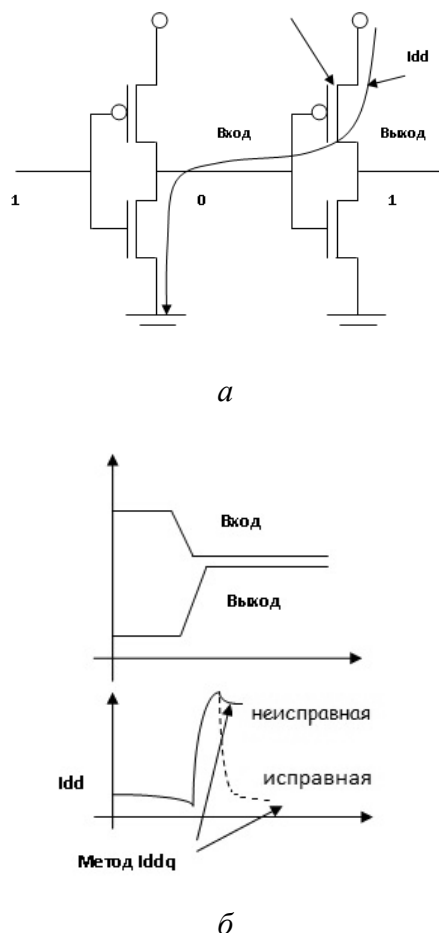


Рисунок 11 – Путь тока при наличии неисправности (а) и ток в исправной и неисправной схемах (б)

Как и ВФ, различные методы были использованы для улучшения наблюдаемости Определенных дефектов. После идеи изменения значения питания в [30], различные авторы предлагали множество методик обнаружения дефектов при различных напряжениях питания. Была определена эффективность повышения номинального питания для обнаружения определенных дефектов окисла.

Практика показала, что IDDQ тестирование является менее эффективным для открытых дефектов, нежели чем для дефектов, описываемых ВФ, и чрезвычайно зависит от используемых базисных примитивов и топологии самой схемы[31]. Некоторые дефектные устройства демонстрируют временную зависимость при использовании метода IDDQ в течение секунд! Так, на схеме на рис.12 мы

имеем элемент НЕ-ИЛИ с плавающим затвором на nМОП транзисторе. Если установлено на  $V_A(V_B)$  лог.1 (лог.0) соответственно, то узел  $V_C$  будет находиться в высокоимпедансном состоянии. В данном случае, устойчивое состояние напряжения в основном определяется балансом между различными вход-выходными токами компонентов узла (подложка, затворов, токов утечки обратного смещения рп перехода). Эти токи очень малы и время достижения конечного состояния может занять несколько секунд.

Температура может также повлиять на поведение SOP-неисправностей и они могут быть обнаружены при температуре, отличной от номинальной [32-34]. Так, понижение температуры способствует улучшению обнаружения дефектов[35-36].

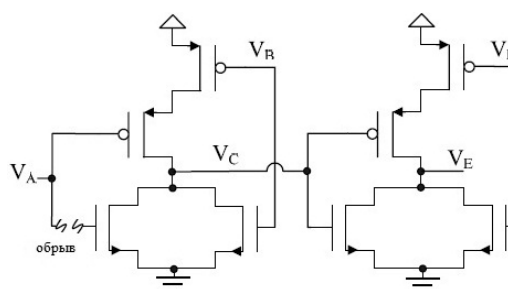


Рисунок 12 – Плавающий затвор в элементе НЕ-ИЛИ

Изменение значения питания полезно для обнаружения неисправностей задержки. В самом деле, воздействие некоторой задержки неисправности увеличивается при низких значениях питания, так что задержки неисправностей, не наблюдаемые при номинальных условиях, становятся наблюдаемыми при более низких напряжениях питания [37-38]. Другой метод, который улучшает наблюдаемость временных дефектов, состоит в уменьшении частоты испытаний в сравнении с номинальной [39-40].

Наконец, с непрерывным сокращением размеров в нанотехнологиях, параметры соединений в пути становятся более важными, нежели задержки на элементах. Этот факт еще больше затрудняет определение различия между исправными устройствами и устройствами, имеющими ненормированные задержки. Чтобы избежать этой проблемы, некоторые подходы включают статистические методы в тестировании задержек [41,42].

Если текущее значение выше, чем пороговый предел, устройство считается неисправным. Методика IDDQ тестирования была предложена в [43] и впоследствии развита в [44-45]. Эффективность тестирования с помощью IDDQ проявилась при обнаружении различных дефектов, таких как замыкания между вентилями, замыкания подзатворного окисла, замыкания между затворами и др.[46-48].

Однако, с уменьшением размера базисных примитивов в новых современных интегральных технологиях, появились проблемы связанные с применением IDDQ. Теоретические основы IDDQ базируются на оценке тока утечки в бездефектной схеме, а затем установке предельного порога, выше которого схема считается дефектной. Из-за статистических вариаций распределение текущего потребления устройства является гауссовым. Таким образом, порог ограничения гораздо выше, чем среднее. Считая для дефектных устройств распределение потребления также гауссовым, если их параметры распределений достаточно далеки друг от друга, легко определить различие между исправными и дефектными устройствами. Однако, ток утечки увеличивается экспоненциально для каждой новой технологии, как показано на рис.13 [49]. Таким образом, он становится сравнимым или даже выше, чем дефект тока. Поэтому текущее среднее значение распределения тока в бездефектных устройствах увеличивается и становится ближе к среднему в дефектных устройствах.

Таким образом, становится все труднее определить, обуславливаются ли отклонения измеренного тока в методе IDDQ током утечки в исправных устройствах или дефектом в неисправных.

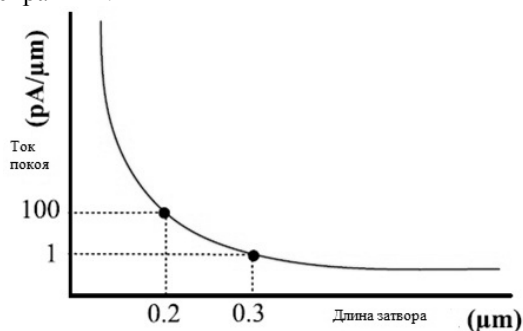


Рисунок 13 – Эволюция утечки тока

Были предложены некоторые решения для преодоления проблемы утечки тока, а именно: снижение температуры испытаний, контроля напряжения специальными способами, разбиения устройства на части и использования нескольких источников питания, несколько порогов транзисторов и т.п. [50-53].

Разработаны также методы, основанные на пост-обработке данных IDDQ для расширения его эффективности. Одним из таких методов является дельта IDDQ метод [54-56]. Этот метод концептуально же прост, как IDDQ метод, но вместо наблюдения абсолютного значения тока питания, в нем рассматриваются разности тока питания между последовательными векторами испытания. На основании различия формируется вероятностный вывод об исправности или дефектности схемы.

Другой известной модификацией IDDQ метода, позволяющей избежать его проблем применения в современных условиях, является

методика сигнатур тока, однако ее применение требует специализированного оборудования при низких температурах [57-58].

### 3 Применение переключательного анализа

Переключательный анализ МОП-структур используется для моделирования их неисправностей, так как выполнить это на вентиляльном уровне невозможно. В [59-62] процесс моделирования представлен итерационным решением системы булевых уравнений вида  $X_{n+1} = M \otimes F(X_n)$ , где  $X_n$  - значение многозначных узлов схемы в  $n$ -итерации (состояние схемы). Здесь  $M$  - операция выбора максимального значения из значений сигналов разветвлений узла,  $F$ -система булевых уравнений, вид которых зависит от алфавита моделирования и базовых компонентов, составляющих устройство,  $\otimes$  - операция суперпозиции. Значение  $X$  есть двойка  $(G, H)$ , где  $G(H)$  - соответственно значения логического состояния сигнала и его логической силы, которые обычно интерпретируют, как напряжение и силу тока.

Следующие примеры показывают необходимость переключательного анализа при моделировании наиболее распространенных неисправностей в МОП-структурах [1]. К ним относятся BF(≈40%), Open (≈17%) [1].

Для отражения BF, применяем структурное преобразование исправной схемы согласно рис.14 [62]. При флаге моделирования  $F=1$  выполняем моделирование исправной схемы, при  $F=0$  устанавливаем на линиях L1(L2) значения сигналов  $S1=(H1,G1)$ ,  $S2=(H2,G2)$  соответственно.

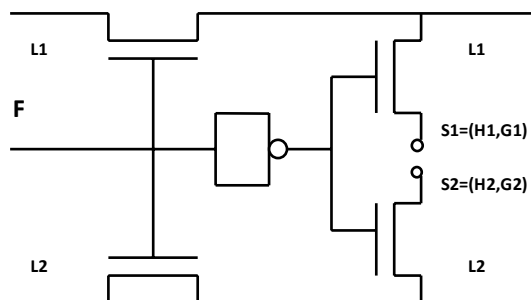


Рисунок 14 – Структурные преобразования при BF

Основное значение преобразования заключается в том, что мы получаем результаты моделирования со значениями не только по напряжению (как это возможно в традиционном логическом моделировании), но и по току. Следовательно, результаты моделирования могут быть руководством для применения IDDQ-метода, что принципиально невозможно в традиционном логическом моделировании. Частным случаем этого преобразования можно считать использование нагрузочного транзистора, как резистора с



характеристиками, которые определяются выбранным алфавитом моделирования.

Рассмотрим второй классический пример учета неисправности "обрыв транзистора T2" при превращения комбинационной схемы вентиля И-НЕ в последовательностную схему [62]. Полное описание исправного вентиля на переключательном уровне и описание схемы с внесенной неисправностью представлено в [62]. Соответствующие схемы представлены на рис.15а и 15б. Моделирование исправной схемы на наборах (D1 D1 D0) и (D1 D0 D0) дает результаты (D0 D1 D1 D1 D0 D0) и (D0 D1 D1 D0 D1 D1). Полные результаты моделирования схемы с неисправностью приведены в [30]. Согласно им, имеем на втором наборе входных сигналов, что значения узлов 1, 2, 3, 4, 5, 6, 7, 8, определяемые значениями вектора  $X=(D0, D1, D1, D0, D0, C0, C0, D1)$ , отличаются от значений исправной схемы в узле 6 (номер 7 в неисправной) (D0 D1 D1 D0 D1 D1). Здесь мы видим, что значение 0 с силой C не равно значению D1 в исправной схеме. Таким образом, при быстром измерении значения напряжения в этом узле мы будем определять эту неисправность.

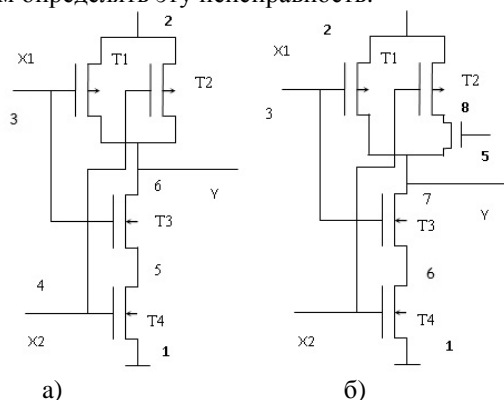


Рисунок 15  
а) Вентиль И-НЕ б) ПКМОП-вентиль И-НЕ с неисправностью

#### 4 Проблема византийских генералов при анализе неисправностей

С момента своего появления около 30 лет назад [63], BGP (проблема византийских генералов) является одной из основных для многочисленных научных публикаций, связанных с отказоустойчивыми вычислительными системами. Мы обращаемся к BGP проблеме с целью представить ее важность для моделирования современных КМОП-структур с необходимой точностью. Дадим краткие определения византийской неисправности и византийского отказа (сбоя) системы. Будем понимать под византийской неисправностью такую неисправность, которая имеет различные симптомы для различных систем-наблюдателей. Тогда потеря системы своей работоспособности вследствие византийской

неисправности будем считать византийским сбоем или отказом.

Так типичным примером византийского поведения является цифровой сигнал, который имеет неопределенное значение X, т.е. где-то между логическим "0" и логической "1" напряжением.

Подобное поведение для неисправности обычно наблюдается в КМОП схемах для ВФ неисправностей или для одного из наиболее распространенного типа неисправностей "open" (SOP) [64].

Рис.16 показывает передаточную функцию логического вентиля в общей логической схеме с напряжением питания 3,3 вольта. Для ясности, передаточная функция показана со значительно менее крутым наклоном, нежели как это обычно происходит в цифровых логических схемах.

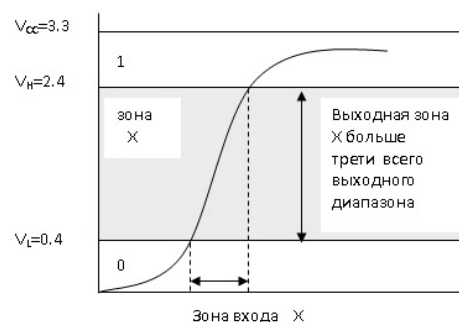


Рисунок 16 – Увеличение диапазона неопределенного значения X при его передаче вентилем

Поскольку это напряжение занимает большую часть диапазона значений передаточной функции вентиля, незначительный шум на входах вентиля определяет гораздо большую длительность шума на выходе вентиля. На рис.17 ясно показан данный эффект, при этом мы опять для наглядности на рисунке уменьшаем подъем передаточной функции.

Это происходит потому, что "цифровые схемы есть просто аналоговые схемы, функционирующие в экстремальных или граничных ситуациях". Для любого выходного сигнала X в рассматриваемой логической схеме, можно использовать обратную для этой схемы передаточную функцию, чтобы найти входное напряжение, которое будет определять такой выход. Триггеры Шмидта могут помочь при решении этой проблемы, но не дают гарантии эффективности. Действительно высокий коэффициент усиления современных цифровых каналов означает, что малый шум при входном сигнале X становится большим шумом на выходе. Так как сигналы X, как правило, имеют колебательный характер, то их амплитуда может легко превышает гистерезисные возможности сглаживания сигналов триггера Шмидта.

Приемник таких выходных сигналов может интерпретировать их как "0" или "1" в зависимости от своих пороговых значений и других своих

параметров. Последствия неоднозначных интерпретаций таких логических уровней могут распространяться практически через любую цифровую схему.

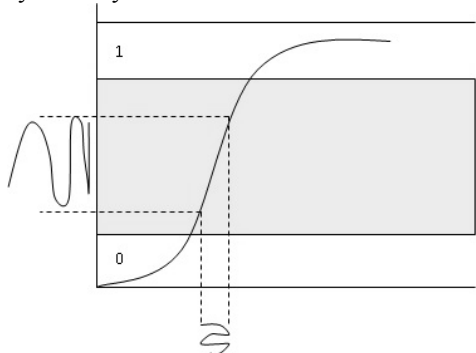


Рисунок 17 – Усиление хаоса при передаче значения X вентилем

Цифровые вентили могут иметь различные передаточные функции вследствие производственных допусков, изменения напряжения и температуры и т.п. (см. рис.18). Таким образом, необходимо рассматривать весь полный перечень всех возможных передаточных функций для определения входных сигналов, которые влекут неопределенность на выходе вентилей. Так, для случая, изображенного на рис. 18, диапазон входных сигналов, которые необходимо учитывать при анализе неопределенного выхода, определяется по сумме трех передаточных функций.

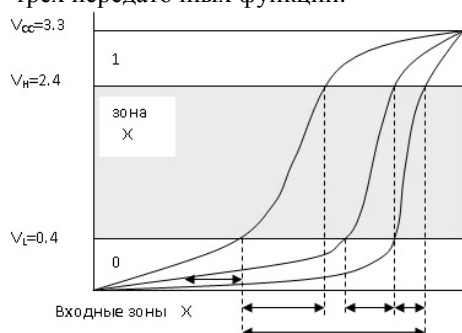


Рисунок 18 – Входной диапазон неопределенности для многих вентилей

Как и в случае BF, Ореп-неисправность может привести к BGP. Рассмотрим пример на рисунке 19. Если плавающее напряжение ( $V_{Flime}$ ) выше, чем порог входа следующего вентилей, оно интерпретируется как лог.1, в противном случае оно интерпретируется как лог. 0. В случае плавающей величины напряжения с выходными разветвлениями, интерпретации логических значений ведомых

разветвлений в разных случаях могут быть различными, в зависимости от их пороговых значений.

Если  $V_{ILmax}(INV) > V_{Flime} > V_{IHmin}(NAND2)$ , то  $V_{Flime}$  интерпретируется как логический 0 на INV и как логика 1 на NAND2. Однако, если  $V_{IHmin}(INV) < V_{Flime} < V_{ILmax}(NAND2)$ ,  $V_{Flime}$  интерпретируется как лог.1 на INV и как лог. 0 на NAND2.

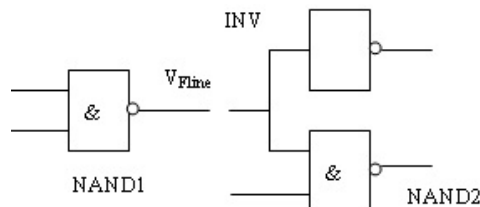


Рисунок 19 – Пример BGP вследствие Ореп-неисправности

### Заключение и дальнейшие исследования

В данной работе выполнен обзор проблемы диагностирования современных МОП и КМОП структур. Рассмотрено большинство основных моделей неисправностей МОП-схем, а также соответствующие методики и алгоритмы диагностирования.

Показано место переключательного анализа при моделировании МОП-структур. Постоянное развитие интегральных технологий вызывает необходимость разработки новых моделей, которые могут покрыть часть или все реальные эффекты новых классов дефектов, в частности дефект утечки тока.

Рассмотрена известная проблема BGP и ее значение для диагностирования МОП-структур на современном этапе. Были предложены различные решения в области отказоустойчивых алгоритмов и архитектур для разного рода предположений и модификаций BGP. Тем не менее, многочисленные решения этих модификаций BGP еще недостаточны для специалистов, которые проектируют, реализуют и поддерживают системы с высокой степенью надежности.

Актуальными являются исследования специальных методов проектирования для борьбы с неустойчивыми дефектами.

Разнообразие характеристик различных типов современных транзисторных структур стимулирует развитие всех методов генерации тестов для них.

### Литература

1. Manoj Sachdev, José Pineda de Gyvez. Defect-oriented Testing for Nano-metric CMOS VLSI Circuits. Springer, 2007, p.342 .
2. Daniel Arumí i Delgado. Enhancement of defect diagnosis based on the analysis of CMOS dut behaviour. Tesi doctoral presentada per a l'obtenció del títol de doctor Universitat Politècnica de Catalunya Departament d'Enginyeria Electrònica-2008, p.247.
3. K.Y. Mei, "Bridging and Stuck-At Faults", IEEE Transaction On Computers, vol.C23(7) 1974, pp. 720-727,.
4. J.M. Acken and S.D. Millman, "Accurate Modelling and Simulation of Bridging Faults", Custom Integrated Circuits Conference, pp 17.4.1-17.4.4, 1991.

5. D.B. Lavo, B. Chess, T. Larrabee, F.J. Ferguson, "Diagnosing realistic bridging faults with single stuck-at information", IEEE Transactions on Computer-Aided Design, vol. 17, 1998 pp. 255-268.
- 6 S. Chakravarty, Y. Gong, "Voting model based diagnosis of bridging faults in combinational circuits", Proceedings International Conference VLSI Design, pp.338-342, 1995.
7. D.B. Lavo, B. Chess, T. Larrabee, F.J. Ferguson, J. Saxen, K.M. butler, "Bridging fault diagnosis in the absence of physical information", International Test Conference, pp. 887-893, 1997.
8. W. Zou, W.-T. Cheng, S.M. Reddy, "Bridge Defect Diagnosis with Physical Information", Proceedings Asian Test Symposium, pp. 248-253, 2005.
9. I. Polian, P. Engelke, M. Renovell, B. Becker, "Modeling Feedback Bridging Faults with Non-Zero Resistance", European Test Workshop, pp. 91-96, 2003.
10. B. Chess, T. Larrabee, "Logic Testing of Bridging Faults in CMOS Integrated Circuits", IEEE Transaction on Computers, vol. 47, pp. 338-345, March 1998.
11. C. Hawkins and J. Soden, "Electrical Characteristics and Testing Considerations for Gate Oxide Shorts in CMOS ICs", International Test Conference, pp. 544-555, 1985.
12. M. Renovell, J.M. Galliere, F. Azais, Y. Bertrand, "Boolean and current detection of MOS transistor with gate oxide short", International Test Conference, pp.1039-1048, 2001.
- 13.S. Ghosh, F. Joel Ferguson, "Estimating Detection Probability of Interconnect Opens using Stuck-at Test", Great Lakes Symposium on VLSI , pp. 254-259, 2004.
- 14.R.L. Wadsack, "Fault Modelling and Logic Simulation of CMOS and MOS Integrated Circuits", Bell Systems Technical Journal, pp. 1449-1474, 1978.
15. H. Honuk, F.J. Ferguson, "Oscillation and Sequential Behaviour Caused by Opens in the Routing in Digital CMOS Circuits", IEEE Transaction on Computer-Aided Design of Integrated Circuits and Systems, vol. 17, no. 11, pp. 1200-1210, November 1998.
16. J.A. Waicukauski, E. Lindbloom, B.K. Rosen, V.S. Iyengar, "Transition Fault Simulations", IEEE Design & Test of Computers, pp. 32-38, April 1987.
17. W. Moore, G. Gronthoud, K. Baker, M. Lousberg, "Delay-Fault Testing and Defects in Deep Sub-Micron ICs – Does Critical Resistance Really Mean Anything?", International Test Conference, pp. 95-104, 2000.
18. J.L. Carter, V.S. Iyengar, B.K. Rosen, "Efficient Test Coverage Determination for Delay Faults", International Test Conference, pp. 418-427, 1987.
19. K. Pramanick and S. M. Reddy, "On the Fault Coverage of Gate Delay Fault Detecting Tests", IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 16, no. 1, pp. 78-94, January 1997.
20. V.H.-W. Meyer, W. Anheier and A. Sticht, "Non-Robust Delay Test Pattern Generation Based on Stuck-at TPG", International Conference on Electronics, Circuit and Systems, vol. 2, pp. 1007-1010, 2001.
21. M. Sharma and J.H. Patel, "Testing of Critical Paths for Delay Faults", International Test Conference, pp. 634-641, 2001.
22. A.K. Majhi, V.D. Agrawal, J. Jacob and L.M. Patnaik, "Line Coverage of Path Delay Faults", IEEE Transactions on Very Large Scale Integration Systems, vol.8, pp. 610-614, October 2000.
23. K. Heragu, J.H. Patel and V.D. Agrawal, "A Test Generator for Segment Delay Faults", International Conference on VLSI Design, pp. 484-491, 1999.
- 24.J.T.-Y. Chang, C.-W. Tseng, Y.C. Chu, S. Wattal, M. Purtell, E.J. McCluskey, "Experimental Results for IDDQ and VLV Testing", VLSI Test Symposium, pp.118-123, 1998.
25. E.J. McCluskey, T. Chao-Wen, "Stuck-fault tests vs. actual defects", Proceedings International Test Conference, pp.336-342, 2000.
26. H. Hao, E.J. McCluskey, "Very-low-voltage testing for weak CMOS logic ICs", Int. Test Conference, pp.275-284, 1993.
27. P.Engelke, I. Polian, M. Renovell, B. Seshadri, B. Becker, B., "The pros and cons of very-low-voltage testing: an analysis based on resistive bridging faults", VLSI Test Symposium, pp. 171- 178, 2004.
- 28.B. Kruseman, S. van den Oetelaar, J. Rius, "Comparison of IDDQ testing and very low voltage testing," International Test Conference, pp. 964- 973, 2002.
29. T. Chao-Wen, R. Chen, P. Nigh, E.J. McCluskey, "MINVDD testing for weak CMOS ICs", VLSI Test Symposium, pp.339-344, 2001.
30. Y. Haihua, A.D. Singh, "A delay test to differentiate resistive interconnect faults from weak transistor defects", International Conference on VLSI Design, pp. 47-52, 2005.
31. V.H. Champac, A. Rubio, J. Figueras, "Electrical model of the floating gate defect in CMOS ICs: implications on IDDQ testing", IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 13, Issue 3, pp. 359-369, March 1994.
32. J.C.-M. Li, C.-W. Tseng, E.J. McCluskey, "Testing for Resistive Opens and Stuck Opens", International Test Conference, pp. 1049-1058, 2001.
33. A.K. Majhi, M. Azimane, G. Gronthoud, M. Lousberg, S. Eichenberger, F. Bowen, "Memory testing under different stress conditions: an industrial evaluation", Design, Automation and Test in Europe, pp. 438-443, 2005.

34. B. Kruseman, M. Heiligers, "On test conditions for the detection of open defects". Design, Automation and Test in Europe, pp. 896-901, 2006.
35. S. Kundu, "IDDQ Defect Detection in Deep Submicron CMOS IC's", Asian Test Symposium, pp. 150-152, 1998.
36. W. Needham, C. Prunty, E.H. Yeoh, "High Volume Microprocessor Test Escapes, An Analysis of Defects Our Tests Are Missing", International Test Conference, pp. 25-34, 1998.
37. J.T.-Y. Chang, E.J. McCluskey, "Detecting delay flaws by very-low voltage testing", Int. Test Conf., 1996, pp. 367-376.
38. L. Yuyun and D. M. H. Walker, "Optimal voltage testing for physically-based faults," Proceedings of 14th VLSI Test Symposium, 1996, pp. 344-353.
39. W.B. Jone, Y.P. Ho, S.R. Das, "Delay Fault Coverage Enhancement Using Variable Observation Times", International Conference on VLSI Design, pp. 106- 110, 1997.
40. Y. Haihua, A.D. Singh, "Experiments in detecting delay faults using multiple higher frequency clocks and results from neighboring die", Proceedings International: Test Conference, pp. 105-111, 2003.
41. J. Liou, T. Cheng, D. Mukherjee, "Path selection for delay testing of deep submicron devices using statistical performance sensitivity analysis", Proceedings VLSI Test Symposium, pp.97-104, 2000.
42. L.-C. Wang, J. Liou, K.-T. Cheng, "Critical path selection for delay fault testing based upon a statistical timing model", IEEE Transaction on Computer-Aided Design of Integrated Circuits and Systems, vol. 23, issue 11, pp. 1550-1565, Nov. 2004.
43. M.W. Levi, "CMOS is most testable", International Test Conference, pp. 217-220, 1981.
44. Y.K. Malaya and S.Y.H. Su, "A new fault model and testing technique for CMOS devices", International Test Conference, pp. 25-34, 1982.
45. J.M. Acken, "Testing for bridging faults (shorts) in CMOS circuits" Design Automation Conference, pp. 717-718, 1983.
46. D. Baschiera, B. Courtois, "Testing CMOS: A challenge", VLSI Design, pp. 58-62, 1984.
47. M.E. Turner, D.G. Leet, R.J. Prilik, D.J. McLean, "Testing CMOS VLSI: Tools, concepts and experimental results", Int. Test Conference, pp. 322-328, 1985.
48. R. Rodríguez-Montañés, J.A. Segura, V.H. Champac, J. Figueras, J.A. Rubio, "Current vs. logic testing of gate oxide shorts, floating gate and bridging failures in CMOS", International Test Conference, pp. 510-519, 1991.
49. R. Rajsuman, "IDDQ testing for CMOS VLSI", Proceedings of the IEEE, vol. 88, Issue 4, pp. 544-568, April 2000.
50. A. Keshavarzi, K. Roy, and C.F. Hawkins, "Intrinsic leakage in low power deep submicron CMOS ICs", International Test Conference, pp.146-155, 1997.
51. M. Sachdev, "Deep sub-micron IDDQ testing: Issues and solutions", European Design and Test Conference, pp. 271-278, 1997.
52. J. Figueras, A. Ferre, "Possibilities and limitations of IDDQ testing in submicron CMOS", IEEE Transactions on Components, Packaging, and Manufacturing Technology, Part B, vol. 21, Issue 4, pp. 352-359, November 1998.
53. M. Meijer, F. Pessolano, J. Pineda De Gyvez, "Technology exploration for adaptive power and frequency scaling in 90nm CMOS", Int. Symposium on Low Power Electronics and Design, pp. 14-19, 2004.
54. C. Thibeault, "A Novel Probabilistic Approach for IC Diagnosis Based on Differential Quiescent Current Signatures", VLSI Test Symposium, pp. 80-85, 1997.
55. A. C. Miller, "IDDQ Testing in Deep Submicron Integrated Circuits", International Test Conference, pp. 724-729, 1999.
56. B. Kruseman, R. van Veen, K. van Kaam, "The future of delta IDDQ testing", Proceedings International Test Conference, pp. 101-110, 2001.
57. A. Gattiker, W. Maly, "Current signatures", Proceedings VLSI Test Symposium, pp. 112-117, 1996.
58. P. Nigh, A. Gattiker, "Random and systematic defect analysis using IDDQ signature analysis for understanding fails and guiding test decisions", Int. Test Conference, pp. 309-318, 2004.
59. Андрюхин А.И. Алгоритмы параллельного логического моделирования и псевдослучайной генерации тестов для МОП-структур / А.И. Андрюхин // Микроэлектроника. – 1995. - № 5. - С. 331-336.
60. Андрюхин А.И. Параллельное логическое моделирование МОП-структур на переключательном уровне / А.И. Андрюхин // Электронное моделирование. – 1996. - № 2. - С. 88-92.
61. Андрюхин А.И. Параллельное многозначное логическое моделирование исправных и неисправных псевдобулевых схем / А.И. Андрюхин // Электронное моделирование. – 1997. - № 1. - С. 58-63.
62. Андрюхин А.И. Параллельное моделирование неисправностей МОП-структур / А.И. Андрюхин // Научные труды Донецкого государственного технического университета. Серия: Проблемы моделирования и автоматизации проектирования динамических систем. – 2001. – Вып. 29. – С.205-211.
63. Lamport, L., Shostak, R., Pease, M.: The Byzantine Generals Problem. In: ACM Transactions on Programming Languages and Systems, 4(3): 382- 401 (1982)
64. Byzantine Fault Tolerance, from Theory to Reality. K. Driscoll, B. Hall, H. Sivencrona and P. Zumsteg .Computer Safety, Reliability, and Security Lecture Notes in Computer Science, 2003, Volume 2788/2003

Надійшла до редакції 31.01.2011