

УДК 004.274

РАЗДЕЛЕНИЕ МАТРИЦЫ ТЕРМОВ В БЛОКЕ АДРЕСАЦИИ МИКРОКОМАНД КМУУ

Биайрак Х., Баркалов Ал.А.

Донецкий национальный технический университет

Рассмотрена модель композиционного микропрограммного устройства управления с разделением кодов, позволяющая уменьшить сложность реализации логической схемы устройства в базисе заказных матриц. Предложенные в работе модификации основаны на использовании нескольких источников кодов классов ОЛЦ.

Введение

Композиционное микропрограммное устройство управления (КМУУ) является одним из способов реализации управляющей части цифровой системы [1, 2]. При массовом производстве электронных устройств широко используются заказные схемы типа ASIC (Application Specific Integrated Circuits) [3]. В этом случае для реализации схем устройств управления используются заказные матрицы [4], основанные на распределенной логике. На данный момент в литературе практически отсутствуют методы, ориентированные на этот базис.

Актуальность работы заключается в предлагаемой модели КМУУ с разделением кодов на заказных матрицах, которая позволяет уменьшить площадь кристалла, занимаемой логической схемой устройства.

Целью работы является реализация логической схемы устройства управления на заказных СБИС при интерпретации линейного алгоритма управления. Алгоритм управления при этом представляется в виде граф-схемы алгоритма (ГСА) [5].

Научная новизна работы заключается в модифицированных структурах и алгоритмах синтеза КМУУ, разработанных для базиса заказных матриц и ориентированных на уменьшение аппаратурных затрат в логических схемах устройств управления.

Реализация схемы КМУУ с разделением кодов на заказных матрицах

Для интерпретации линейных ГСА наряду с моделями КМУУ с общей памятью может быть использована модель с разделением кодов [2, 5]. Использование этой модели основывается на представлении адреса микрокоманд в виде объединения двух частей, поступающих из разных источников.

Пусть в КМУУ для адресации микрокоманд достаточно

$$R = \lceil \log_2 M \rceil \quad (1)$$

бит, представленных переменными $\tau_r \in \tau$, где $|\tau| = R$. Пусть ОЛЦ $\alpha_g \in C$ включает F_g компонент и пусть $Q = \max(F_1, \dots, F_G)$. В этом случае для кодирования компонент достаточно

$$R_C = \lceil \log_2 Q \rceil \quad (2)$$

переменных, образующих множество T , где $|T| = R_C$. Для кодирования ОЛЦ $\alpha_g \in C$ достаточно

$$R_0 = \lceil \log_2 G \rceil \quad (3)$$

переменных, образующих множество τ , где $|\tau| = R_0$.

Пусть $K(\alpha_g)$, $K(b_q)$ соответственно код ОЛЦ $\alpha_g \in C$ и код компоненты некоторой ОЛЦ. Тогда адрес микрокоманды, соответствующей вершине $b_q \in E_1$, может быть представлен в виде конкатенации

$$A(b_q) = K(\alpha_g) * K(b_q). \quad (4)$$

В выражении (4) вершина b_q является компонентой ОЛЦ $\alpha_g \in C$, а операция конкатенации обозначается знаком $*$. Таким образом, разрядность адреса микрокоманды определяется следующим выражением

$$R_M = R_0 + R_C \tag{5}$$

Выполним адресацию компонент так, чтобы для каждой ОЛЦ $\alpha_g \in C$ их коды возрастали в естественном порядке. При этом первая компонента любой ОЛЦ имеет код 0, вторая – 1, и так далее до Q.

В этом случае для реализации схемы УУ может быть использована модель КМУУ с разделением кодов CS_1 (рис. 1).

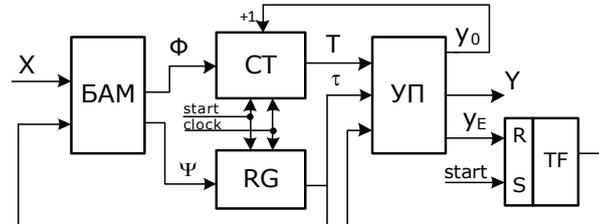


Рисунок 1. КМУУ с разделением кодов CS_1

Использование модели КМУУ с разделением кодов имеет следующие преимущества:

1. Адреса микрокоманд и коды ОЛЦ являются взаимно независимыми, что позволяет использовать все известные методы оптимизации автомата Мура.
2. На вход комбинационной схемы КМУУ поступает только R_0 сигналов обратной связи, что уменьшает требования к параметрам ПЛИС.

Матричная реализация схемы КМУУ CS_1 приведена на рис. 2.

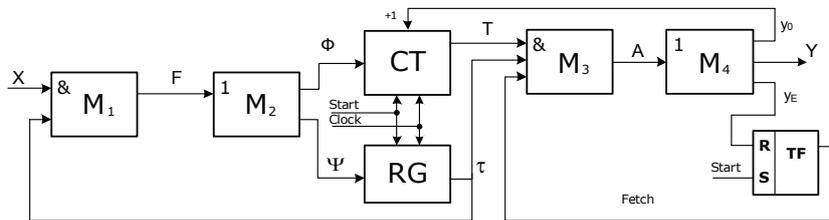


Рисунок 2. Матричная реализация КМУУ с разделением кодов

В КМУУ CS_1 матрицы M_1 и M_2 образуют комбинационную схему, а матрицы M_3 и M_4 – управляющую память. Блок БАМ реализует системы функций возбуждения счетчика СТ и регистра RG :

$$\Phi = \Phi(X, \tau) \tag{6}$$

$$\Psi = \Psi(X, \tau) \tag{7}$$

При этом матрица M_1 реализует систему термов $F = \{F_1, \dots, F_H\}$, входящих в функции (6)-(7):

$$F_h = \left(\bigwedge_{r=1}^{R_G} \tau_r^{1_{gr}} \right) \cdot X_h \quad (h = \overline{1, H}) \tag{8}$$

Первый член в формуле (8) соответствует коду $K(\alpha_g)$ ОЛЦ $\alpha_g \in C$, переход из которой рассматривается в виде h-й строке таблицы. При этом $1_{gr} \in \{0, 1, *\}$ – значение r-го разряда кода $K(\alpha_g)$, $\tau_r^0 = \overline{\tau_r^1}$, $\tau_r^1 = \tau_r$, $\tau_r^* = 1$, где $r \in \{1, \dots, R_G\}$, а знак «*» соответствует неопределенному значению разряда. Второй член в формуле (8) соответствует входному сигналу, определяющему h-й переход и равному конъюнкции некоторых элементов множества X (или их отрицаний).

Матрица M_2 формирует функции $D_r \in \Phi \cup \Psi$, представленные в виде дизъюнкции от термов (8):

$$D_r = \bigvee_{h=1}^H C_{rh} F_h \quad (r = \overline{1, R_0 + R_C}) \tag{9}$$

при этом

$$\left. \begin{aligned} \varphi_r &= \bigvee_{h=1}^H C_{rh} F_h (r = \overline{1, R_C}); \\ \psi_r &= \bigvee_{h=1}^H C_{rh} F_h (r = \overline{1, R_0}). \end{aligned} \right\} \quad (10)$$

В функциях (10) $C_{rh} \in \{0, 1\}$ и $C_{rh} = 1$, если и только если терм F_h входит в функцию φ_r или ψ_r .

Матрица M_3 реализует систему функций A , соответствующих адресам микрокоманд (4):

$$A(b_q) = \left(\bigwedge_{r=1}^{R_0} \tau_r^{1_{gr}} \right) \cdot \left(\bigwedge_{r=1}^{R_C} T_r^{1_{qr}} \right). \quad (11)$$

В формуле (11) $1_{gr} \in \{0, 1\}$ – значение r -го разряда кода $K(\alpha_g)$, где $\alpha_g \in C$ и b_q входит в эту ОЛЦ;

$1_{gr} \in \{0, 1\}$ – значение r -го разряда кода $K(b_q)$; $\tau_r^0 = \overline{\tau_r}$, $\tau_r^1 = \tau_r$, ($r = \overline{1, R_0}$), $T_r^0 = \overline{T_r}$, $T_r^1 = T_r$, ($r = \overline{1, R_C}$).

Для формирования термина $A_m \in A(m = \overline{1, M})$ соответствующий терм $A(b_q)$ умножается на переменную Fetch. При Fetch=1 разрешается выборка микрокоманд из УП.

Матрица M_4 реализует систему функций

$$y_n = \bigvee_{m=1}^M C_{nm} A_m, \quad (12)$$

где $n \in \{0, 1, \dots, N, E\}$, а $C_{nm} = 1$, если и только если функция y_n формируется в микрокоманде с индексом m . Переменная y_0 служит для увеличения содержимого СТ на единицу, что позволяет адресовать компоненты одной ОЛЦ без использования блока КС. Переменная y_E формируется при достижении конечной вершины ГСА Γ и служит признаком окончания алгоритма. Если $y_E = 1$, то триггер TF обнуляется, переменная Fetch = 0 и выборка микрокоманд прекращается.

Использование двух источников кодов в схеме адресации КМУУ

ОЛЦ $\alpha_i, \alpha_j \in C$ являются псевдоэквивалентными (ПОЛЦ), если их выходы связаны с входом одной и той же вершины ГСА Γ [2]. Пусть $\Pi_C = \{B_1, \dots, B_1\}$ – разбиение множества ОЛЦ C_1 на классы ПОЛЦ. Выполним кодирование ОЛЦ $\alpha_g \in C$ так, чтобы максимально возможное число классов $B_i \in \Pi_C$ входило в один обобщенный интервал R_0 -мерного булева пространства.

Теперь множество Π_C может быть представлено в виде $\Pi_C^1 \cup \Pi_C^2$. Пусть $B_i \in \Pi_C^1$, если класс $B_i \in \Pi_C$ представляется одним обобщенным интервалом R_0 -мерного булева пространства. В противном случае $B_i \in \Pi_C^2$. Очевидно, что $\Pi_C^1 \cap \Pi_C^2 = \emptyset$ и $\Pi_C^1 \cup \Pi_C^2 = \Pi_C$. Закодируем классы $B_i \in \Pi_C^2$ двоичными кодами $K(B_i)$ разрядности

$$R_2 = \lceil \log_2 G_2 \rceil, \quad (13)$$

где $G_2 = |\Pi_C^2| + 1$. Используем для кодирования классов $B_i \in \Pi_C^2$ переменные $z_r \in Z$, где $|Z| = R_2$.

Исходная ГСА Γ используется для нахождения системы обобщенных формул переходов S [2]. Разделим систему S на две подсистемы: $S = S_1 \cup S_2$. Пусть подсистема S_1 задает переходы для классов $B_i \in \Pi_C^1$, а подсистема S_2 – для классов $B_i \in \Pi_C^2$. В этом случае для реализации схемы КМУУ на заказных матрицах предлагается модель CS_2 , матричная схема которой приведена на рис. 3.

В КМУУ CS_2 блок БАМ представлен матрицами M_1^1 , M_1^2 и M_2 . Матрица M_1^1 реализует термы $F_h \in F^1$, входящие в подсистему формул перехода S_1 . Термы $F_h \in F^1$ задаются формулами:

$$F_h = \left(\bigwedge_{r=1}^{R_0} \tau_r^{1_{gr}} \right) \cdot X_h \quad (h = \overline{1, H_1}) \quad (14)$$

В формуле (14) конъюнкция X_h соответствует части формул переходов, содержащей

логические условия $x_i \in X$. Отметим, что $l_{gr} \in \{0, 1, *\}$ и $\tau_r^* = 1$. Это связано с тем, что классы $B_i \in \Pi_C^1$ представляются обобщенными интервалами.

Матрица M_1^2 реализует термы $F_h \in F^2$, входящие в подсистему формул S_2 . Термы $F_h \in F^2$ задаются формулами:

$$F_h = \left(\bigwedge_{r=1}^{R_0} \tau_r^{l_{gr}} \right) \cdot X_h \quad (h = \overline{1, H_1}) \quad (15)$$

В формуле (15) $l_{gr} \in \{0, 1, *\}$ – значение r -го разряда кода $K(B_i)$ класса $B_i \in \Pi_C^2$. При этом неопределенное значение $*$ может появиться, если число возможных кодов больше числа классов $B_i \in \Pi_C^1$. Очевидно, $z_r^0 = \overline{z_r^1}$, $z_r^1 = z_r$ и $z_r^* = 1$ ($r = \overline{1, R_2}$).

Матрица M_2 реализует функции (10), однако теперь они зависят от термов $F_h \in F^1 \cup F^2$. Матрицы M_3 и M_4 реализуют управляющую память; они полностью идентичны соответствующим матрицам КМУУ CS_1 . Это же справедливо и для триггера ТФ. Матрицы M_5 и M_6 реализуют преобразователь кодов ПК. Матрица M_5 реализует термы $A_i \in A_0$, входящие в систему функций

$$Z = Z(\tau). \quad (16)$$

Термы A_i определяются выражением

$$A_i = \bigwedge_{r=1}^{R_0} \tau_r^{l_{ir}} \quad (i = \overline{1, M_0}), \quad (17)$$

где $l_{ir} \in \{0, 1, *\}$ – значение r -го разряда кода класса $B_i \in \Pi_C^2$, $\tau_r^0 = \overline{\tau_r^1}$, $\tau_r^1 = \tau_r$ и $\tau_r^* = 1$, ($r = \overline{1, R_0}$). Параметр M_0 определяют в ходе синтеза КМУУ CS_2 . Это зависит от результата кодирования ОЛЦ $\alpha_g \in C$.

Матрица M_6 формирует функции (16) как некоторые дизъюнкции от термов (17):

$$z_r = \bigvee_{i=1}^{M_0} C_{ri} A_i \quad (r = \overline{1, R_0}) \quad (18)$$

Принцип функционирования КМУУ CS_2 в общем аналогичен КМУУ CS_1 . Разница между КМУУ CS_1 и CS_2 заключается в следующем:

1. Используются два источника кодов классов псевдоэквивалентных ОЛЦ – регистр RG и блок преобразователя кодов ОЛЦ в коды классов ПОЛЦ.
2. Число термов в схеме блока БАМ гарантировано равняется этому параметру эквивалентного автомата Мили. При этом площадь блока ПК, уменьшается по сравнению с подходом, основанным на преобразовании кодов всех ОЛЦ $\alpha_g \in C_1$.

Выводы

В работе предложен метод матричной реализации логической схемы КМУУ с разделением кодов. Для уменьшения площади кристалла, занимаемой схемой, предлагается использовать метод разделения системы обобщенных формул переходов на две части. В этом случае используются два источника кодов классов псевдоэквивалентных ОЛЦ – регистр RG и блок преобразователя кодов. Каждый источник связан с отдельной матрицей блока адресации микрокоманд.

Предложенный подход приводит к уменьшению числа термов в схеме блока адресации микрокоманд до уровня этого параметра в эквивалентном автомате Мили. При этом площадь, занимаемая блоком преобразователя кодов, уменьшается по сравнению с подходом, основанным на преобразовании кодов всех ОЛЦ.

Литература

- [1] Baranov S. Logic Synthesis for Control Automata. – Kluwer Academic Publishers, 1994. – 312 pp.

-
- [2] Баркалов А.А. Разработка формализованных методов структурного синтеза композиционных автоматов: дис. ... доктора тех. наук: 05.13.08 / Баркалов Александр Александрович. – Донецк, 1994. – 301 с.
- [3] Максфилд К. Проектирование на ПЛИС. Курс молодого бойца. – М.: Издательский дом «Додэка-XXI», 2007. – 408 с.
- [4] Smith M. Application-Specific Integrated Circuits. – Boston: Addison Wesley, 1997. – 836 pp.
- [5] Баркалов А.А., Титаренко Л.А. Синтез микропрограммных автоматов на заказных и программируемых СБИС. – Донецк: ДонНТУ, Технопарк ДонНТУ УНИТЕХ, 2009. – 336 с.