

2. МЕТОДИЧЕСКИЕ УКАЗАНИЯ ПО ПРОЕКТИРОВАНИЮ БЛОКОВ МИКРОПРОГРАММНОГО УПРАВЛЕНИЯ

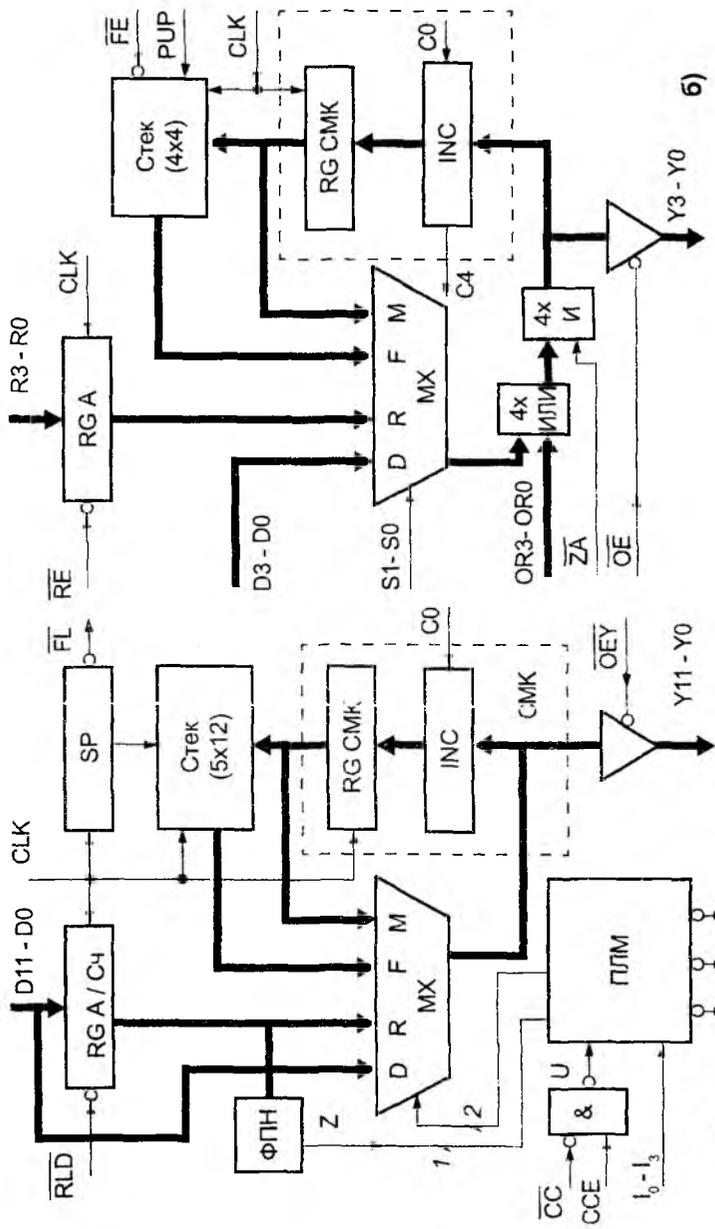
Микросхема K1804ВУ4

Микросхема K1804ВУ4 предназначена для форжирования последовательностей адресов микрокоманд разрядностью в 12 бит. Она позволяет адресовать микропрограмму размером до 4К слов. Структурная схема БИС показана на рис. П7, а. Схема включает мультиплексор с четырьмя входами (МХ), используемый для выбора в качестве источника адреса следующей микрокоманды регистр / счетчик (СТ), вход прямого адреса (D), счетчик микрокоманд (РС) или стек. На рис. П7, а приняты следующие обозначения сигналов:

- I (3 - 0) - входная шина инструкции микросхемы;
- D (11 - 0) - входы кода принудительного адреса микрокоманды;
- \overline{CS} - вход сигнала проверяемого условия;
- CCE - вход разрешения проверки сигнала условия;
- C0 - вход разрешения счета;
- \overline{OE} - вход разрешения выдачи адреса;
- RLD - вход разрешения записи в счетчик СТ;
- Y (11 - 0) - выходная шина адреса микрокоманды с тремя состояниями;
- \overline{FL} - выход признака заполнения стека;
- \overline{VE} - выход сигнала разрешения работы преобразователя векторного адреса;
- \overline{PE} - выход разрешения регистра микрокоманд;
- ME - выход разрешения преобразователя начального адреса;
- CLK - вход подачи тактового сигнала.

Регистр / счетчик RGA / СЧ состоит из 12 триггеров D - типа. При подаче сигнала разрешения загрузки ($\overline{RLD} = 0$) новые данные загружаются в счетчик во время действия переднего фронта тактового сигнала CLK со входа прямого адреса D. Счетчик микрокоманд РС с блоком инкремента INC может использоваться одним из двух способов. Когда сигнал разрешения счета C0 имеет высокий уровень, во время следующего такта содержимое счетчика увеличивается на единицу ($PC := PC + 1$). Таким образом обеспечивается последовательное выполнение микрокоманд. Когда сигнал C0 имеет низкий уровень, содержимое СТ остается прежним.

Третьим источником адреса, передаваемого на вход мультиплексора, является стек объемом пять слов по 12 бит. Дисциплина обслуживания стека LIFO - "последним пришел - первым вышел".



а)

б)

Рис. П7. Структуры БИС управления последовательностью микрокоманд а) - K1804BU4; б) - K1804BU1

Четвертым источником адреса , передаваемого на вход MX , является вход прямого адреса D . Этот источник используется для выполнения переходов в микропрограмме.

Стек предназначен для сохранения адреса возврата при выполнении в микропрограмме подпрограмм и циклов. Стек включает встроенный указатель стека (SP), содержащий всегда адрес слова стека, в котором находится адрес ячейки управляющей памяти, записанный в стек последним. Указатель стека работает как реверсивный счетчик. Операция загрузки стека ($PUSH$) состоит в следующем. Происходит приращение значения SP и в стек записывается требуемый адрес возврата во время такта, следующего за загрузкой :

$$SP:=SP + 1 = INC(SP); \quad STACK(SP):=PC.$$

При извлечении данных из стека (операция POP) информация, находящаяся в вершине стека, передается на его выход. Во время поступления переднего фронта сигнала CLK , следующего за операцией извлечения, происходит отрицательное приращение содержимого указателя стека , что соответствует удалению старой информации из вершины стека:

$$ST:=STACK(SP); \quad SP:=SP-1.$$

При выполнении операции начальной установки (JZ) указатель стека устанавливается равным нулю. При выполнении каждой команды POP глубина стека увеличивается на единицу , а при выполнении команды $PUSH$ - уменьшается на единицу. Глубина стека может увеличиваться до пяти. После этого устанавливается сигнал \overline{FL} низкого уровня.

Регистр / счетчик CT при выполнении некоторых операций работает как 12 - разрядный вычитающий счетчик. Получение значения $CT = 0$ фиксируется декодером нуля (ФПН), который формирует признак Z , поступающий для анализа в программируемую логическую матрицу (ПЛМ) устройства. Это обеспечивает эффективный способ повторения микрокоманд.

Микросхема $K1804BY4$ имеет выходы Y , управляемые по схеме с тремя состояниями, с помощью сигнала \overline{OE} .

В табл. П9 представлена система микрокоманд БМУ. Приведены результаты выполнения каждой микрооперации по определению адреса, передаваемого на выход Y , и выдачи трех сигналов разрешения выборки : \overline{VE} , \overline{ME} и \overline{PE} .

В табл. П9 показано воздействие операций на содержимое регистра / счетчика и стека после прохождения переднего фронта следующего тактового импульса. Для каждой операции выходной сигнал будет иметь низкий уровень только на одном из трех выходов - \overline{VE} , \overline{PE} или \overline{ME} . Эти сигналы обычно используются для управления по схеме с тремя состояниями выборкой данных :

Система микрокоманд БИС К1804ВУ4

Мне- моника	I(3-0)	Сост. СТ	Не выпол.		Выпол.		Уст. СТ	Вых. сиг.	Назначение операции
			У (U=0)	Стек (U=0)	У (U=1)	Стек (U=1)			
JZ	0000	*	0	CLEAR	0	CLEAR	-	\overline{PE}	Переход по адресу " 0 "
CJS	0001	*	PC	-	D	PUSH	-	\overline{PE}	Переход к подпрограмме
JMAP	0010	*	D	-	D	-	-	\overline{ME}	Вход в команду
CJP	0011	*	PC	-	D	-	-	\overline{PE}	Условный переход
PUSH	0100	*	PC	PUSH	PC	PUSH	-	\overline{PE}	Загрузка PC в стек
JSRP	0101	*	CT	PUSH	D	PUSH	-	\overline{PE}	Вход в две подпрограмм
CJV	0110	*	CT	-	D	-	-	\overline{VE}	Условный переход
JRP	0111	*	CT	-	D	-	-	\overline{PE}	Условный переход
RFCT	1000	$\neq 0$ $= 0$	ST PC	- POP	ST PC	- POP	DEC -	\overline{PE}	Повторение цикла, если СТ \neq 0
RPCT	1001	$\neq 0$ $= 0$	D PC	-	D PC	-	DEC	\overline{PE}	Повторение, если СТ \neq 0
CRTN	1010	*	PC	-	ST	POP	-	\overline{PE}	Усл. возврат из подпрограммы
CJPP	1011	*	PC	-	D	POP	-	\overline{PE}	Усл. переход
LDCT	1100	*	PC	-	PC	-	LOAD	\overline{PE}	Загрузка СТ
LOOP	1101	*	ST	-	PC	POP	-	\overline{PE}	Орган. цикла
CONT	1110	*	PC	-	PC	-	-	\overline{PE}	Последовател. выборка
TWB	1111	$\neq 0$ $= 0$	ST D	- POP	PC PC	POP POP	DEC -	\overline{PE}	Ветвление в три точки

Предполагается, что C0 = 1; * - произвольное значение.

CLEAR : SP := 0 ;

LOAD : RLD := 0 ,

D \rightarrow CT

PUSH : SP + 1 \rightarrow SP, PC \rightarrow stack (SP)

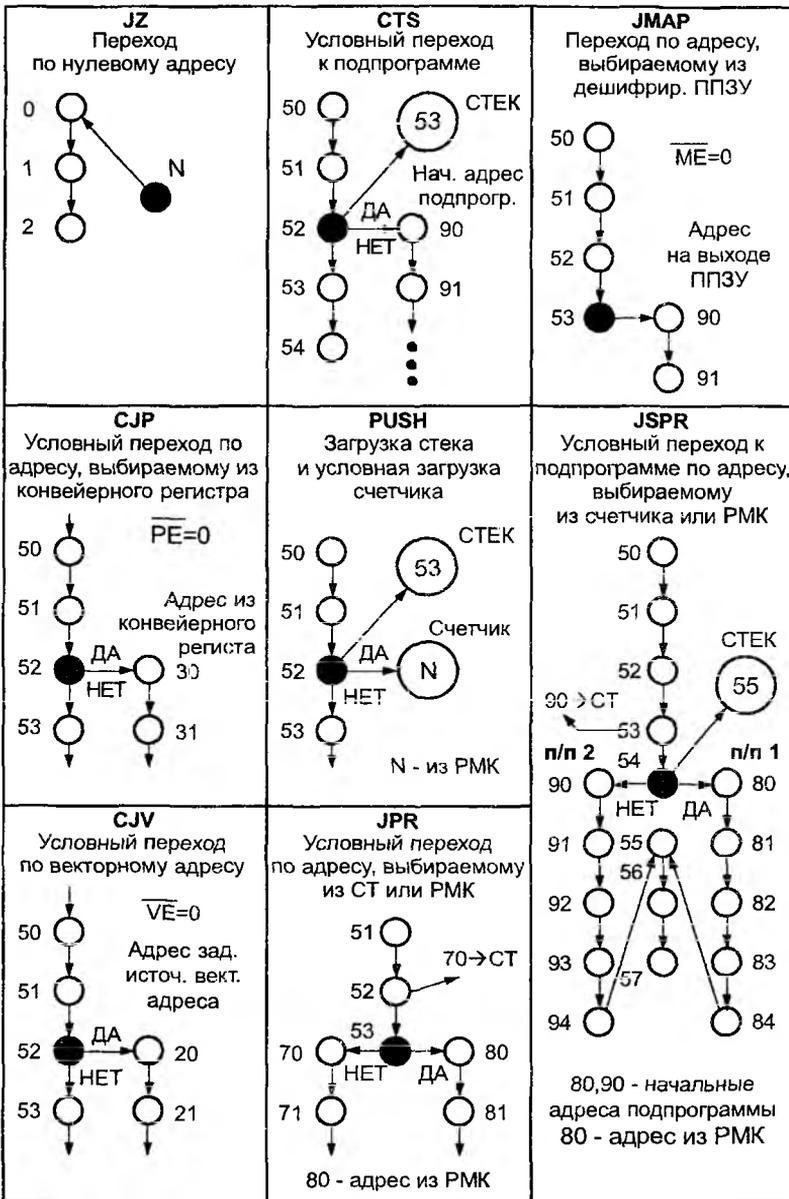


Рис. П8. Примеры выполнения операций БИС К1804ВУ4 (начало)

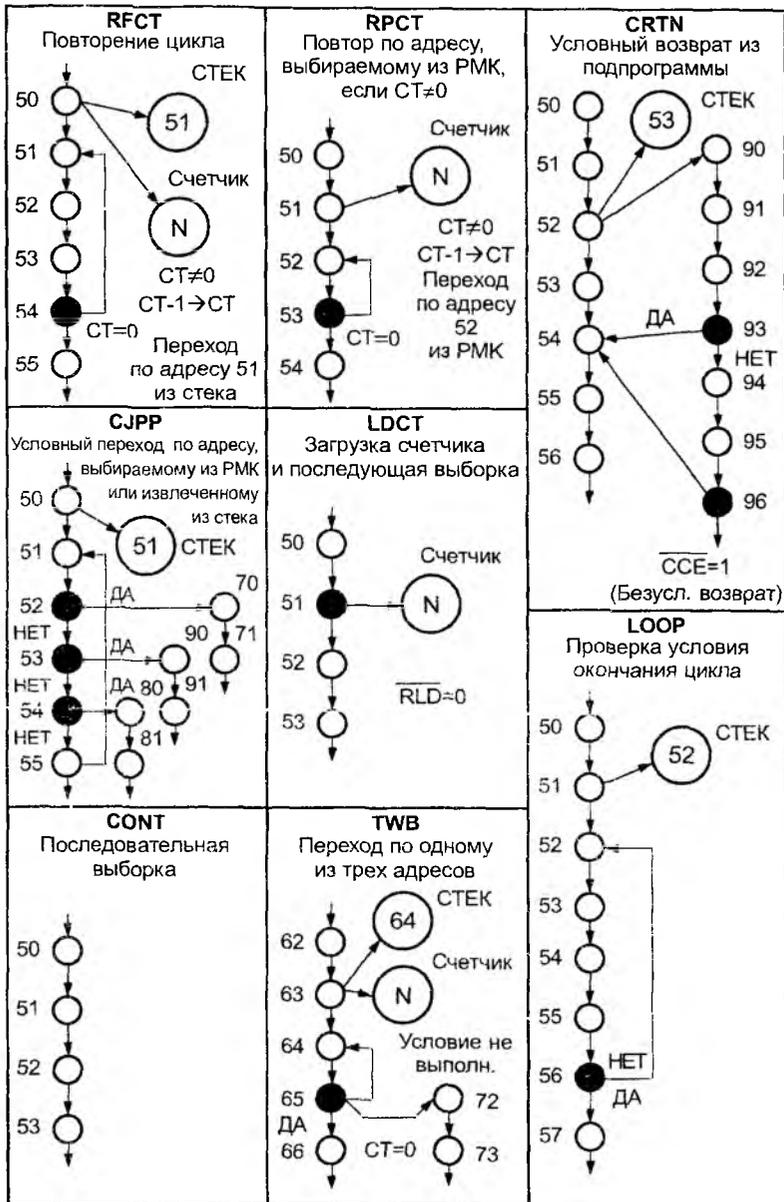


Рис. П8. Примеры выполнения операций БИС К1804ВУ4 (окончание)

- \overline{PE} - из конвейерного регистра (обычно это РМК) адрес перехода в микропрограмме;
- \overline{ME} - из дешифрирующего ППЗУ с целью определения адреса первой микрокоманды выбранной команды центрального устройства управления ЭВМ;
- \overline{VE} - из канала прямого доступа в память или устройства управления прерываниями для заданного векторного адреса перехода.

Входы \overline{CS} и CSE используются для формирования признака выполнения условия при реализации условных и безусловных инструкций :

$$U = \overline{CS} \vee \overline{CSE} = \overline{\overline{CS} \wedge \overline{CSE}}$$

Условие считается выполненным, если $U = 1$. В этом случае производится действие, указанное в названной операции. В противном случае ($U = 0$) реализуется противоположное действие (как правило, $PC := PC + 1$).

Примеры выполнения 16 операций БИС K1804ВУ4 приведены на рис. П8. Они позволяют получить представление о ходе выполнения микропрограммы как последовательности реализации отдельных микрокоманд. Каждый кружок на рисунке указывает, что в данный момент времени содержимое соответствующего слова управляющей памяти находится в регистре микрокоманд. Адреса управляющей памяти, используемые в этих примерах, выбраны произвольно, чтобы только продемонстрировать последовательность выполнения микрокоманд.

В качестве примера рассмотрим выполнение операции CJPP - условный переход по адресу, выбираемому из РМК, и извлечение информации из стека. На рис. П8 показано выполнение цикла путем возврата к микрокоманде с адресом 51 после выполнения микрокоманды с адресом 55. Все микрокоманды, находящиеся в памяти по адресам 52, 53 и 54, задают операцию условного перехода и извлечения из стека. Если при выполнении микрокоманды с адресом 52 условие выполнено, то управление передается по адресу 70 и происходит извлечение информации из вершины стека. В противном случае управление передается следующей по порядку микрокоманде с адресом 53. По адресу 55 находится микрокоманда RFCT.

Секция управления адресом микрокоманды K1804BY1

Микросхема K1804BY1 представляет собой 4-разрядную секцию управления адресом микрокоманды (СУАМ) и предназначена для построения блоков микропрограммного управления цифровых устройств. Секция имеет следующие архитектурные особенности [1]:

- возможность наращивания до любой разрядности, кратной четырем;
- наличие внутреннего регистра адреса (RGA);
- наличие входов установки нулевого адреса;
- наличие входов маски для модификации адреса.

Структурная схема БИС K1804BY1 приведена на рис. П7, б.

Назначение выводов микросхемы следующее:

D3 - D0 - входы задания внешнего адреса следующей микрокоманды;

R3 - R0 - входы регистра адреса RGA;

RE - сигнал разрешения записи в RGA;

ZA - вход установки нулевого адреса;

OR3-OR0 - входы маски;

S1 - S0 - входы сигналов управления мультиплексором;

OE - сигнал разрешения вывода информации из СУАМ;

FE - сигнал разрешения работы со стеком;

PUP - сигнал управления стеком;

C0 - сигнал переноса в счетчик микрокоманд;

CLK - вход подачи тактового сигнала;

Y3 - Y0 - выходные сигналы адреса на трехстабильной шине Y.

Основой блока выборки адреса служит мультиплексор 4 x 1. В зависимости от состояния входов S0 и S1 выбирается источник следующего адреса в соответствии с табл. П10.

Таблица П10

Управление мультиплексором адреса

S1	S0	Выход MX
0	0	CM (PC)
1	0	RGA
0	1	Стек (ST)
1	1	D

На выходе мультиплексора включены двухходовые схемы "ИЛИ", позволяющие модифицировать адрес с помощью маски, подаваемой на входы OR3 - OR0. Далее по схеме включены двухходовые схемы "И", управляемые сигналом ZA.

Управление выходом СУАМ происходит в соответствии с табл. П11.

Таблица П11

Управление выходом Y

OR _i	\overline{ZA}	\overline{OE}	Y
*	*	1	Z
*	0	0	0
1	1	0	1
0	1	0	*)

*) - источник выбирается сигналами S0 и S1.

Счетчик микрокоманд (СМК) состоит из регистра счетчика микрокоманд RG СМК и схемы инкрементора. Увеличение содержимого СМК выполняется по положительному фронту тактового сигнала CLK при наличии "1" на входе переноса C0.

Стек состоит из накопителя организацией 4 x 4 бит, указателя стека SP и схем записи/считывания. Указатель стека представляет собой 2-разрядный реверсивный счетчик. Изменение информации в нем происходит по положительному фронту сигнала CLK. Управление стеком происходит в соответствии с табл. П12.

Таблица П12

Управление стеком

\overline{FE}	PUP	Операция
1	*	Хранение и режим чтения
0	1	PUSH : СМК → стек
0	0	POP : выталкивание из стека

При подаче "0" на вход \overline{FE} разрешается изменение значения SP. Если PUP = 0, то по положительному фронту сигнала CLK SP изменяется по правилу:

$$\downarrow$$

$$2 \rightarrow 1 \rightarrow 0 \rightarrow 3.$$

При $\overline{FE}=0$ и $PUP=1$ SP изменяется по правилу:

$$2 \rightarrow 3 \rightarrow 0 \rightarrow 1$$

Схема управления следующим адресом (УСА) на основе БИС К1804ВУ3 предназначена для преобразования поля инструкции микрокоманды $I_3 - I_0$ и входа проверяемого условия TST в набор управляющих сигналов для управления БМУ на основе БИС К1804ВУ1. Основой БИС является комбинационный преобразователь, имеющий пять входов и восемь выходов. Преобразователь выполнен в виде ПЗУ организацией 32 x 8 - разрядных слов (рис. П9).

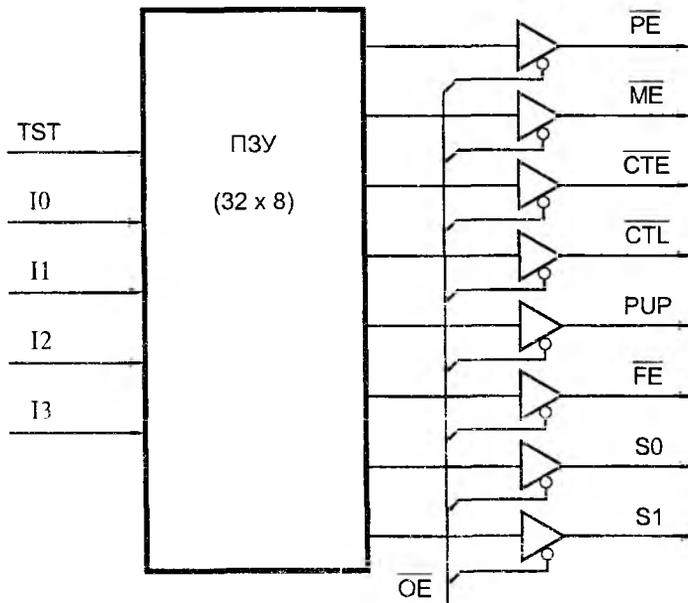


Рис. П9. Структурная схема БИС К1804ВУ3

Сигналы \overline{CTE} и \overline{CTL} могут быть использованы для управления внешним счетчиком событий. Схема УСА позволяет реализовать 16 инструкций управления последовательностью микрокоманд. Набор операций БИС К1804ВУ1 идентичен набору операций БИС К1804ВУ4 и отличается лишь операцией с кодом 15. В микросхеме К1804ВУ1 эта операция обозначается JP и является безусловным переходом по адресу, выбираемому из регистра микрокоманд.

В табл. П13 мнемонические обозначения инструкций совмещены с таблицей истинности комбинационного преобразователя УСА. Графическое обозначение микросхем для построения БМУ показано на рис. П10.

Таблица П13

Инструкции схемы К1804ВУ3 и их коды

Мне- мон.	I3	I2	I1	I0	TST	S1	S0	\overline{FE}	PUP	\overline{CTL}	\overline{CTE}	\overline{ME}	\overline{PE}
JZ	0	0	0	0	*	1	1	1	1	0	0	1	0
CJS	0	0	0	1	0 1	0 1	0 1	1 0	1 1	1 1	1 1	1 1	0 0
JMAP	0	0	1	0	*	1	1	1	1	1	1	0	1
CJP	0	0	1	1	0 1	0 1	0 1	1 1	1 1	1 1	1 1	1 1	0 0
PUSH	0	1	0	0	0 1	0 0	0 0	0 0	1 1	1 0	1 1	1 1	0 0
JSRP	0	1	0	1	0 1	0 1	1 1	0 0	1 1	1 1	1 1	1 1	0 0
CJV	0	1	1	0	0 1	0 1	0 1	1 1	1 1	1 1	1 1	1 1	1 1
JRP	0	1	1	1	0 1	0 1	1 1	1 1	1 1	1 1	1 1	1 1	1 0
RFCT	1	0	0	0	0 1	1 0	0 0	1 0	0 0	1 1	0 1	1 1	0 0
RPCT	1	0	0	1	0 1	1 0	1 0	1 1	1 1	1 1	0 1	1 1	0 0
CRTN	1	0	1	0	0 1	0 1	0 1	1 0	0 0	1 1	1 1	1 1	0 0
CJPP	1	0	1	1	0 1	0 1	0 1	1 0	0 0	1 1	1 1	1 1	0 0
LDCT	1	1	0	0	*	0	0	1	1	0	1	1	0
LOOP	1	1	0	1	0 1	1 0	0 0	1 0	0 0	1 1	1 1	1 1	0 0
CONT	1	1	1	0	*	0	0	1	1	1	1	1	0
JP	1	1	1	1	*	1	1	1	1	1	1	1	0

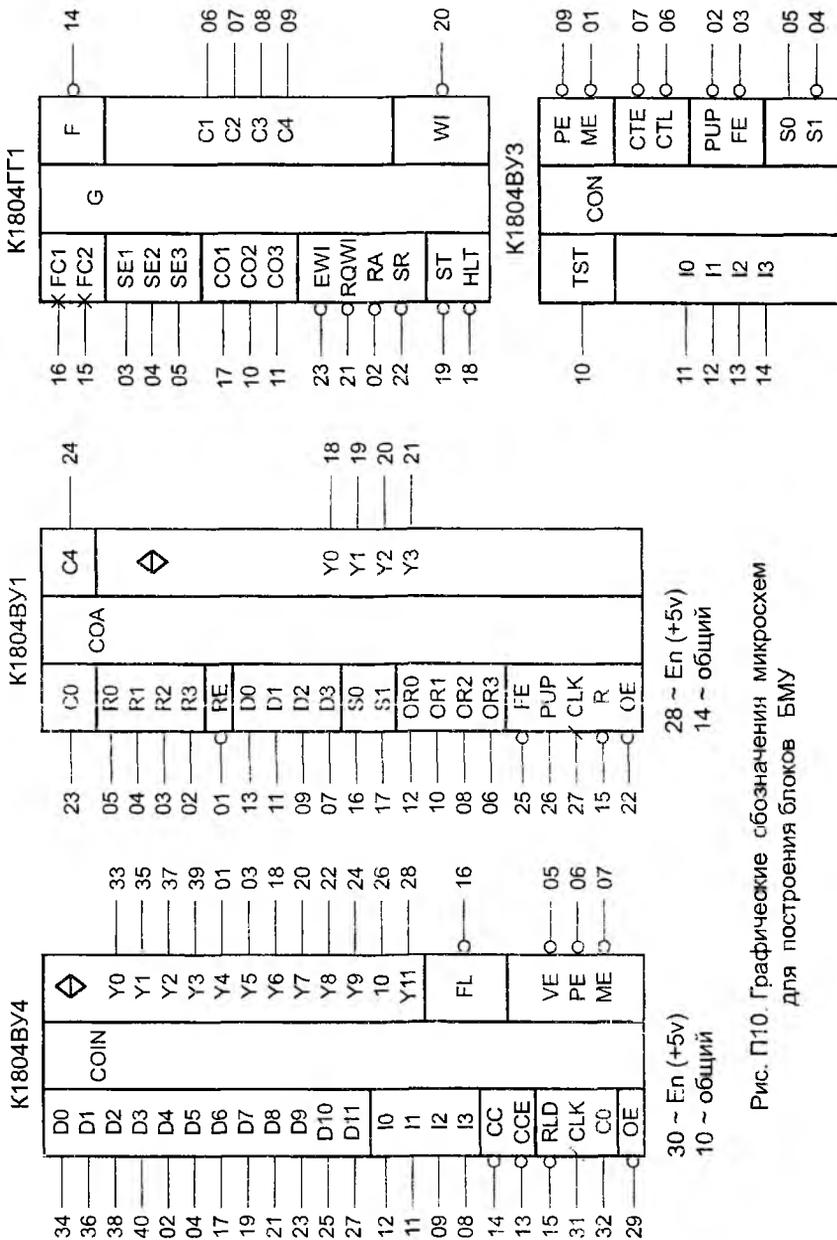


Рис. П10. Графические обозначения микросхем для построения блоков БМУ

3. МЕТОДИЧЕСКИЕ УКАЗАНИЯ ПО ПРОЕКТИРОВАНИЮ БЛОКА СИНХРОНИЗАЦИИ

Основой для построения блока синхронизации служит микросхема тактового генератора K1804ГГ1 [3 , 5]. Микросхема имеет следующие особенности :

- микропрограммное управление, позволяющее формировать на четырех тактовых выходах один из восьми возможных совокупностей сигналов длительностью от 3 до 10 циклов внутреннего генератора;
- наличие входов управления, обеспечивающих четыре режима работы микросхемы: "Работа", "Приостановка", "Ожидание" и "Пошаговый режим" ;
- наличие внутреннего генератора , стабильно работающего на частотах до 31 МГц .

Обозначение микросхемы K1804ГГ1 показано на рис. П10.

Назначение выводов микросхемы следующее :

- SE1 - SE3 - входы управления длительностью микроцикла. Используются для выбора одной из восьми длительностей тактовых сигналов на выходах C1 - C4;
- C1 - C4 - тактовые выходы ;
- \overline{F} - выход внутреннего генератора опорной частоты;
- SR - вход "Запуск". Используется для запуска системы при включении питания. При $\overline{SR} = 0$ тактовые выходы нормально работают независимо от сигналов на входах \overline{HLT} , CO2, CO3, \overline{RQWI} , \overline{RA} ;
- FC1, FC2 - входы для подключения кварцевого резонатора;
- \overline{HLT} - вход "Приостановка". При нулевом сигнале на входе \overline{HLT} ($\overline{ST}=1$) микросхема переходит в режим "Приостановка" в момент, определяемый сигналом на входе CO1;
- \overline{ST} - вход "Пуск". При нулевом сигнале на входе \overline{ST} ($\overline{HLT}=1$) микросхема возобновляет нормальную работу;
- CO1 - вход управления состоянием выходов в режиме "Приостановка". Нулевой сигнал на входе CO1 в совокупности с $\overline{HLT}=0$ ($\overline{ST}=1$) вызывает переход микросхемы в режим "Приостановка" в момент, когда C1=C2=C3=0 и C4=1, а при CO1=1 - в момент, когда C1=C2=C3=1 и C4=0;
- CO2, CO3 - входы управления пошаговым режимом. Нулевой сигнал на входе CO3 (CO2=1) во время режима "Приостановка" вызывает прохождение одного микроцикла;

\overline{RQWI}	- вход "Запрос ожидания". Нулевой сигнал на этом входе переводит микросхему в режим "Ожидание" в течение следующего цикла внутреннего генератора после того, как на входе \overline{EWI} установится нуль;
\overline{EWI}	- вход "Разрешение ожидания". Используется для разрешения перехода микросхемы в режим "Ожидание" (при $\overline{EWI} = 0$);
\overline{WI}	- выход "Ожидание". Используется для сигнализации того, что микросхема находится в состоянии "Ожидание" (при $WI=0$);
\overline{RA}	- вход "Готов". Подача нулевого сигнала на вход \overline{RA} используется для возобновления нормальной работы микросхемы после режима "Ожидание".

Временные диаграммы сигналов на выходах тактового генератора приведены на рис. П111. Сигнал на тактовом выходе С1 всегда равен нулю на последнем периоде внутреннего генератора F. Сигнал на выходе С4 всегда равен нулю на первом периоде внутреннего генератора F. Сигнал на выходе С3 остается равным единице приблизительно половину длительности микроцикла. Сигнал на выходе С2 остается равным единице на всей длине микроцикла, кроме двух последних периодов внутреннего генератора F.

Входы микросхемы обычно присоединяются к переключателям на передней панели ЭВМ и снабжены RS - триггерами для устранениядребезга переключателей. При нулевом сигнале на входе \overline{ST} ($\overline{HLT}=1$) микросхема находится в режиме "Работа". Когда сигнал на входе \overline{HLT} становится равным нулю ($\overline{ST}=1$), микросхема переходит в режим "Приостановка" в момент, определяемый сигналом на входе CO1. При CO1 = 1 приостановка происходит в первой части микроцикла (C1 = C2 = C3 = 1 и C4 = 0). При CO1 = 0 приостановка происходит в последней части микроцикла (при C1 = C2 = C3 = 0 и C4 = 1). Допускается просто припаивать этот вход к "1" или "0". При переходе сигнала на входе \overline{ST} в "0" ($\overline{HLT} = 1$) микросхема возобновляет работу.

Входы CO3 и CO2 используются для запуска пошагового режима во время того, как микросхема находится в режиме "Приостановка". После того как сигнал на входе CO3 будет установлен в "0" (CO2 = 1), разрешается прохождение одного микроцикла ("Пошаговый режим"). В зависимости от сигнала на входе CO1 в первой или последней части этого микроцикла произойдет возврат микросхемы в режим "Приостановка".

Режим "Ожидание" заключается в динамическом растягивании микроцикла и служит для синхронизации CPU с медленными устройствами.

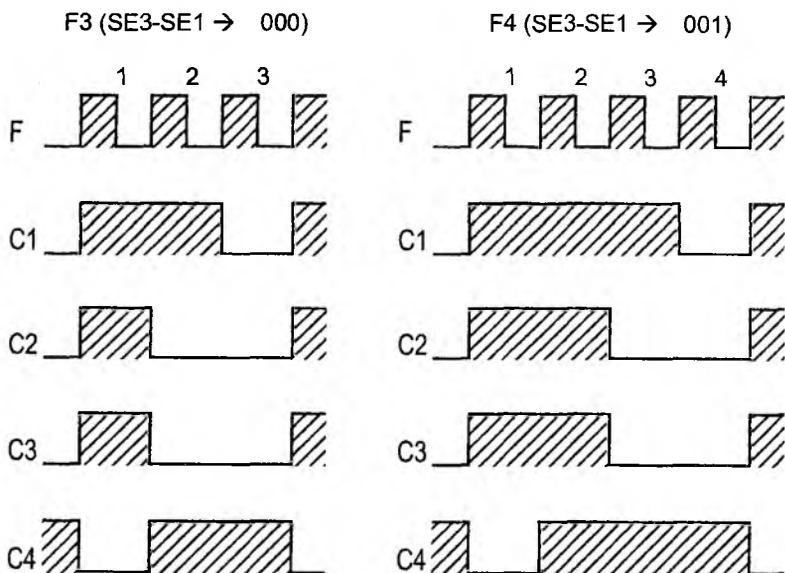


Рис. П11. Временные диаграммы сигналов тактового генератора.

Пусть, например, цикл выполнения одной микрокоманды $t_{\text{мк}}=250\text{нс}$. Тогда частота следования синхросигналов будет составлять 4 МГц.

Период следования опорной частоты примем равным 50 нс. Тогда частота следования импульсов $f_{\text{оп}}$ будет составлять 20 МГц. Для получения стабильной опорной частоты необходимо к выводам FC1 и FC2 микросхемы ГГ1 подключить кварцевый резонатор ВQ на 20 МГц и два конденсатора С1 и С2 по 68 пФ каждый (рис. П12).

Управление генератором осуществляется путем подачи управляющих сигналов на входы СО1 - СО3. При этом возможно формировать длительность цикла импульсов синхронизации от 3 до 10 периодов опорной частоты $f_{\text{оп}}$.

На рис. П13 показаны два типа микроциклов: «короткий» (нормальный) цикл работы длительностью 250 нс (получают подачей сигналов СО1=СО3=1 и СО2=0) и «длинный» цикл, длительностью 500 нс, который может быть использован при работе с «медленной» ОП с циклом записи-считывания данных не более 500 нс (этот цикл получают подачей сигналов СО1=1, СО2=СО3=0).

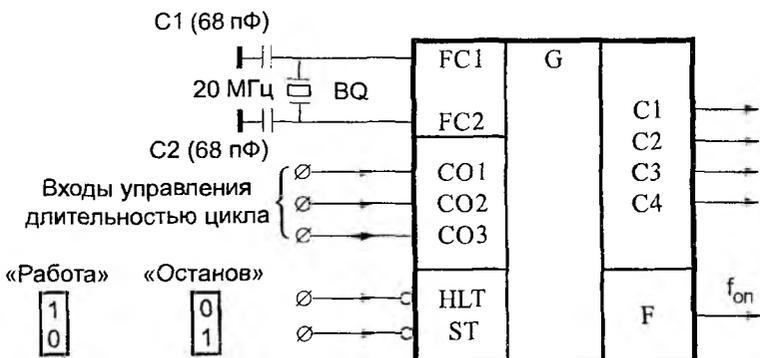


Рис. П12. Схема управления генератором

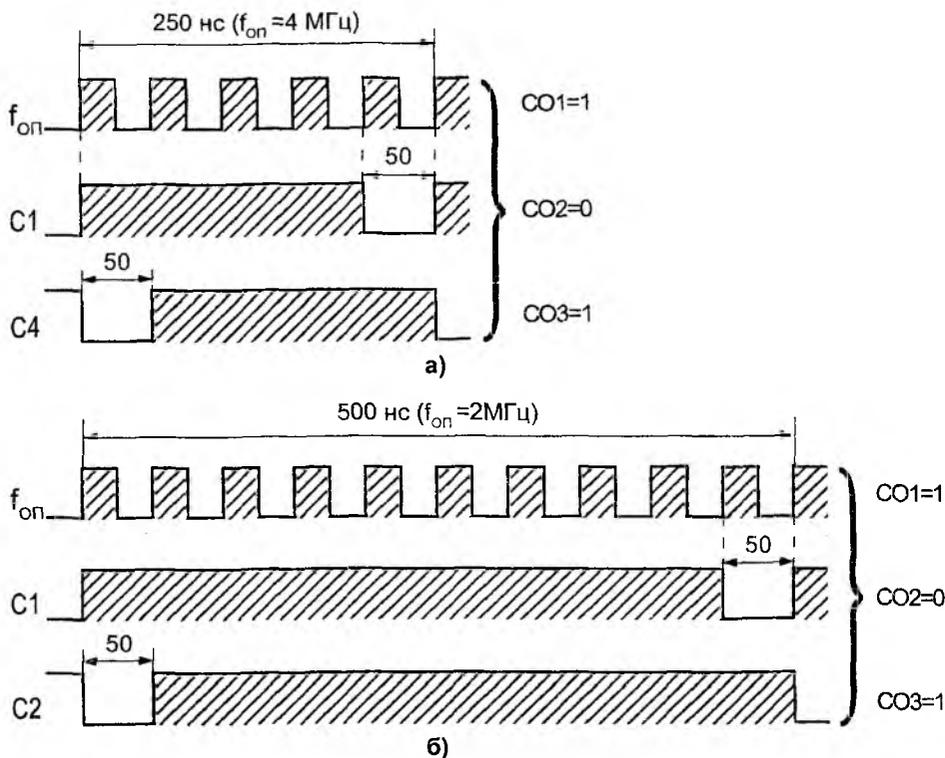


Рис. П13. Временные диаграммы:
а) - «короткий» цикл; б) - «длинный» цикл

СОДЕРЖАНИЕ	Стр.
ОБЩИЕ МЕТОДИЧЕСКИЕ УКАЗАНИЯ	3
РАБОТА N 1. Блоки обработки данных микропроцессорных устройств	4
РАБОТА N 2. Техника составления микропрограмм	7
РАБОТА N 3. Организация подпрограмм и циклов	13
РАБОТА N 4. Алгоритмы умножения целых чисел с фиксированной запятой	16
РАБОТА N 5. Алгоритмы деления целых чисел одинарного и двойного форматов	22
РАБОТА N 6. Алгоритмы сложения - вычитания с плавающей запятой	24
РАБОТА N 7. Алгоритмы умножения (деления) с плавающей запятой	32
РАБОТА N 8. Обработка команд различных форматов	37
ПРИЛОЖЕНИЕ	
1. - Методические указания по проектированию блоков обработки данных	46
2. - Методические указания по проектированию блоков микропрограммного управления	60
3. - Методические указания по проектированию блока синхронизации	72

Учебное издание
Методические указания и задания
к практической работе студентов по дисциплине
"Цифровые ЭВМ" (для студентов специальности 7.09 15 01
дневной и заочной форм обучения)

Составители: ЛАПКО Владимир Васильевич,
 ГУБАРЬ Юрий Владимирович