

1. МЕТОДИЧЕСКИЕ УКАЗАНИЯ ПО ПРОЕКТИРОВАНИЮ БЛОКОВ ОБРАБОТКИ ДАННЫХ

Микропроцессорная секция K1804BC1

Микропроцессорная секция (МПС) K1804BC1 предназначена для приема, оперативного хранения и обработки двоичной информации. Одна секция имеет четыре разряда. При соединении n БИС МПС возможна обработка $4n$ - разрядных слов с последовательным и параллельным (при применении схемы переносом).

Структурная схема МПС приведена на рис. П1, а. В ее состав входят: АЛУ, блок РОН, два сдвигателя (СДВ1 и СДВ2), два буферных регистра (RGA и RGB), два мультиплексора (MX), рабочий регистр RQ и декодер микрокоманд DC. На структурной схеме приняты следующие обозначения:

- AA (3 - 0) - входы адреса РОН по каналу А;
- AB (3 - 0) - входы адреса РОН по каналу В;
- I (8 - 0) - входы кода микрокоманды;
- CLK - вход синхронизации;
- PF3, PF0, PQ3, PQ0 - двунаправленные цепи сдвига информации в АЛУ и рабочем регистре RQ;
- D (3 - 0) - информационный вход;
- Y (3 - 0) - информационный выход с тремя состояниями;
- OE - вход управления выдачей информации;
- C0 - вход переноса АЛУ;
- C4 - выход переноса АЛУ;
- Z - выход (с открытым коллектором) признака нулевого результата АЛУ;
- OVR - выход признака переполнения результата АЛУ;
- F3 - выход знака результата (старший разряд АЛУ);
- P, G - выходы разрешения распространения параллельного переноса и формирования местного группового переноса.

Основными элементами структурной схемы МПС K1804BC1 являются блок РОН (16 регистров по 4 разряда каждый) с двумя выходными портами и быстродействующее АЛУ.

Под управлением 4 - разрядного адресного слова, поданного на вход AA, любое из 16 слов РОН может быть считано через порт А.

Одновременно через выходной порт В можно производить считывание любого регистра РОН, определяемого адресным

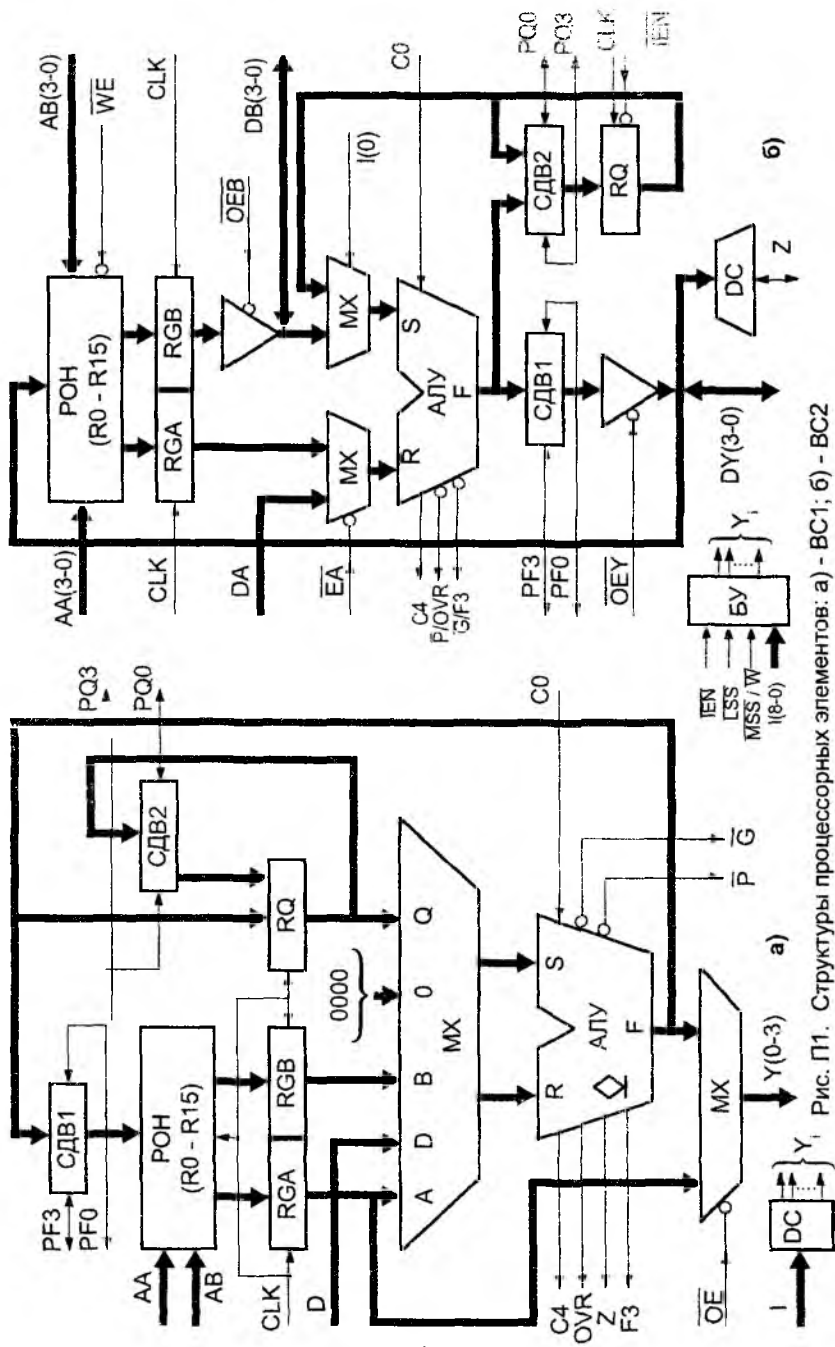


Рис. П1. Структуры процессорных элементов: а) - ВС1; б) - ВС2

словом АВ. Запись новой информации в РОН может производиться только по адресу АВ. Данные поступают в РОН через сдвигатель СДВ1. Это позволяет, когда требуется, производить сдвиг выходных данных АЛУ (шина F) на один разряд вправо или влево при записи F в РОН без сдвига.

К обоим выходным портам РОН подключены буферные регистры RGA и RGB для исключения "гонок" при записи новых данных в РОН.

АЛУ может выполнять три арифметических и пять логических операций над двумя 4-разрядными словами R и S, данные на которые подаются через мультиплексор МХ. Такая схема подключения дает возможность выбирать различные пары сигналов А, В, D, Q и 0 в качестве операндов АЛУ (см. табл. П1).

Таблица П1

Выбор источников операндов АЛУ

Микрокоманда			Источники	
I_2	I_1	I_0	R	S
0	0	0	A	Q
0	0	1	A	B
0	1	0	0	Q
0	1	1	0	B
1	0	0	0	A
1	0	1	D	A
1	1	0	D	Q
1	1	1	D	0

Рабочий регистр RQ (аккумулятор) предназначен для реализации операций умножения и деления, а также может быть использован в качестве аккумулятора. С помощью сдвигателя СДВ2 содержимое регистра RQ может быть сдвинуто на один разряд влево или вправо.

Выбор операций АЛУ и приемников результата производится в соответствии с табл. П2 - табл. П3.

Для каскадного соединения нескольких БИС служат сигналы входного С0 и выходного С4 переносов. С целью установления факта получения нулевого результата необходимо объединить выходы Z всех микропроцессорных секций по схеме проводного "ИЛИ". Когда все выходы F АЛУ принимают нулевое состояние, на выходе Z устанавливается высокий уровень сигнала.

Таблица П2

Выбор операции АЛУ

Микрокоманда			Операция
I_8	I_7	I_6	
0	0	0	$F = R + S + C0$
0	0	1	$F = S + \bar{R} + C0$
0	1	0	$F = R + \bar{S} + C0$
0	1	1	$F = R \vee S$
1	0	0	$F = R \wedge S$
1	0	1	$F = \bar{R} \wedge S$
1	1	0	$F = R \oplus S$
1	1	1	$F = (\overline{R \oplus S})$

Таблица П3

Выбор приемников результата АЛУ

Микрокоманда			РОН		RQ		Выход Y
I_8	I_7	I_6	Сдвиг	Загрузка	Сдвиг	Загрузка	
0	0	0	-	-	-	$F \rightarrow RQ$	F
0	0	1	-	-	-	-	F
0	1	0	-	$F \rightarrow R(B)$	-	-	A
0	1	1	-	$F \rightarrow R(B)$	-	-	F
1	0	0	Вправо	$F/2 \rightarrow R(B)$	Вправо	$RQ/2 \rightarrow RQ$	F
1	0	1	Вправо	$F/2 \rightarrow R(B)$	-	-	F
1	1	0	Влево	$2F \rightarrow R(B)$	Влево	$2RQ \rightarrow RQ$	F
1	1	1	Влево	$2F \rightarrow R(B)$	-	-	F

При несовпадении переносов в знаковый и из знакового разрядов АЛУ формируется признак переполнения результата (на выходе OVR устанавливается высокий уровень напряжения).

Вывод данных из процессорной секции производится с помощью схем с тремя состояниями, выходы которых Y могут быть подключены к магистрали. Для выдачи данных с порта F АЛУ или с порта A РОН необходимо подать сигнал $OE = 0$.

Загрузка данных в регистр RQ производится по переднему фронту тактового сигнала CLK, когда имеется разрешение на запись. Если на вход CLK поступает высокий уровень, регистры RGA и RGB находятся в открытом состоянии и пропускают данные с РОН. При низком уровне сигнала CLK регистры находятся в состоянии хранения информации. Запись данных в РОН производится по адресу АВ при низком уровне сигнала CLK.

Сигналы признаков C4 , F3 , Z и OVR могут быть поданы на регистр состояния для контроля правильности выполнения вычислений и организации условных переходов в программе. Временная диаграмма работы микропроцессорной секции K1804BC1 представлена на рис. П2. На временной диаграмме показаны временные соотношения входных и выходных сигналов микропроцессорной секции.

При этом использованы следующие международные обозначения временных параметров сигналов :

- $t_{(x)}$ - время задержки выходного импульса относительно входа, указанного в скобках;
- $t_{SU(y-x)}$ - время установления сигнала на входе Y до прихода сигнала на входе X;
- $t_{H(y-x)}$ - время сохранения сигнала на входе Y после окончания сигнала на входе X;
- $\tau_{(x)}$ - минимальная длительность импульса на выходе X.

При обозначении t_{SU} первым указывается индекс того входа, по которому сигнал опережает другой, а при обозначении t_{H} первым указывается индекс того входа, на котором сигнал сохраняется после окончания другого.

Для организации ускоренных параллельных переносов при выполнении арифметических операций над многоразрядными операндами служит схема ускоренного переноса (СУП) K1804BP1. Одна схема СУП позволяет организовать параллельные цепи переноса над 16 - разрядными операндами (рис. П3). При разрядности процессора больше 16 может быть использовано каскадное включение СУП. На схеме приняты следующие обозначения входных и выходных сигналов:

- \overline{P} - условие распространения переноса (инверсное значение);
- \overline{G} - сигнал генерации местного переноса (инверсный сигнал);
- CX , CY , CZ - выходы переносов старшей, средней и младшей групп соответственно;
- C0 - вход переноса.

При выполнении сдвиговых операций необходимо с помощью внешних схем организовать коммутацию информации на двунаправленных шинах крайних МПС. Это можно сделать с помощью мультиплексоров с тристабильными выходами (рис. П4). В качестве последних могут быть использованы микросхемы K531КП11 или K555КП12. Седьмой разряд микрокоманды (I₇) используется для управления мультиплексорами, определяя, какой из них, первый или второй, является активным. Выходы неактивного мультиплексора находятся с третьем состоянии и не влияют на функционирование схемы. Сигналы микрокоманды S0 и S1 определяют тип реализуемого сдвига (табл. П4).

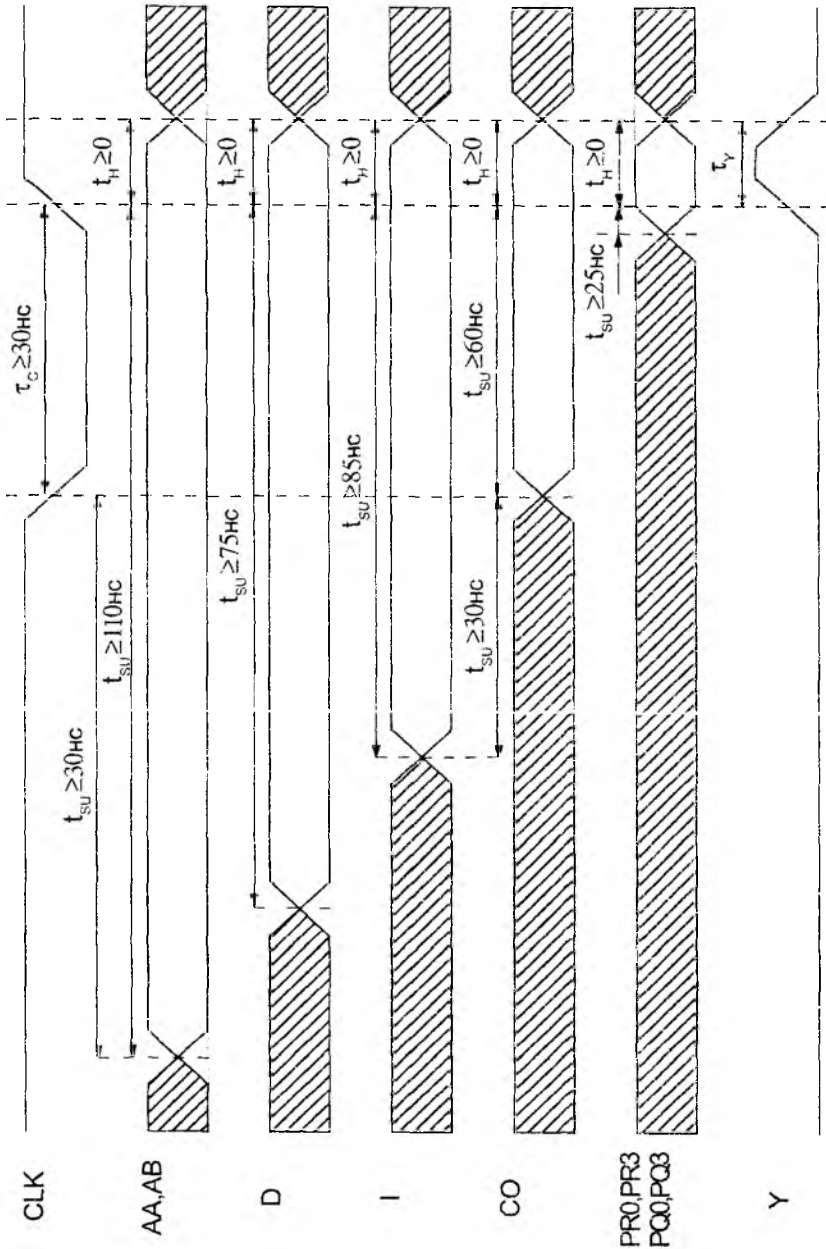


Рис. П2. Временная диаграмма работы МПС К1804ВС1

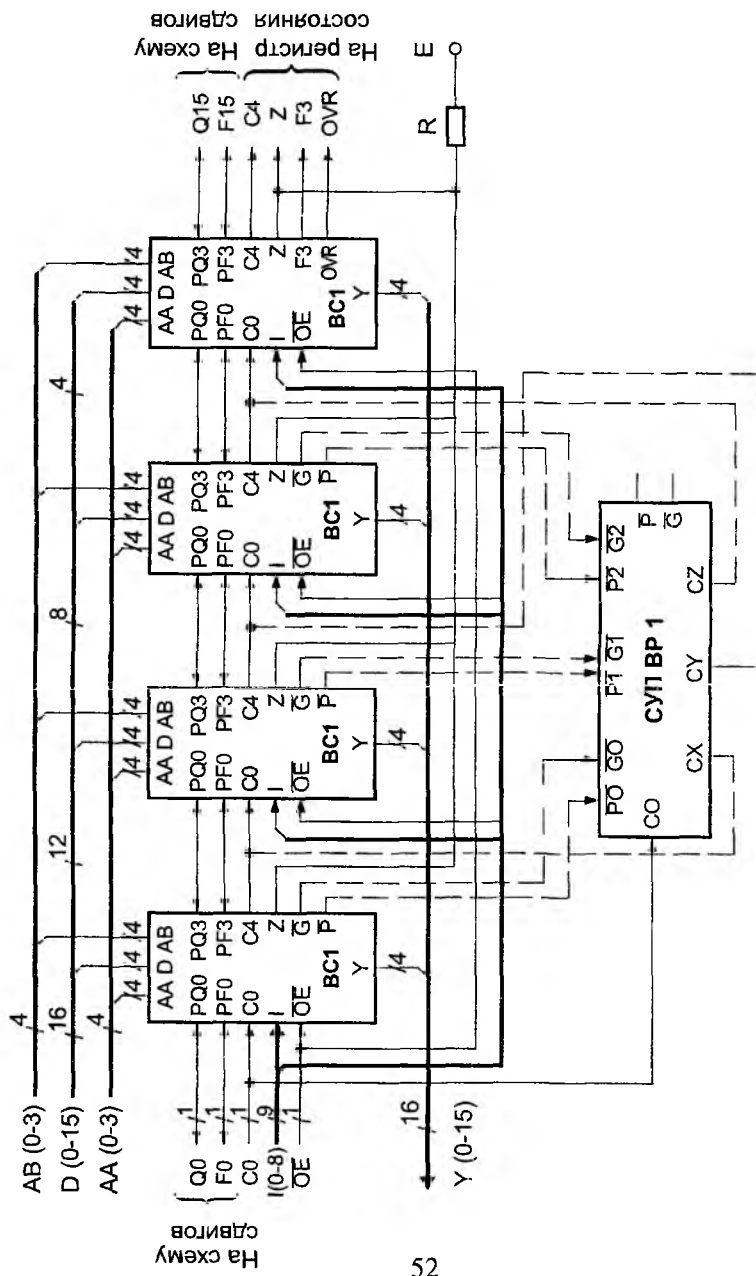


Рис. ПЗ. Устройство обработки данных на 16 разрядов.

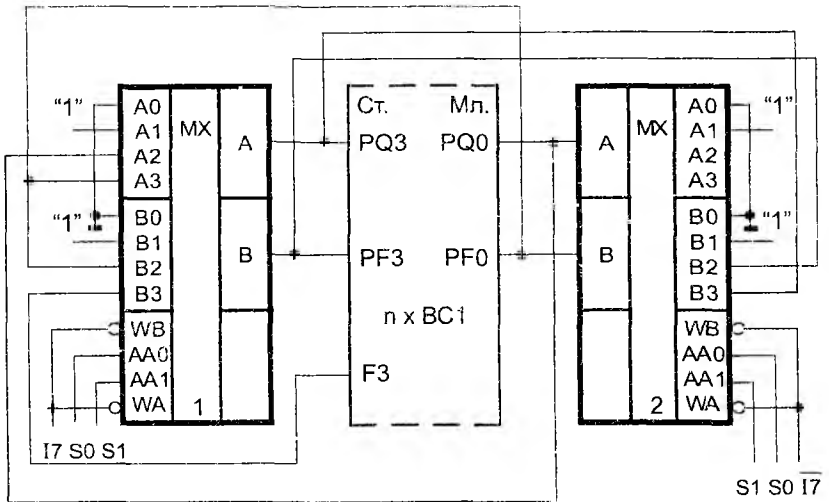


Рис. П4. Схема организации сдвигов

Таблица П4

Управление сдвигами BC1

Микрокоманда			F (выход АПУ)	RQ (аккумулятор)
I ₇	S ₁	S ₀		
0	0	0	"0" →	"0" →
0	0	1	"1" →	"1" →
0	1	0	←	←
0	1	1	"F3" →	→
1	0	0	← "0"	← "0"
1	0	1	← "1"	← "1"
1	1	0	←	←
1	1	1	← "0"	← "0"

Микропроцессорная секция K1804BC2

Микропроцессорная секция K1804BC2 по назначению и принципу построения аналогична БИС K1804BC1, кроме следующих особенностей:

- наличие АЛУ, выполняющего не только арифметические и логические, но и специальные функции;
- наличие сдвигателя данных АЛУ, выполняющего логические и арифметические сдвиги;
- наличие встроенных схем для программно - аппаратной реализации умножения, деления, нормализации, преобразования в дополнительный код и других операций;
- наличие двух дополнительных двунаправленных шин ввода - вывода информации.

Структурная схема МПС K1804BC2 показана на рис. П1, б. Микропрограммирование БИС выполняется в соответствии с табл. П5 - табл. П8.

Таблица П5

Источники операндов АЛУ

Код на входе			Источники	
\overline{EA}	I_0	\overline{OEB}	R	S
0	0	0	RGA	RGB
0	0	1	RGA	DB
0	1	*	RGA	RQ
1	0	0	DA	RGB
1	0	1	DA	DB
1	1	*	DA	RQ

В качестве операндов R и S АЛУ в зависимости от управляющих сигналов \overline{EA} , \overline{OEB} и I_0 могут быть выбраны из РОН, рабочего регистра RQ или с шин DA и DB. Перечень микроинструкций, выполняемых АЛУ над операндами R и S с учетом входного переноса C_0 , и в зависимости от кода микрокоманды $I_4 \dots I_0$ приведен в табл. П6.

АЛУ обеспечивает выполнение семи арифметических, девяти логических операций и девяти специальных функций над одним или двумя 4 - разрядными входными операндами (R и S), поступающих с выходов мультиплексоров.

Выбор приемника результата АЛУ (РОН, выход DY или регистр RQ), вида и направления сдвига производится сигналами $I_8 \dots I_5$ кода микрокоманды, при условии, что хотя бы один из разрядов $I_4 \dots I_0$

принимает значение "1" и управляющий сигнал $\overline{IEN} = 0$ (см. табл. П7). Выходные данные АЛУ выводятся на выход \overline{DY} БИС при $\overline{OEY} = 0$. Одновременно они могут быть записаны в РОН по адресу АВ.

Сдвигатель данных АЛУ, в отличие от сдвигателя регистра RQ, кроме описанных логических сдвигов, когда все разряды сдвигаются одинаково, может выполнять и арифметические сдвиги. Арифметические сдвиги выполняются также, как и логические, за исключением того, что старший (знаковый) разряд старшей МПС не участвует в сдвигах. Когда сдвиги не выполняются выходы сдвигателей PF3, PF0, PQ3 и PQ0 находятся в третьем состоянии.

Формирователь признака нуля вырабатывает сигнал состояния Z. Наличие "1" на этом выводе означает, что все сигналы на выходах АЛУ, или на выходах RQ, или на выходах АЛУ и на выходах RQ нулевые.

Выход старшего разряда результата АЛУ (F3) и выход переполнения (OVR) используются только в старшей МПС. Поэтому в МПС используются объединенные выходы G/F3 и P/OVR, которые действуют как G и P для средних и младших МПС и как F3 и OVR - для старшей. Поэтому при соединении МПС необходимо выполнить настройку на заданное положение (старшая, средняя или младшая МПС). Такая настройка осуществляется с помощью шин \overline{LSS} и $\overline{MSS/W}$.

В младшей МПС на входе \overline{LSS} устанавливается "0". При этом шина $\overline{MSS/W}$ становится выходом (W). Сигнал на выходе W устанавливается в "0" для каждого такта, в течение которого происходит запись данных в РОН. Поэтому обычно входы \overline{WE} всех МПС соединяют с выходом W младшей МПС, как показано на рис. П5. В средней и старшей МПС на входе \overline{LSS} устанавливается "1". При этом шина $\overline{MSS/W}$ становится входом (\overline{MSS}). В средней МПС на входе \overline{MSS} устанавливается "1", а в старшей МПС - "0".

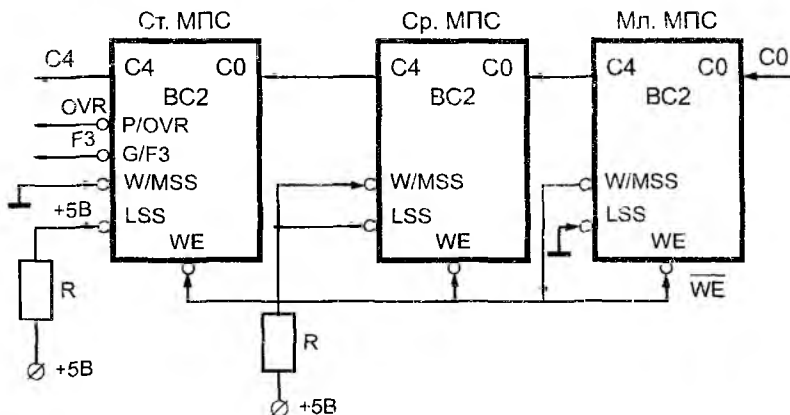


Рис. П5. Схема подключения микросхем BC2

Таблица П6
Операции АЛУ

Код микрокоманды					Функция АЛУ
I ₄	I ₃	I ₂	I ₁	I ₀	
0	0	0	0	0	Спец. функции
0	0	0	0	1	1 1 1 1
0	0	0	1	x	S + \bar{R} + C0
0	0	1	0	x	R + \bar{S} + C0
0	0	1	1	x	R + S + C0
0	1	0	0	x	S + C0
0	1	0	1	x	\bar{S} + C0
0	1	1	0	1	R + C0
0	1	1	1	1	\bar{R} + C0
1	0	0	0	1	0 0 0 0
1	0	0	1	x	\bar{R} + S
1	0	1	0	x	R \oplus S
1	0	1	1	x	R \oplus S
1	1	0	0	x	R \wedge S
1	1	0	1	x	\bar{R} \vee S
1	1	1	0	x	R \wedge S
1	1	1	1	x	R \vee S

Таблица П7
Выбор приемника результата ($\overline{IEN} = 0, I_0, V, I_1, V, I_2, V, I_3, V, I_4 = 1$)

Микрокоманда					Функция СДВ1	W	Функция СДВ2
I ₈	I ₇	I ₆	I ₅	I ₄			
0	0	0	0	0	Арифм. F / 2 → DY	0	Q → Q
0	0	0	1	0	Логич. F / 2 → DY	0	Q → Q
0	0	1	0	0	Арифм. F / 2 → DY	0	Логич. RQ / 2 → RQ
0	0	1	1	0	Логич. F / 2 → DY	0	Логич. RQ / 2 → RQ
0	1	0	0	0	F → DY	0	Q → Q
0	1	0	1	0	F → DY	1	Логич. RQ / 2 → RQ
0	1	1	0	0	F → DY	1	F → RQ
0	1	1	1	0	F → DY	0	F → RQ
1	0	0	0	0	Арифм. 2 F → DY	0	Q → Q
1	0	0	1	0	Логич. 2 F → DY	0	Q → Q
1	0	1	0	0	Арифм. 2 F → DY	0	Логич. 2 RQ → RQ
1	0	1	1	0	Логич. 2 F → DY	0	Логич. 2 RQ → RQ
1	1	0	0	0	(NOP) F → DY	1	Q → Q
1	1	0	1	0	F → DY	1	Логич. 2 RQ → RQ
1	1	1	0	0	PF0 → DY (0 - 3)	0	Q → Q
1	1	1	1	1	F → DY	0	Q → Q

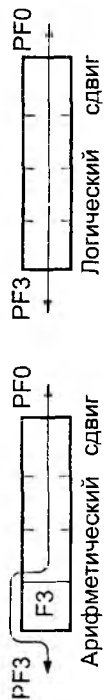


Таблица П8

Специальные функции АЛУ БИС К1804ВС2 ($I_0 = I_1 = I_2 = I_3 = I_4 = I_5 = 0, IEN = 0$)

Код микрокоманды			Функция АЛУ	Операция АЛУ		Операция сдвигаг. F	Операция сдвигаг. RQ	Примечание	
I_8	I_7	$I_6 I_5$		$(Z = 0)$	$(Z = 1)$				
0	0	0	0	0	S + C0	R+S+C0	F/2 → DY Логичес.	RQ/2 → RQ Логичес.	Z=Q(0) PF3=C4
0	0	1	0	0	S + C0	R+S+C0	F/2 → DY PF3 = F3 ⊕ OVR	RQ/2 → RQ Логичес.	Z=Q(0)
0	1	0	0	0	S+1+C0	S+1+C0	F → DY	RQ → RQ	—
0	1	0	1	0	S + C0	$\bar{S} + C0$	F → DY	RQ → RQ	PF3=F3 ⊕ S(3)
0	1	1	0	0	S + C0	S + \bar{R} +C0	F/2 → DY Логичес.	RQ/2 → RQ Логичес.	Z=Q(0) PF3=F3 ⊕ V
1	0	0	0	0	S + C0	S + C0	F → DY	2RQ → RQ Логичес.	—
1	0	1	0	0	S + C0	S + C0	2F → DY Логичес.	2RQ → RQ Логичес.	—
1	1	0	0	0	S+R+C0	S+ \bar{R} +C0	2F → DY Логичес.	2RQ → RQ Логичес.	—
1	1	1	0	0	S+R+C0	S+ \bar{R} +C0	F → DY	2RQ → RQ Логичес.	—

Микрокоманды с кодами F и E из табл. П7 могут быть использованы для расширения знака. Например, если 16-разрядный процессор должен интерпретировать 8-разрядные данные как двоичные числа со знаком, то знаковый разряд расширяется на один байт. Две МПС младшего байта генерируют данные, поэтому на них подается микрокоманда F. Знаковый разряд поступает на шину PF3 второй МПС. На первые две старшие МПС поступает микрокоманда с кодом E. В результате знаковый разряд с шины PF3 передается на все выходы АЛУ двух МПС старшего байта.

Микрокоманды с кодами 4, 5, 6 и 7 используются для генерации на шине PF0 сигнала паритета (используется в схемах контроля):

$$PF0 = F3 \oplus F2 \oplus F1 \oplus F0 \oplus PF3.$$

Паритетная логика обладает способностью наращивания секций путем соединения вывода PF0 предыдущей МПС с выводом PF3 последующей.

Микропроцессорная секция K1804BC2 может выполнять девять специальных функций, которые перечислены в табл. П8. Семь кодовых комбинаций не используются и являются запрещенными. При выполнении специальных функций двунаправленный вывод Z в средней и старшей секциях становится входом, на который подается управляющий сигнал [1], а вывод Z младшей секции - выходом.

Условные графические обозначения БИС обработки данных представлены на рис. П6. На этом же рисунке приведено обозначение регистра K1804IP1, предназначенного для построения регистров различного назначения с разрядностью кратной четырем. Параллельный регистр построен на D-триггерах и имеет две выходные шины: Q - стандартная биполярная и Y - шина с возможностью управления третьим состоянием с помощью сигнала OEY. Запись информации в регистр происходит по переднему фронту сигнала CLK.

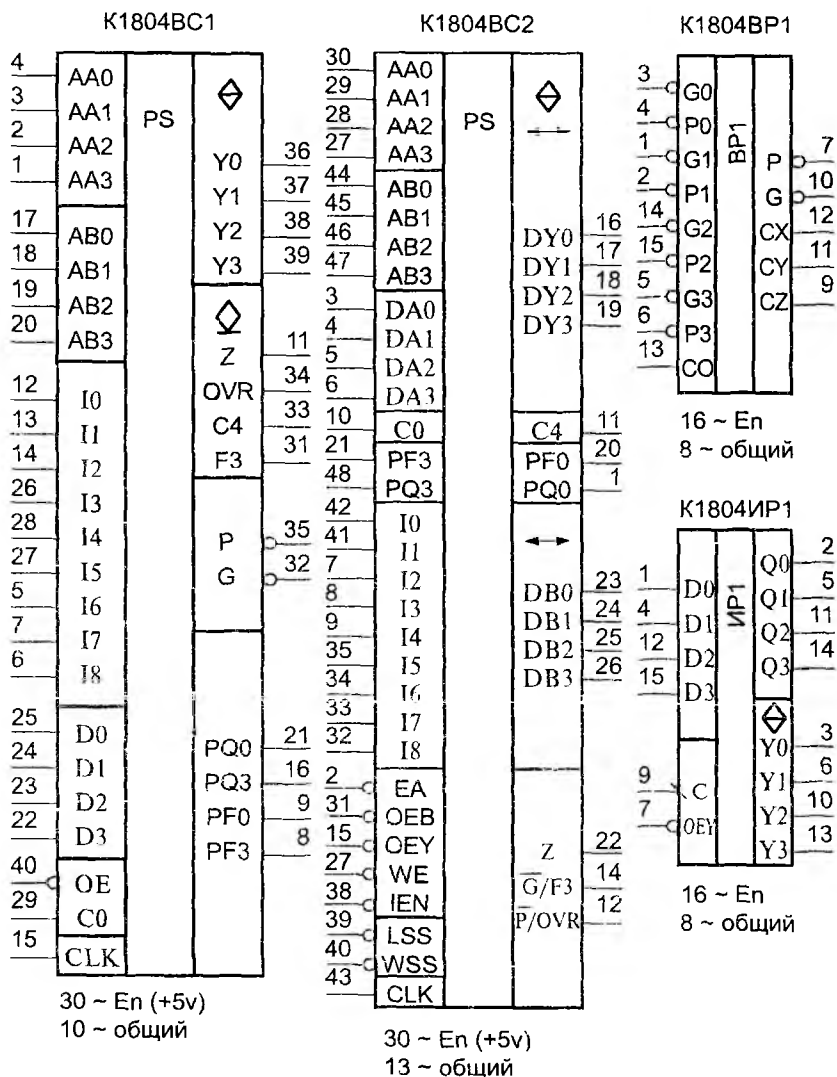


Рис. П6. Условные графические обозначения БИС обработки данных