

Практическая работа № 6

АЛГОРИТМЫ СЛОЖЕНИЯ-ВЫЧИТАНИЯ С ПЛАВАЮЩЕЙ ЗАПЯТОЙ

Цель работы : изучение алгоритмов сложения и вычитания чисел с плавающей запятой и способов выполнения этих операций в секционных микропроцессорах K1804.

6.1. Индивидуальное задание

1). Выполнить расчет разрядной сетки и разработать структурную схему процессора для выполнения заданной операции с плавающей запятой. Исходные данные приведены в табл. 6.1 - табл. 6.8.

2). Привести пример выполнения операции (типовых случаев) в заданном формате.

3). Разработать граф-схему алгоритма выполнения операции на уровне микроопераций над РОН - ми процессора. Алгоритм представить в виде основной части и отдельных процедур: сравнения порядков, выравнивания порядков, сложения (вычитания) мантисс, нормализации результата и выявления переполнения разрядной сетки.

4). Разработать граф-схему микропрограммы и таблицу кодирования при выполнении основной части и заданную отдельную процедуру, выполнить описание граф-схемы микропрограммы и отдельных полей микрокоманды.

5). Рассчитать длительность одного такта работы процессора и выполнения всей операции в целом (с учетом "худшего" и "лучшего" случаев).

Таблица 6.1

Вариант= $(N)_{\text{mod}2}$	Операция
0	Сложение
1	Вычитание

Таблица 6.2

Вариант= $(N)_{\text{mod}2}$	Основные интегральные схемы
0	К1804ВС1, К1804ВУ1, К555КП12, К1804ИР1
1	К1804ВС2, К1804ВУ4, К555КП12, К1804ИР1

Таблица 6.3

Вариант= $(N)_{\text{mod}4}$	Диапазон представления чисел
0	$10^{\pm 18}$
1	$10^{\pm 10}$
2	$10^{\pm 30}$
3	$10^{\pm 76}$

Таблица 6.4

Вариант= $(N)_{\text{mod}4}$	Точность представления чисел
0	7 десятичных цифр
1	10 десятичных цифр
2	12 десятичных цифр
3	16 десятичных цифр

Таблица 6.5

Вариант= $(N)_{\text{mod}4}$	Представление порядка	Предст. мантисс
0	Дополнительный код	Прямой код
1	Смещенный код с положительным нулем	Прямой код
2	Смещенный код с отрицательным нулем	Прямой код
3	Смещенный код с положительным нулем	Прямой код

Таблица 6.6

Вариант= $(N)_{\text{mod}4}$	Основание характеристики
0	2
1	4
2	8
3	16

Таблица 6.7

Вариант= $(N)_{\text{mod}4}$	Операнды для числового примера
0	A = + 32 , 125 , B = - 10 , 725
1	A = - 105 , 25 , B = + 12 , 625
2	A = + 0 , 0125 , B = - 5 , 25
3	A = - 27 , 125 , B = - 7 , 5

Таблица 6.8

Вариант= $(N)_{\text{mod}3}$	Тип заданной процедуры
0	Выравнивание порядков
1	Суммирование мантисс
2	Нормализация результата

Примечание:

при разработке микропрограммы и таблицы кодирования процедур обосновать исходное положение мантисс и порядков в заданных РОН-ах блока обработки данных, формат представления операндов в этих регистрах (сколько знаковых, сколько цифровых разрядов и т.д.).

6.2. Методические указания

При выполнении задания следует принять, что исходные данные (нормализованные или равные нулю операнды) к моменту выполнения операции занесены во внутренние РОН процессора в следующем порядке:

- R0 - модуль мантиссы первого операнда;
- R1 - порядок первого операнда;
- R2 - знак первого операнда (в старшем разряде);
- R3 - модуль мантиссы второго операнда;
- R4 - порядок второго операнда;
- R5 - знак второго операнда (в старшем разряде).

После выполнения операции:

- R0 - модуль мантиссы результата;
- R1 - порядок результата;
- R2 - знак результата (в старшем разряде).

При реализации алгоритма будем предполагать, что нулевой операнд в микропроцессоре представлен нулевыми кодами порядка и мантиссы. При возникновении переполнения порядка или потере значимости мантиссы результата ($M_s=0$) в поле порядка результата устанавливается код, содержащий единицы во всех разрядах. При этом согласно стандарта, при положительном переполнении порядка результата во всех разрядах мантиссы результата устанавливаются единицы, а в знаковом разряде - "0" (плюс); при отрицательном переполнении (антипереполнении) - единицы во всех разрядах мантиссы результата и "1" (минус) - в знаковом разряде результата. Указанием на потерю значимости мантиссы результата служит отрицательность мантиссы с нулем во всех разрядах (во всех разрядах порядка результата записываются единицы).

При выборе формата данных и числа секций микропроцессора следует учитывать заданный диапазон и точность представления данных. Число цифровых разрядов порядка необходимо выбирать из соотношения

$$10^k < 2^{2^m},$$

где m - число цифровых разрядов порядка при основании характеристики, равной двум;

k - число цифровых разрядов порядка в десятичной системе.

Кроме того, в формате данных необходимо предусмотреть разряд для хранения знака порядка. Количество цифровых разрядов мантиссы при основании характеристики, равном двум, выбирается из соотношения

$$10^{-\lambda} > 2^{-n},$$

где λ - число цифровых разрядов мантиссы в десятичной системе счисления;

n - число цифровых разрядов в мантиссе двоичного кода (при основании характеристики, равном двум).

При других основаниях характеристики предыдущее выражение соответствующим образом корректируется. Полученное число разрядов окончательно округляется до целого количества тетрад (секций процессора).

В общем случае можно выделить три основных этапа выполнения операции сложения - вычитания чисел с плавающей запятой:

- сравнение и выравнивание порядков;
- сложение-вычитание мантисс;
- нормализация результата.

Укрупненная блок - схема алгоритма выполнения операции приведена на рис. 6. 1.

Рассмотрим пример выполнения операции сложения чисел с плавающей запятой при основании характеристики $S = 16$ и представлении порядка в виде смещенного кода с положительным нулем. При этом предположим, что формат данных имеет следующие поля: один байт используется для хранения знака мантиссы (один бит) и характеристики (семь бит) и три байта (24 бит) - для записи разрядов мантиссы.

Пусть исходные операнды соответственно равны:

$$A = (-24B5)_{16} \text{ и } B = (423)_{16}.$$

В нормализованной форме операнды имеют вид:

$$A = (-0,24B5) \times 16^{+4}, \quad B = 0,423 \times 16^{+3}.$$

В двоичном коде порядки равны: $P_A = +100$, $P_B = +011$.

Смещенные характеристики с положительным нулем ($E = 64$) равны:

$$P_A^{64} = 1\ 000\ 000 + 100 = 1\ 000\ 100,$$

$$P_B^{64} = 1\ 000\ 000 + 011 = 1\ 000\ 011.$$

В целом, числа в нормализованной форме имеют вид:

$$A : 1. 100\ 0100 \text{ ' ' } 0010\ 0100\ 1011\ 0101\ 0000\ 0000,$$

$$B : 0. 100\ 0011 \text{ ' ' } 0100\ 0010\ 0011\ 0000\ 0000\ 0000.$$

Для сравнения характеристик операндов выполним вычитание из характеристики числа A характеристику числа B:

$$\begin{array}{r} + P_A^{64} = 1. 000\ 100 \\ + P_B^{64} = 0. 111\ 100 \\ + 1 = 0. 000\ 001 \\ \hline \end{array}$$

$$(P_A - P_B)_{\text{ДК}} = (1)0. 000\ 001$$



Рис. 6.1. Блок-схема алгоритма суммирования-вычитания чисел с плавающей запятой.

“Знак“ разности характеристик и перенос из знакового разряда не совпадают. Следовательно, переполнение сумматора характеристик отсутствует и на выходе сумматора имеем правильную разность порядков, которая равна плюс единице. Поэтому операнд В меньше А и мантисса операнда В должна быть денормализована путем сдвига на один шестнадцатиричный разряд вправо. После сдвига мантиссы В и увеличения порядка В на единицу имеем:

$$B : 0.1\ 000\ 100\ ' \ ' \ 0000\ 0100\ 0010\ 0011\ 0000\ 0000.$$

Выравнив порядки, складываем мантиссы А и В в дополнительном коде:

$$\begin{array}{r} + (M_A)_{\text{дк}} = 1. \ ' \ 1101\ 1011\ 0100\ 1011\ 0000\ 0000 \\ + (M_B)_{\text{дк}} = 0. \ ' \ 0000\ 0100\ 0010\ 0011\ 0000\ 0000 \\ \hline (M_A + M_B)_{\text{дк}} = (0) \ 1. \ ' \ 1101\ 1111\ 0110\ 1110\ 0000\ 0000. \end{array}$$

Перенос в знаковый разряд и выходной перенос из знакового разряда не совпадают, поэтому переполнение сумматора мантисс отсутствует. Мантисса результата получилась отрицательной, поэтому необходимо перейти к прямому коду:

$$(M_A + M_B)_{\text{пк}} = 1. \ ' \ 0010\ 0000\ 1001\ 0010\ 0000\ 0000.$$

Таким образом, результат является нормализованным числом. Окончательный результат сложения чисел А и В имеет вид:
 $A + B = 1. \ ' \ 1\ 000\ 100\ ' \ ' \ 0010\ 0000\ 1001\ 0010\ 0000\ 0000.$
 В шестнадцатеричной системе результат равен:

$$(A + B)_{16} = (-0,2092) \times 16^{-4}.$$

Если сумма мантиссы после преобразования в прямой код является ненормализованной, на последнем шаге осуществляется нормализация результата. Пусть, например, прямой код суммы мантисс и характеристика равны:

$$A + B = 1.1\ 000\ 100\ ' \ ' \ 0000\ 0101\ 0010\ 0000\ 0000\ 0000.$$

Нормализация результата сложения выполняется сдвигом мантиссы влево на один шестнадцатиричный разряд и вычитанием единицы из характеристики.

В результате сдвига мантиссы влево получим :

$$(M_A + M_B)_{ГК} = 1. \text{ ' } 0101 \ 0010 \ 0000 \ 0000 \ 0000 \ 0000.$$

Уменьшим характеристику на единицу. Для этого характеристику суммируем с дополнением смещенной минус единицы :

$$\begin{array}{r} P_{A+B}^{64} = 1. \ 000 \ 100 \text{ ' } \\ + (-1)^{64} = 0. \ 111 \ 111 \text{ ' } \\ \hline \end{array}$$

$$(P_{A+B} - 1)_{ДК} = (1) 0. \ 000 \ 011 \text{ ' }.$$

Результирующая характеристика (+ 3) представлена в дополнительном коде. При этом переполнение сумматора порядков отсутствует , так как знаковый разряд суммы и выходной перенос из знакового разряда сумматора не совпадают. Для перехода к смещенной характеристике знаковый разряд полученного дополнительного кода необходимо инвертировать.

Тогда окончательно характеристика будет равна :

$$(P_{A+B})^{64} = 1. \ 000 \ 011 \text{ ' } = (+3)^{64}.$$

Результат сложения в нормализованной форме будет иметь вид:

$$(A + B) = 1. \ 1 \ 000 \ 011 \text{ ' ' } 0101 \ 0010 \ 0000 \ 0000 \ 0000 \ 0000$$

или

$$(A + B)_{16} = (-0,52) \times 16^{+3} = -520_{16}.$$

При расчете временных параметров следует принять :

$$t_{BC1} = t_{BC2} = 85 \text{ нс,}$$

$$t_{VУ4} = 125 \text{ нс,}$$

$$t_{VУ1} = 102 \text{ нс,}$$

$$t_{ИР1} = 21 \text{ нс,}$$

$$t_{КП12} = 25 \text{ нс,}$$

$$t_{МПП} = 70 \text{ нс.}$$

Практическая работа N 7

АЛГОРИТМЫ УМНОЖЕНИЯ (ДЕЛЕНИЯ) С ПЛАВАЮЩЕЙ ЗАПЯТОЙ

Цель работы : изучение алгоритмов умножения (деления) с плавающей запятой и способов выполнения этих операций в секционных микропроцессорах K1804.

7.1. Индивидуальное задание

1). Рассмотреть все этапы выполнения операции умножения (деления) чисел с плавающей запятой для исходных данных , заданных в работе N 6. Выбор типа заданной операции осуществляется в соответствии с табл. 7.1 - табл. 7.4.

2). Отчет по работе должен включать те же пункты , что и в практической работе N 6.

Таблица 7.1

Вариант= $(N)_{\text{mod}2}$	Тип операции
0	Умножение
1	Деление

Таблица 7.2

Вариант= $(N)_{\text{mod}3}$	Тип заданной процедуры операций деления и умножения
0	Вычисление порядка результата
1	Вычисление мантиссы результата
2	Нормализация результата

Таблица 7.3

Вариант= $(N)_{\text{mod}4}$	Схема умножения мантисс в ПК
0	А
1	Б
2	В
3	Г

Таблица 7.4

Вариант= $(N)_{mod2}$	Схема деления мантисс в ПК
0	а
1	б

Примечание:

при реализации микропрограммы и таблицы кодирования задать и обосновать формат представления исходных операндов.

7.2. Методические указания

При выполнении задания условимся, что исходные данные (нормализованные или равные нулю операнды) к моменту выполнения операции записаны во внутренние РОН процессорного блока:

R0 - модуль мантиссы первого операнда;

R1 - порядок первого операнда;

R2 - знак первого операнда;

R3 - модуль мантиссы второго операнда;

R4 - порядок второго операнда;

R5 - знак второго операнда.

Результат выполнения операции после ее завершения должен быть расположен в регистрах общего назначения первого операнда.

Граф-схема микропрограммы заданной операции должна включать следующие этапы: проверку операндов на нуль и формирование соответствующего результата при нулевом операнде (операндах) без выполнения операции; суммирование (умножение) или вычитание (деление) порядков с контролем отрицательного или положительного переполнения сумматора порядков и формированием соответствующего результата без выполнения операции; умножение (деление) мантисс; контроль нарушения и восстановление нормализации результата с анализом переполнения сумматора порядков при корректировке порядков в процессе нормализации мантиссы (частного).

При реализации алгоритма для упрощения микропрограмм целесообразно использовать аккумулятор микропроцессора (RQ) для размещения множителя (частного). Для организации счетчика циклов при умножении (делении) можно использовать свободный РОН микропроцессора. Запись константы в счетчик циклов осуществляется из соответствующего поля данных регистра микрокоманд.

В каждом цикле умножения содержимое счетчика уменьшается на единицу , и когда он примет нулевое значение на очередном такте БМУ , происходит выход из цикла. При необходимости счетчик тактов может быть организован в регистрах БМУ. Тогда подсчет числа циклов будет производиться параллельно с вычислением суммы частичных произведений (остатка) , что позволит сократить время выполнения операции.

В таблице кодирования ПЗУ в поле комментариев предусмотреть два раздела : поле для описания микрооперации в блоке обработки данных и поле для описания микрооперации в БМУ в данном такте.

Рассмотрим пример выполнения операции умножения с плавающей запятой при основании характеристики $S = 2$ и представлении порядка в виде смещенного кода с отрицательным нулем. Пусть при этом формат данных имеет следующие поля : один байт используется для хранения знака числа (1 бит - старший) и характеристики (7 бит) и три байта (24 бит) - для хранения модуля мантиссы. Пусть сомножители равны : $A = (-16)_{16}$, $B = (+1A)_{16}$.

В нормализованной форме операнды имеют вид :

$$A = -0,10110 \times 2^{+5} \quad , \quad B = +0,11010 \times 2^{+5}.$$

В двоичном коде порядки равны :

$$P_A = P_B = +101.$$

Смещенные характеристики с отрицательным нулем ($E = 63$):

$$P_A^{63} = P_B^{63} = 1 \ 000 \ 100.$$

В целом , числа в выбранном формате будут иметь вид :

$$A : 1 \ . \ 1 \ 000 \ 100 \ ' \ ' \ 1011 \ 0000 \ 0000 \ 0000 \ 0000 \ 0000,$$

$$B : 0 \ . \ 1 \ 000 \ 100 \ ' \ ' \ 1101 \ 0000 \ 0000 \ 0000 \ 0000 \ 0000.$$

Для вычисления порядка произведения выполним суммирование смещенных характеристик :

$$\begin{array}{r}
 + P_A^{63} = 1\ 000\ 100 = (+5)^{63} \\
 + P_B^{63} = 1\ 000\ 100 = (+5)^{63} \\
 \hline
 + 1 = 0\ 000\ 001
 \end{array}$$

$$(P_A + P_B - 1)_{\text{ДК}} = (1)\ 0\ 001\ 001 = (+9)_{\text{ДК}}$$

Знаковый разряд суммы характеристик с отрицательным нулем и подсуммированием единицы не совпадает с выходным переносом, поэтому переполнение сумматора порядков отсутствует. Следовательно, на выходе сумматора имеем правильную сумму порядков минус единица в дополнительном коде. Для получения смещенной характеристики произведения инвертируем старший разряд суммы характеристик:

$$(P_A + P_B)^{63} = 1\ 001\ 001 = (+10)^{63}.$$

Умножаем модули мантисс:

$$\begin{array}{r}
 \times \quad |M_A| = ' 1011\ 0000\ 0000\ 0000\ 0000\ 0000 \\
 \quad \quad |M_B| = ' 1101\ 0000\ 0000\ 0000\ 0000\ 0000 \\
 \hline
 |M_A \times M_B| = ' 1000\ 1111\ 0000\ 0000\ 0000\ 0000
 \end{array}$$

Знак результата (ЗНР) определим суммированием по модулю два знаковых разрядов операндов А и В:

$$\text{ЗНР} = \text{ЗнА} \oplus \text{ЗнВ} = 1 \oplus 0 = 1.$$

Таким образом, в целом нормализованный результат равен: 1. 1 001 001 ' ' 1000 1111 0000 0000 0000 0000.

При умножении мантисс может возникнуть нарушение нормализации вправо:

$$|M_A| \times |M_B| = ' 01XX\ XXXX\ XXXX\ XXXX\ XXXX\ XXXX.$$

Тогда на последнем этапе операции выполняется нормализация результата путем сдвига мантиссы произведения влево и уменьшения порядка каждый раз на минус единицу. В приведенном выше примере получим:

$$|M_A| \times |M_B| = ' 1XXX\ XXXX\ XXXX\ XXXX\ XXXX\ XXXX.$$

Если при этом характеристика результата будет равна

$$(P_A + P_B)^{63} = 1.001\ 001' = (+10)^{63},$$

то коррекция характеристики сводится к следующему ;

$$\begin{array}{rcl} + (P_A + P_B)^{63} & = & 1.001\ 001' = (+10)^{63} \\ + (-1)^{63} & = & 0.111\ 110' = (-1)^{63} \\ + 1 & = & 0.000\ 001' = (+1) \end{array}$$

$$(P_A + P_B - 1)_{\text{ДК}} = (1)0.001\ 000' = (+8)_{\text{ДК}}$$

После инвертирования старшего разряда получим скорректированную характеристику результата :

$$(P_A + P_B - 1)^{63} = 1.001\ 000' = (+9)^{63}.$$

Операция деления начинается с вычитания порядков. Пусть делимое (А) и делитель (В) равны :

$$A : 1.1\ 001\ 001' \quad 1000\ 1111\ 0000\ 0000\ 0000\ 0000,$$

$$B : 0.1\ 001\ 001' \quad 1101\ 0000\ 0000\ 0000\ 0000\ 0000.$$

Тогда разность характеристик будет вычисляться следующим образом :

$$\begin{array}{rcl} + P_A^{63} & = & 1\ 001\ 001' \\ + P_B^{63} & = & 0\ 110\ 110' \end{array}$$

$$(P_A - P_B - 1)_{\text{ДК}} = (0)1\ 111\ 111'.$$

Смещенный порядок результата образуем инвертированием знакового разряда полученного дополнительного кода :

$$(P_A - P_B)^{63} = 0\ 111\ 111 = (+0)^{63}.$$

Разделив мантиссы и вычислив знак частного , окончательно получим частное в заданном формате :

$$1.0\ 111\ 111' \quad 1011\ 0000\ 0000\ 0000\ 0000\ 0000.$$

При делении модулей мантиссы может возникнуть нарушение нормализации как влево , так и вправо. Восстановление нормализации осуществляется сдвигом мантиссы частного соответственно вправо или влево и коррекции характеристики соответственно на - 1 или + 1. Окончательное значение характеристики формируется инвертированием знакового разряда полученного кода.