

МИНИСТЕРСТВО ОБРАЗОВАНИЯ УКРАИНЫ
ДОНЕЦКИЙ ОРДЕНА ТРУДОВОГО КРАСНОГО ЗНАМЕНИ
ПОЛИТЕХНИЧЕСКИЙ ИНСТИТУТ

МЕТОДИЧЕСКИЕ УКАЗАНИЯ
И ЗАДАНИЯ К ИНДИВИДУАЛЬНОЙ РАБОТЕ
СТУДЕНТОВ ПО КУРСУ
«ТЕОРИЯ ПРОЕКТИРОВАНИЯ ЭВМ И СИСТЕМ»

ДОНЕЦК ДПИ 1993

МИНИСТЕРСТВО ОБРАЗОВАНИЯ УКРАИНЫ
ДОНЕЦКИЙ ОРДЕНА ТРУДОВОГО КРАСНОГО ЗНАМЕНИ
ПОЛИТЕХНИЧЕСКИЙ ИНСТИТУТ

МЕТОДИЧЕСКИЕ УКАЗАНИЯ
И ЗАДАНИЯ К ИНДИВИДУАЛЬНОЙ РАБОТЕ
СТУДЕНТОВ ПО КУРСУ "ТЕОРИЯ
ПРОЕКТИРОВАНИЯ ЭВМ И СИСТЕМ"
(для студентов специальности 22.01)

У т в е р ж д е н о
на заседании кафедры
электронных вычислительных
машин
Протокол № 7 от 18.01.93

Донецк ДПИ 1993

УДК 681.32

Методические указания и задания к индивидуальной работе студентов по курсу "Теория проектирования ЭВМ и систем" (для студентов специальности 22.01)/ Сост. В.В. Лапко, Ю.В. Губарь. - Донецк: ДПИ, 1993. - 56 с.

Рассмотрены основные вопросы анализа и синтеза микропроцессорных систем на базе микропрограммируемых БИС серии К1804. Приведены индивидуальные задания и рассмотрены примеры их выполнения.

Составители:

В.В. Лапко, доц.
Ю.В. Губарь, доц.

Отв. за выпуск

В.В. Лапко, доц.

Рецензент

С.М. Вороной, доц.

В приведенных ниже методуказаниях основное внимание уделено вопросам проектирования цифровых систем на базе БИС серии К1804 /I - 3/. Аналогичные микросхемы серии AMD 2900 выпускает фирма AMD (США) /4/.

Все задания носят индивидуальный характер. Они предусматривают самостоятельное выполнение полного комплекса этапов, обеспечивающих получения решения конкретной задачи. Номер варианта задания определяется с помощью шифра $d_1 d_2 d_3 d_4 d_5 d_6 d_7 d_8$, который каждый студент получает от преподавателя на первом занятии.

РАБОТА I. БЛОКИ ОБРАБОТКИ ДАННЫХ МИКРОПРОЦЕССОРНЫХ УСТРОЙСТВ

Цель работы: изучение принципов функционирования процессорных элементов К1804ВС1 и К1804ВС2, а также приобретение практических навыков реализации простейших функций на этих микропроцессорах.

Индивидуальное задание

1. Разработать функциональные схемы 16-разрядного процессора на основе БИС К1804ВС1 и К1804ВС2 с использованием и без использования микросхемы ускоренного переноса К1804ВП1. Объяснить назначение всех использованных сигналов процессора.

2. Разработать микроалгоритм вычисления функции F_1 , указанной в табл. 1, с использованием дополнительных кодов. При этом обеспечить ввод операндов с внешних шин процессора D, DA или DB в регистры общего назначения, которые определены в табл. 2, а также пересылку полученного значения F_1 на выход Y.

3. Разработать и представить микропрограмму, обеспечивающую вычисление функции F_1 . Для числового примера использовать операнды, заданные в табл. 3.

Пример выполнения задания

Разработать микропрограмму вычисления функции $F_0 = 2x_3 \wedge (x_2 - x_1)/2$, где x_i - числа, представленные в дополнительном коде.

Функциональная схема 16-разрядного процессора на основе микросхем К1804ВС1 и К1804ВП1 приведена в приложении на рис. П2. Микроалгоритм вычисления функции F_0 представлен на рис. I. Каж

ТАБЛИЦА 1

$(N)_{m2}$	ФУНКЦИЯ
0	$F_1 = 16(x_1 + x_2 - 1) \oplus (x_3 - x_4) / 8$
1	$F_2 = 8(x_1 + x_2) + (x_3 - 1 - x_4) / 16$
2	$F_3 = 16[(x_1 - 1) - x_2] \wedge (x_3 + x_4) / 4$
3	$F_4 = 8(x_1 - x_2) \oplus (x_3 + x_4 - 1) / 16$
4	$F_5 = 2x_1 + 4x_2 - 1 + x_3 / 2 + x_4 / 8$
5	$F_6 = \overline{4(x_1 + x_2)} \vee (x_3 / 4 - x_4 / 2)$
6	$F_7 = \overline{8(x_1 + x_2 / 2)} \wedge (x_3 + x_4) / 8$
7	$F_8 = [4(x_1 + x_2)] \oplus [(x_3 - x_4) / 4]$

ТАБЛИЦА 2

$(N)_{m4}$	x_1	x_2	x_3	x_4
0	R0	RQ	R5	R10
1	R1	R4	R7	RQ
2	R11	R8	R15	R9
3	R15	R12	RQ	R6

ТАБЛИЦА 3

$(N)_{m4}$	x_1	x_2	x_3	x_4
0	-7	12	17	3
1	12	2	-11	15
2	18	-3	23	11
3	-9	10	31	-21

Пример. $F_0 = 2 \cdot x_3 \wedge (x_2 - x_1) / 2$

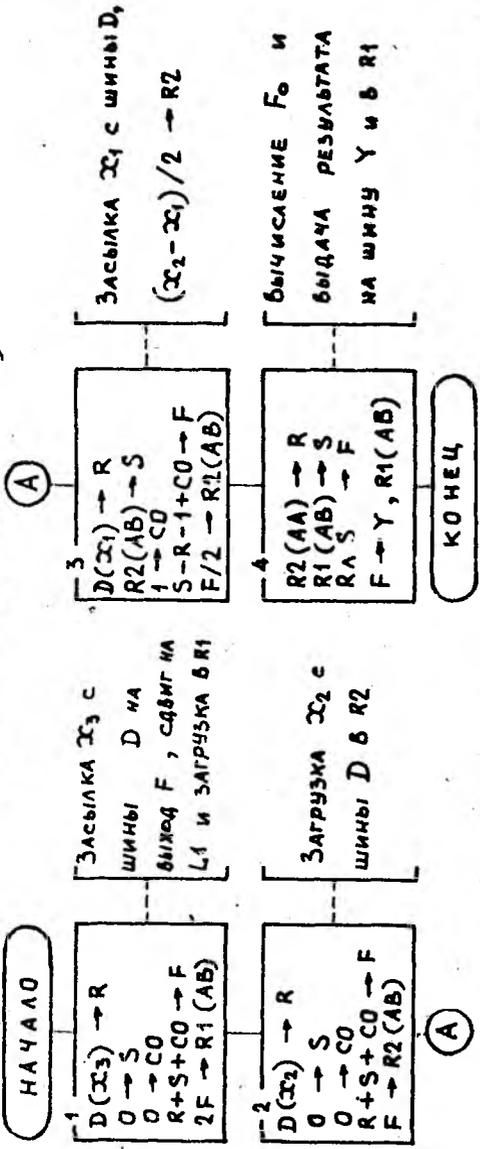


Рис. 1. Микроалгоритм вычисления функции F_0 на К180АВС1
ТАБЛИЦА КОЭФФИЦИЕНТОВ ТАБЛИЦА 4

№ МК	ТАБЛИЦА КОЭФФИЦИЕНТОВ																ПРИМЕЧАНИЕ (РЕЗУЛЬТАТ)
	М	И	К	Р	О	К	О	М	А	Н	А	Д	А	Д	Д	Д	
1	1	1	1	0	0	1	1	1	1	1	1	1	1	1	1	1	$R1=11111010$
2	0	1	1	0	0	1	1	1	1	1	1	1	1	1	1	1	$R2=0.0001111$
3	1	0	1	0	0	1	1	0	1	1	1	1	1	1	1	1	$R2=1.1111011$
4	0	1	1	1	0	0	0	1	0	0	1	0	0	1	1	1	$Y, R1=1111010$

дая операторная вершина соответствует одной микрооперации, которая может быть реализована в процессоре за один такт. Последовательность микрокоманд для вычисления F_0 отражена в табл. 3. При ее составлении были использованы коды микрофункций процессора KI804BCI, приведенные в приложении в табл. III - табл. IV. Символами S0 и S1 обозначены разряды микрокоманды для осуществления сдвиговых операций с использованием мультиплексоров с трехстабильными выходами (см. рис. ПЗ). При выполнении арифметического сдвига содержимого шины F вправо (третья микрооперация на рис. 1) на вход PF3 должно подаваться значение F3 знакового разряда АЛУ. Символом X в табл. 4 обозначено безразличное значение разряда (0 или 1).

РАБОТА 2. ТЕХНИКА СОСТАВЛЕНИЯ МИКРОПРОГРАММ

Цель работы: изучение принципов функционирования блока микропрограммного управления на базе ЛИС KI804BV4 и методики составления микропрограмм.

Индивидуальное задание

1. Составить микроалгоритм из фрагментов, представленных на рис. 2, соединяя их в последовательности, указанной в табл. 5. В условные вершины микроалгоритма сверху вниз вписать условия в таком порядке, как они представлены в табл. 6.
2. Разработать микропрограмму, реализующую полученный микроалгоритм, и разместить микрокоманды в микропрограммной памяти.

Методические указания

Блок микропрограммного управления (рис. 3,а) состоит из схемы формирования адресов микрокоманд (ФАМ), микропрограммной памяти микрокоманд (МПП) регистра микрокоманд (РМК) и мультиплексора (МХ) выбора условий, поступающих из операционной части (ОЧ).

Временная диаграмма на рис. 3 б иллюстрирует порядок функционирования БМУ при выполнении микрокоманд условного перехода по результату текущей операции в ОЧ (такт 1) и безусловный переход или условный переход по ранее подготовленному значению условия (такт 2). Цифрами обозначены порядковые номера обрабатываемых микрокоманд.

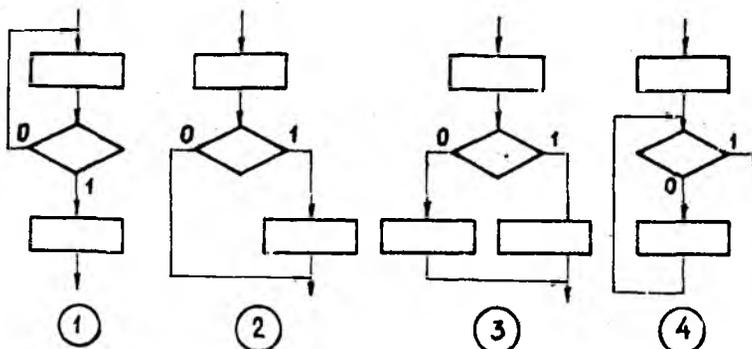


Рис. 2. Фрагменты микрокоманд

Таблица 5

N	d ₁	d ₂	d ₃	d ₄	Фрагменты
0	0	0	0	0	1, 2, 3, 4
1	0	0	0	1	4, 1, 2, 3
2	0	0	1	0	3, 4, 1, 2
3	0	0	1	1	2, 3, 4, 1
4	0	1	0	0	1, 2, 4, 3
5	0	1	0	1	3, 1, 2, 4
6	0	1	1	0	4, 3, 1, 2
7	0	1	1	1	2, 4, 3, 1
8	1	0	0	0	1, 3, 2, 4
9	1	0	0	1	4, 1, 3, 2
10	1	0	1	0	2, 4, 1, 3
11	1	0	1	1	3, 2, 4, 1
12	1	1	0	0	2, 1, 3, 4
13	1	1	0	1	4, 2, 1, 3
14	1	1	1	0	3, 4, 2, 1
15	1	1	1	1	1, 3, 4, 2

(N) m16

Таблица 6

d ₅	d ₆	Условия
0	0	C4, F3, Z, OVR
0	1	F3, Z, OVR, C4
1	0	Z, OVR, C4, F3
1	1	OVR, C4, F3, Z

C4 - признак переноса

F3 - знак результата

Z - признак нуля

OVR - признак переполн.

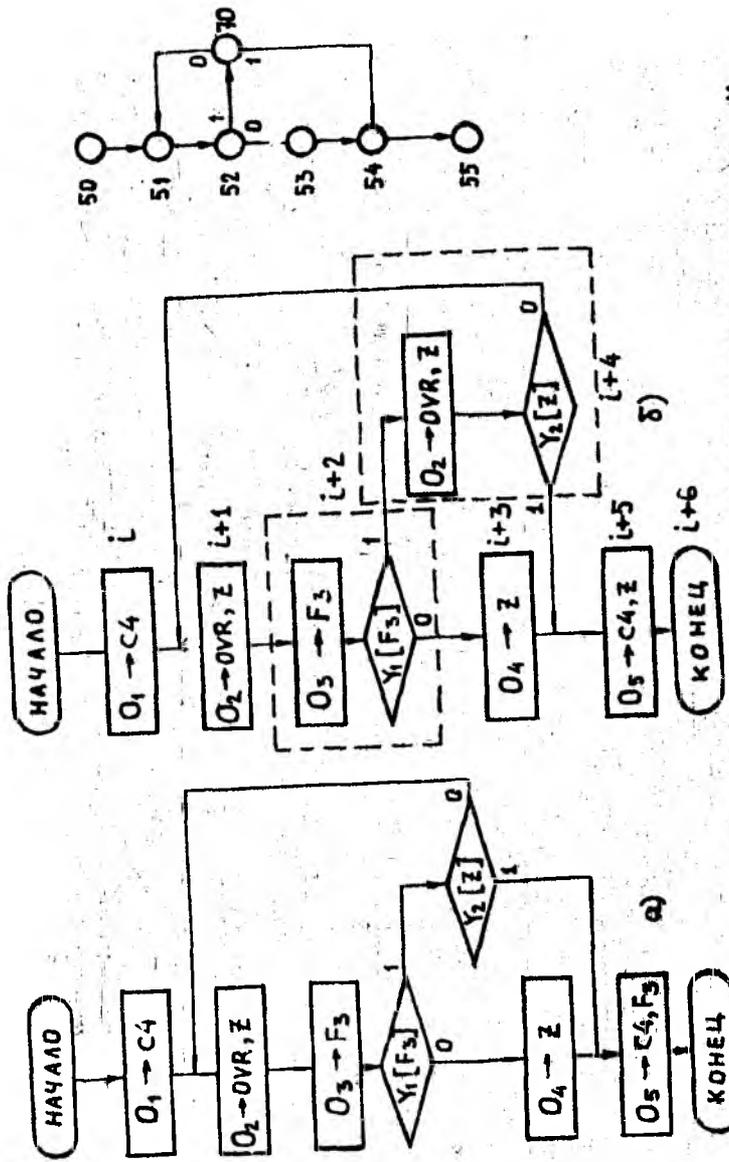


Рис. 4. Исходный (а); преобразованный (б) микроалгоритмы и размещение микрокоманд (в)

ТАБЛИЦА 8

Микропрограмма

Номер МК	Адрес МК	М и К Р О К О М А Н Д А							Операци. ФАМ	Примечание	
		СSE	DE	RLD	CO	IM	DR	SZ,SS			OC
i	50	X	0	0	1	E	51	X X	O ₁	CONT	51 → CT PC+1 → PC
i+1	51	X	0	1	1	E	X	X X	O ₂	CONT	PC+1 → PC
i+2	52	0	0	1	1	3	70	0 1	O ₃	CJP	Если F3=1 то 70, иначе 53
i+3	53	X	0	1	1	E	X	X X	O ₄	CONT	PC+1 → PC
i+5	54	X	0	1	1	E	X	X X	O ₅	CONT	PC+1 → PC
i+6	55	X	0	1	1	X	X	X X	ост	X	Останов
i+4	70	0	0	1	1	7	54	1 0	O ₂	JRP	Если Z=0 то 51, иначе 54