

## III. ПРИБЛИЖНОЕ СОДЕРЖАНИЕ ПОЯСНИТЕЛЬНОЙ ЗАПИСКИ

Разработка и внедрение микропроцессорных систем в народное хозяйство предусмотрены целым рядом документов КПСС и Советского правительства (в пояснительной записке указать конкретно).

Здесь же должна быть определена цель курсового проектирования, определены возможные области применения специвычислителя, его связь с внешней средой и контроль работоспособности.

### I. Анализ реализуемой функции и примеры вычислений

Формула, подлежащая реализации проектируемым специвычислителем, представляет собой знакочередующийся ряд Маклорена:

$$y = f(x) = \int_0^x e^{-x^2} dx = \frac{2}{\sqrt{\pi}} \left( x - \frac{x^3}{3} + \frac{1}{2!} \cdot \frac{x^5}{5} - \frac{1}{3!} \frac{x^7}{7} \pm \dots \right), \quad (1)$$

где аргумент изменяется в диапазоне  $0 \leq x \leq 1,5708$ .

Общий  $n$ -й член ряда  $S_n$  может быть записан в виде

$$S_n = (-1)^n \frac{2}{\sqrt{\pi}} \cdot \frac{1}{n!} \cdot \frac{x^{2n+1}}{2n+1}, \quad n=0, 1, 2, \dots \quad (2)$$

Заданная погрешность вычисления функции ( $\Delta = 10^{-3}$ ) представляет собой сумму трех составляющих:

$$\Delta = \Delta_1 + \Delta_2 + \Delta_3,$$

где  $\Delta_1$  - погрешность вычисления суммы ряда (1);

$\Delta_2$  - погрешность представления исходных данных и констант;

$\Delta_3$  - погрешность, обусловленная округлением результата при выполнении арифметических операций.

Примем, что  $\Delta_1 = \Delta_2 = \Delta_3 = \Delta / 3$ .

Для знакочередующегося ряда погрешность вычисления суммы ряда определяется последним учитываемым членом ряда. В этом случае необходимое количество членов ряда может быть найдено из неравенства

$$|S_n| \leq \Delta_1.$$

Для максимальной входной переменной  $x_n = 1,5708$  вычисленные члены ряда представлены в табл. I.

Из анализа этой таблицы следует, что для достижения заданной точности  $\Delta_1$  необходимо учитывать в худшем случае одиннадцать первых членов ряда. Тогда формула (1) принимает вид

$$y(x) \approx \sum_{n=0}^{10} S_n. \quad (3)$$

Суммируя значения, приведенные в табл. I, получим  $y(1,5708) = 0,9737125$ . Табличное значение функции равно 0,9737.

Расчет членов ряда и коэффициентов

| $n$ | $S_n$                        | $Q_n$                        |
|-----|------------------------------|------------------------------|
| 0   | 1,772458                     | 1,128379                     |
| 1   | -1,457796                    | -3,751263 · 10 <sup>-1</sup> |
| 2   | 1,079094                     | 1,128379 · 10 <sup>-1</sup>  |
| 3   | -6,339455 · 10 <sup>-1</sup> | -2,686616 · 10 <sup>-2</sup> |
| 4   | 3,041509 · 10 <sup>-1</sup>  | 5,223976 · 10 <sup>-3</sup>  |
| 5   | -1,228035 · 10 <sup>-1</sup> | -8,548325 · 10 <sup>-4</sup> |
| 6   | 4,273174 · 10 <sup>-2</sup>  | 1,205533 · 10 <sup>-4</sup>  |
| 7   | -1,305408 · 10 <sup>-2</sup> | -1,492564 · 10 <sup>-5</sup> |
| 8   | 3,552552 · 10 <sup>-3</sup>  | 1,646210 · 10 <sup>-6</sup>  |
| 9   | -8,714351 · 10 <sup>-4</sup> | -1,636583 · 10 <sup>-7</sup> |
| 10  | 1,945410 · 10 <sup>-4</sup>  | 1,480718 · 10 <sup>-8</sup>  |

## 2. Разработка алгоритмов вычислений

Формула (3) может быть записана в виде многочлена

$$y(x) = \sum_{n=0}^{10} a_n \cdot x^{2n+1}, \quad (4)$$

где  $a_n = (-1)^n \frac{1}{n!} \cdot \frac{1}{2n+1}$  - постоянные коэффициенты.

Широкое применение при вычислении многочленов имеет схема Горнера [4]:

$$y(x) = (\dots((a_{10}x^2 + a_9)x^2 + a_8)x^2 + \dots + a_0)x. \quad (5)$$

При организации вычислений по формуле (5) потребуется выполнить 12 операций умножения и 10 операций алгебраического суммирования.

В качестве второго варианта организации вычисления  $y(x)$  возможно использование рекуррентных соотношений:

$$\begin{cases} y_0 = S_0 = b_0 \cdot x; \\ S_n = -b_n \cdot x^2 \cdot S_{n-1}; \\ y_n = y_{n-1} + S_n, \end{cases} \quad n = 1, 2, \dots, 10, \quad (6)$$

где  $b_0 = 2/\sqrt{\pi}$ ;  $b_n = \frac{2n-1}{n(2n+1)}$  - постоянные коэффициенты.

Реализация соотношений (6) в худшем случае потребует 22 операции умножения и 10 операций суммирования. Преимущества соотношений (6) по сравнению с (5) скажутся при достаточно большом  $n$ , когда хранение констант в ПЗУ станет дорогостоящим и их необходимо будет вычислять по мере необходимости.

В дальнейшем будем реализовывать спецвычислитель по формуле (6). Значения коэффициентов приведены в табл. I в десятичной системе счисления.

### 3. Расчет разрядной сетки функционального преобразователя

Анализ двоичного представления входной переменной и промежуточных результатов расчета из табл. I показывает, что для записи требуемых чисел в форме с фиксированной запятой необходимо иметь два двоичных разряда для отображения целой части числа. Один разряд следует выделить для представления знака числа.

Количество разрядов  $m$  в дробной части числа определим исходя из ограничений на погрешность вычислений, связанных с неточностью представления исходных данных  $\Delta_2$  и округлений при выполнении арифметических операций  $\Delta_3$ .

Для оценки погрешности  $\Delta_2$  используем известную формулу [3]:

$$\Delta y_1 = \frac{\partial y}{\partial x} \cdot \Delta x + \sum_{n=0}^{10} \frac{\partial y}{\partial a_n} \cdot \Delta a_n, \quad (7)$$

где  $\Delta x$ ,  $\Delta a_n$  - погрешности исходных данных и констант;

$\Delta y_1$  - погрешность результата за счет неточности исходных данных и констант.

Из (7) и (4) следует, что

$$\Delta y_1 = \sum_{n=0}^{10} [a_n(2n+1) \cdot \Delta x + x \cdot \Delta a_n] \cdot x^{2n} \leq \Delta_2. \quad (8)$$

Для выбранной разрядной сетки  $\max |\Delta x| = \max |\Delta a_n| = 2^{-m}$ . В наиболее тяжелом случае получим оценку погрешности:

$$\Delta y_1 = 2^{-m} \sum_{n=0}^{10} [(2n+1) \cdot |a_n| + x] \cdot x^{2n} \leq \Delta_2. \quad (9)$$

При выполнении арифметических операций с фиксированной запятой погрешность результата в рассматриваемом случае возникает только при реализации операции умножения. Выполнение операции умножения без округления приводит к максимальной погрешности, равной  $2^{-m}$ , при одной операции. В этом случае расчет по формуле (5) дает следующую оценку погрешности  $\Delta y_2$  за счет округлений:

$$\Delta y_2 = (\dots (2^{-m} \cdot x^2 + 2^{-m}) x^2 + 2^{-m}) x^2 + 2^{-m} \cdot x^2 + \dots \\ \dots + 2^{-m} x^2 + 2^{-m} x + 2^{-m} \leq \Delta_3.$$

Воспользовавшись формулой для геометрической прогрессии, находим

$$\Delta y_2 = 2^{-m} \left( 1 + x \frac{x^{22} - 1}{x^2 - 1} \right) \leq \Delta_3. \quad (10)$$

Из формул (9) и (10) получаем

$$-2^m \left\{ 1 + x \cdot \frac{x^{22} - 1}{x^2 - 1} + \sum_{n=0}^{10} [(2n+1) \cdot |a_n| + x] \cdot x^{2n} \right\} \leq \frac{2}{3} \Delta. \quad (11)$$

Последнее неравенство выполняется для  $x = 1,5708$  при  $m \geq 26$ . Следовательно, общее количество разрядов специфического делителя должно быть не менее 29.

Данная оценка является пессимистической. Оптимистическая оценка может быть получена по формуле [5]:

$$R = E(\log_2 |y|_{\max}) - E(\log_2 \Delta) + 1,$$

где  $R$  - число разрядов специфического делителя;

$|y|_{\max}$  - максимальное значение модуля функции;

$E(z)$  - целая часть от числа  $z$ , округленного в меньшую сторону до единицы младшего разряда целой части.

Одна процессорная секция К1804ВС1 содержит четыре разряда, следовательно, общее количество разрядов специфического делителя должно быть не менее 32 (см. рис. 1).

ЗНАК

|   |   |   |   |   |   |   |   |   |    |
|---|---|---|---|---|---|---|---|---|----|
| ± | 2 | 1 | 1 | 2 | 3 | · | · | · | 26 |
|---|---|---|---|---|---|---|---|---|----|

Рис. 1. Разрядная сетка специфического делителя

#### 4. Разработка структурной схемы специфического делителя

Из анализа алгоритма вычисления функции  $y = f(x)$  (см. рис. 2) следует, что в процессе расчетов в оперативной памяти необходимо хранить четыре операнда:  $x$ ,  $x^2$ ,  $y$  и  $n$ . При выполнении операции умножения необходимо иметь рабочие ячейки для хранения множимого ( $M_n$ ), множителя ( $M_t$ ), произведения ( $P$ ) и счетчика тактов ( $Ст$ ). Так как умножение наиболее часто производится на  $x^2$ , а при организации умножения по алгоритму А множимое не изменяется, то целесообразно  $x^2$  и  $M_n$  хранить в ячейках оперативной памяти [1].

В процессорных элементах К1804ВС1 имеется 16 регистров общего назначения (РОН), поэтому дополнительную оперативную память можно не устанавливать.

Константы по мере необходимости будут поступать из постоянного запоминающего устройства констант (ПЗУК). Распределение памяти ПЗУК

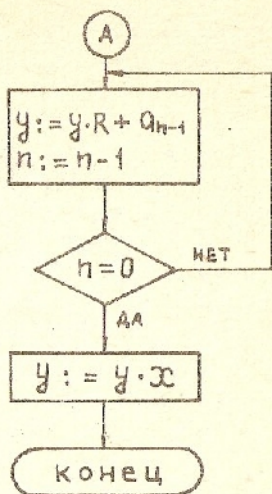
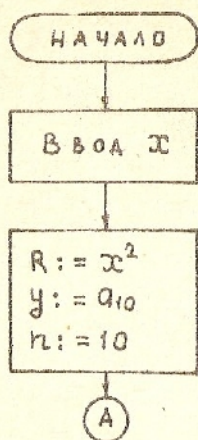


Рис. 2. Схема алгоритма вычисления

$$y = f(x)$$

Таблица 2

РАСПРЕДЕЛЕНИЕ ПАМЯТИ ПЗУК И РОИН БОД

| АДРЕС ПЗУК | СОДЕРЖИМ.       | АДРЕС РОИН | СОДЕРЖИМ.              |
|------------|-----------------|------------|------------------------|
| 0          | X <sub>эт</sub> | R0         | MH                     |
| 1          | y <sub>эт</sub> | R1         | X, X <sub>эт</sub>     |
| 2          | X <sub>M</sub>  | R2         | Пст                    |
| 3          | n               | R3         | СТ                     |
| 4          | СТ              | R4         | x <sup>2</sup>         |
| 5          | a <sub>10</sub> | R5         | y                      |
| 6          | a <sub>9</sub>  | R6         | n                      |
| 7          | a <sub>8</sub>  | R7         | рабоч. рег.            |
| 8          | a <sub>7</sub>  | R8         | рабоч. рег.            |
| 9          | a <sub>6</sub>  | R9         | РЕЖИМ РАБ.             |
| 10         | a <sub>5</sub>  | R10        | рабоч. рег.            |
| 11         | a <sub>4</sub>  | R11        | y <sub>эт</sub>        |
| 12         | a <sub>3</sub>  | R12        | X <sub>M</sub>         |
| 13         | a <sub>2</sub>  | R13        | СТ (-28) <sub>дк</sub> |
| 14         | a <sub>1</sub>  | R14        | рабоч. рег.            |
| 15         | a <sub>0</sub>  | R15        | рабоч. рег.            |

и ВОН блока обработки данных (ВОД) приведено в табл. 2.

Структурная схема спецвычислителя приведена на рис. 3. Рассмотрим назначение всех блоков спецвычислителя.

Схема управления последовательностью микрокоманд (УПМ) выполнена на основе ВИС К1804ВУ4 [ 9, 16 ].

Блок обработки данных (ВОД) на 32 разряда реализован на восьми микросхемах К1804ВС1 [ 6, 7, 9, 16 ]. Арифметические операции в ВОД выполняются с учетом значения сигнала входного переноса по правилам дополнительного кода. На вход С0 самого младшего разряда значение переноса поступает с 28-го разряда регистра микрокоманд. Вывод (признак нуля) является выходом ВОД по схеме с открытым коллектором. Поэтому при объединении микропроцессорных секций выходы Z подключают через резистор к источнику питания. Если выходы Z всех секций нулевые, то потенциал точки Z соответствует уровню логической единицы. Вывод F3 определяет знак результата арифметической операции. Для выполнения операции арифметического сдвига слова вправо этот выход необходимо соединить со входом PF3.

Микропрограммная память (МПП) емкостью  $n \times m$  бит ( $n$  — число ячеек МПП,  $m$  — разрядность слова микрокоманды) предназначена для хранения микропрограмм вычисления заданной функции.

Регистр микрокоманд (РМК) выполняет функции конвейерного регистра, который позволяет совместить во времени работу ВОД и УПМ с МПП [ 9, 16 ]. При такой организации схемы повышается быстродействие спецвычислителя. Выбранная из МПП микрокоманда по фронту сигнала С синхронизации записывается в РМК. Назначение разрядов слова микрокоманды приведено в табл. 3.

Группа конъюкторов на входе УПМ предназначена для начального запуска спецвычислителя.

Счетчик адреса констант (СА) предназначен для задания адреса ПЗУ констант. При поступлении сигнала РМК [ 38 ], равного логической единице, содержимое СА увеличивается на единицу.

Преобразователь начального адреса (ПНА) формирует начальный адрес соответствующих микропрограмм в зависимости от внешних сигналов "Данные" и "Контроль" при наличии на входе OE разрешающего сигнала ( $ME = 0$ ). Этот адрес может быть передан на входы D1 УПМ в качестве источника прямого адреса [ 9, 10, 15 ]. Вторым источником информации для шины адреса УПМ служит часть разрядов РМК, передаваемых на входы D1 по сигналу PE = 0. Для правильной работы схемы выходные каскады ПНА и часть разрядов РМК должны быть выполнены в трех состояниях.

Заданный генератор (ЗГ) формирует импульсы синхронизации С.

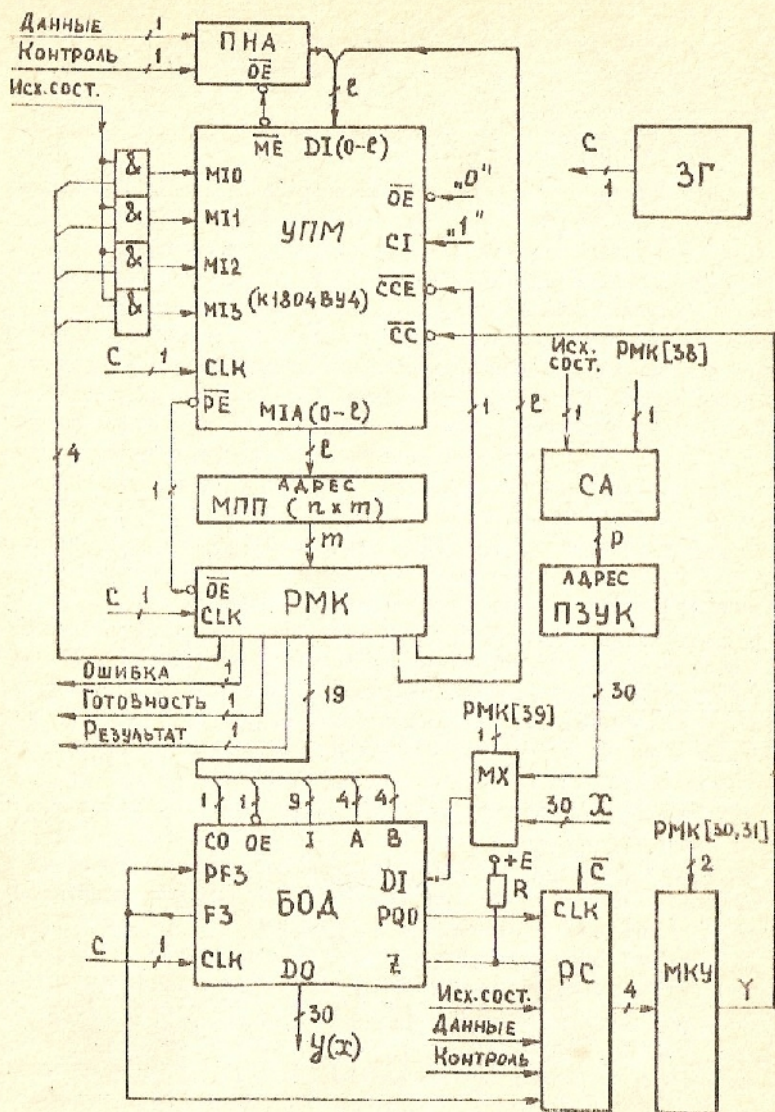


Рис. 3. Структурная схема специализированного вычислителя.

## Назначение разрядов микрокоманды

| Разряд МК | Обозначение      | Назначение                        |
|-----------|------------------|-----------------------------------|
| 0-3       | MI (0-3)         | Инструкция УЛМ К1804ВУ4           |
| 4         | $\overline{CSE}$ | Разрешение кода условия           |
| 5-10      | DI (0-5)         | Внешние входы адреса УЛМ          |
| 11-14     | A (0-3)          | Адрес РОН по каналу А             |
| 15-18     | B (0-3)          | Адрес РОН по каналу В             |
| 19-27     | I (0-8)          | Источник, операция и приемник БОД |
| 28        | CO               | Входной перенос в БОД             |
| 29        | $\overline{DE}$  | Управление выходами DO БОД        |
| 30-31     | PMK [30, 31]     | Управление мультипл. кода условия |
| 32        | Готов            | Формиров. сигнала „Готовность“    |
| 33        | Ошибка           | Формиров. сигнала „Ошибка“        |
| 34        | Результат        | Формиров. сигнала „Результат“     |
| 35        | PMK [35]         | Управление триггером T1           |
| 36        | PMK [36]         | Управление триггером T2           |
| 37        | PMK [37]         | Управление триггером T4           |
| 38        | PMK [38]         | Управление СА (СА:=СА+1)          |
| 39        | PMK [39]         | Управление мультиплексором МХ     |



подаваемые на входы CLK УПМ, РМК, РС и БОД.

Мультиплексор (MX) в зависимости от управляющего сигнала (РМК [39]) передает на входы шины DI блока обработки данных константы с выхода ПЗУК либо данные X, поступающие из внешней среды.

Регистр состояний (РС) предназначен для хранения признаков, поступающих с БОД и схемы управления спецвычислителем. С выхода РС признаки поступают через мультиплексор кода условия (МКУ) на вход СС схемы УПМ для принятия решения о переходах в микропрограмме. Функциональная схема регистра состояния приведена на рис. 4. Синхронные триггеры Т1, Т2 и Т4 предназначены для записи и хранения признаков PQO, Z и F3. Управление записью информации осуществляется с помощью соответствующих разрядов РМК. Триггер Т3 выполнен асинхронным. Он предназначен для организации ветвления в микропрограмме при задании различных режимов работы спецвычислителя. Работа МКУ описана с помощью таблицы истинности (см. табл. 4).

#### Работа спецвычислителя

По сигналу "Исходное состояние" происходит сброс триггера Т3 регистра состояния и счетчика адреса СА в нулевое состояние и схемой УПМ формируется нулевой адрес МПН. Выбранная из МПН на РМК микрокоманда анализирует на линии СС состояние триггера Т3. Если Т3 в нуле, то спецвычислитель переходит в состояние ожидания с выдачей во внешнюю среду сигнала "Готовность".

С приходом сигнала "Данные" триггер Т3 переводится в единичное состояние. На выходе схемы ПНА формируется адрес перехода на микропрограмму вычисления заданной функции. Блок обработки данных вводит через шину DI X и начинает вычисление заданной функции  $Y = f(X)$ . Работа спецвычислителя заканчивается выдачей осведомительного сигнала "Результат", а вычисленное значение Y передается через шину DO во внешнюю среду.

При поступлении сигнала "Контроль" производится запуск спецвычислителя на счет при известном эталонном значении  $X_{эт}$ , которое поступает в БОД из ПЗУ констант. В конце работы результат сравнивается с эталонным значением результата  $Y_{эт}$ , которое предварительно вычисляют и записывают в ПЗУ констант. При несовпадении Y и  $Y_{эт}$  формируется сигнал "Ошибка".

#### 5. Разработка программного обеспечения спецвычислителя

Операция умножения должна выполняться 12 раз. Поэтому для сокращения объема МПН ее целесообразно оформить в виде подпрограммы MULT.

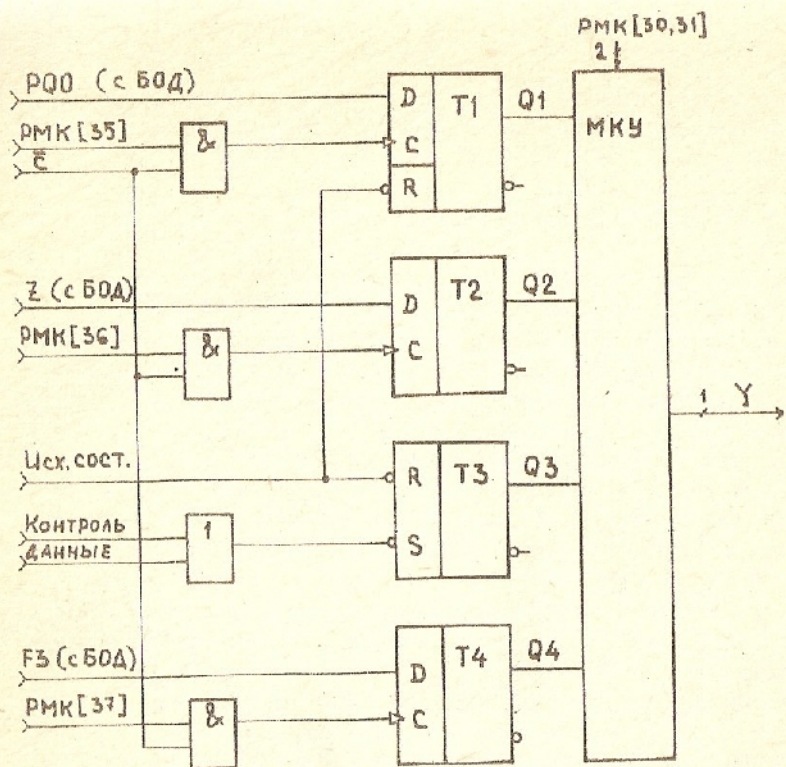


Рис. 4. Функциональная электрическая схема регистра состояния и мультиплексора кода условия

Таблица 4

Таблица истинности работы МКУ

| РМК[30] | РМК[31] | Y  |
|---------|---------|----|
| 0       | 0       | Q1 |
| 0       | 1       | Q2 |
| 1       | 0       | Q3 |
| 1       | 1       | Q4 |

В состав программного обеспечения должны входить подпрограмма умножения с возвратом в основную программу и программа вычисления заданной функции.

### 5.1. Техника составления микропрограмм \*

В зависимости от способа обработки микрокоманд различают последовательные или конвейерные микровычислители [9, 10]. В микроЭВМ с конвейерной организацией имеет место временное совмещение нескольких этапов обработки микрокоманд. В микровычислителях последовательного типа все этапы обработки микрокоманд во времени выполняются в строгой последовательности.

Структура спецвычислителя, приведенная на рис. 3, относится к классу двухуровневых конвейерных структур [9]. В ней задержки при выполнении микрокоманды распараллелены по двум путям: в ВОД и УПМ с МПП. При этом условные переходы должны быть задержаны не менее, чем на один такт после выработки условия перехода.

Для составления микропрограммы функционирования спецвычислителя исходную блок-схему алгоритма необходимо преобразовать в соответствии со следующими правилами [9]:

1) Если подряд следуют операционные блоки (ОБ)  $O_1, O_2, O_3$ , то каждому ОБ соответствует микрокоманда, операционная часть которой описана в ОБ, а адресная часть предписывает безусловный переход (рис. 5, а).

2) Если условному блоку  $Y_j$  (проверяет условие  $\Phi$ ) непосредственно предшествует ОБ  $O_i$  (влияет на признак  $\xi$  и не влияет на признак  $\Phi$ ), то образовать (обвести пунктирной линией) операционно-условный блок (ОУБ)  $\{O_i, Y_j\}$  (рис. 5, б).

3) Если условному блоку  $Y_j$  предшествует условный блок  $Y_k$ , то между блоками  $Y_j$  и  $Y_k$  ввести пустой операторный блок (NOP), не производящий никаких операций в операционной части, и образовать ОУБ  $\{NOP, Y_j\}$  (рис. 21.5, в).

4) Если ОУБ содержит такие ОБ и условный блок (УБ), что УБ тестирует признак, формируемый ОБ, то данный ОБ поместить непосредственно перед ОУБ, а в ОУБ заменить ОБ на NOP (рис. 5, г).

5) Для каждого ОБ и ОУБ назначить адрес микрокоманды. Сформировать адресные части микрокоманды для конкретных значений адресов в соответствии со способами их вычисления.

\* Этот раздел в пояснительной записке можно не приводить.

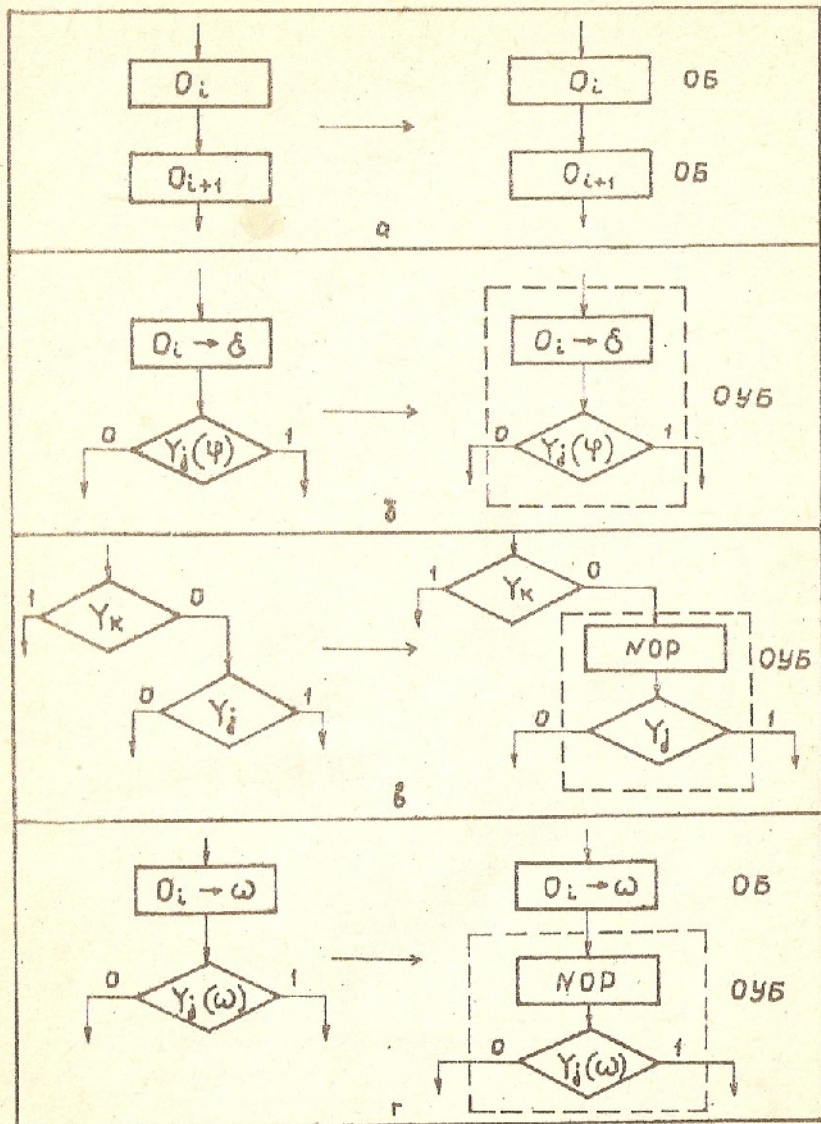


Рис. 5. Правила преобразования граф-схем алгоритмов