

2. ОПИСАНИЕ МИКРОПРОЦЕССОРНОЙ УСТАНОВКИ УМЭИ

2.1. Структурная и функциональная схемы микропроцессорной установки УМЭИ

В состав установки входят (рис. 2.1):

- восьмиразрядный микропроцессор, построенный из двух схем К584ВМ1;
- блок синхронизации, построенный на базе счетчика и делителя импульсов (СТИ);
- входной регистр данных (RG ВХД);
- регистр кода микрокоманды (RG КОДМК);
- регистр выходной информации (RG Д);
- регистр выходного адреса (RG АДР);
- блок запоминающего устройства (RAM);
- регистр запоминающего устройства (RG ЗУ);
- триггеры управления (ТРИГГУП);
- схема формирования кода условия для выработки исполнительного адреса;
- регистр базового адреса (RG БАЗАДР);
- сумматор для выработки исполнительного адреса (SM АДР(+1, +2, +0));
- счетчик адреса "У" с параллельным приемом информации (СТАДР);
- регистр данных блока микропрограммного управления (RG БМУ);
- коммутатора входной шины микропроцессора (ШИНВХ).

Набор информации в RG ВХД, RG КОДМК и RG ЗУ выполняется вручную с помощью кнопок входной информации (SB).

Работа микропроцессора (МП) может исследоваться либо автономно при использовании содержимого только RG ВХД и RG КОДМК, либо совместно с ЗУ (блока микропрограммной памяти и данных) и блоком микропрограммного управления (БМУ) в одиночном и автоматическом режимах. Запись информации в ЗУ осуществляется в режиме ЗАПИСЬ. В режиме РАБОТА информация из ЗУ считывается в МП и БМУ установки. Емкость ЗУ составляет 32x24.

Запуск генератора в одиночном (ОДИН) и непрерывном (НЕПР) (рис. 2.2)

режиме осуществляется кнопкой Пуск 1 и Пуск 2. При этом Д-триггер устанавливается в 1 (ТКВЛГ = 1) и на вход СТ распределителя импульса подключается генератор импульсов (Г и Д-триггер). В одиночном режиме (ОДИН) ТКВЛГ сбрасывается после переключения СТРИ в состояние 15 (А0А1А2А3 = 1111). Следовательно, при одиночном запуске в одиночном режиме (ОДИН) период работы МП составляет 16 тактов (от 0 до 15). В непрерывном режиме (НЕПР) сброс ТЕКЛ происходит тоже в 15-м такте, но только при наличии единицы в 19-м разряде микрокоманды (рис. 2.9), т.е. при выполнении микрокоманды "КОНЕЦ АЛГОРИТМА". Триггер ТКВЛГ может быть сброшен также вручную кнопкой "Общий сброс". При нажатии этой кнопки формируется также "пачка" импульсов для сброса всех регистров КИ5БИР1 установки по последовательному входу ДФ (рис. 2.8, 2.10).

В качестве РИ в установке используется мультиплексоры 8x1 (рис. 2.3, 2.4). Адресными входами MS управляют три старшие разряды СТРИ (А3, А2, А1). В результате сигнал СИ1 формируется при состоянии счетчика РИ А3А2А1А0 = 0000 и А3А2А1А0 = 0001, т.е. в течение двух тактов работы СТРИ (000ж). При стробировании выхода MS сигналом АФ формируется сигнал управления длительностью один такт. Например, путем стробирования сигнала СИ1 формируется однотоктный сигнал СТ РИ = 0001. Общая диаграмма формирования синхримпульсов показана на рис. 2.5. На временной диаграмме длительность СИ указана в количестве полутактов генератора импульсов. Кроме того, на диаграмме показаны временные интервалы подачи на вход МП МК, операнда, входного переноса АЛУ (ВХПАЛУ).

Временная диаграмма работы БМУ (рис. 2.1) показана на рис. 2.6. Начало цикла работы БМУ (нулевой такт) определяется моментом считывания информации из массива ячеек ЗУ и записи кода в RQ ЗУ (по заднему фронту нулевого полутакта). Баз вый адрес МК (рис. 2.9) в RQ БАЗАДР записывается и используется либо как базовый адрес следующей МК (в 12 полутакте), либо как адрес операнда (в 3-м полутакте). Во втором случае после считывания МК в нулевом полутакте в 6-м полутакте этого же периода работы МП из ЗУ в RQ ЗУ считывается код в 10 и 17 разрядах которого находится байт данных (рис. 2.9); а в разрядах 20-24 — базовый адрес следующей МК. Обращение за операндом в ЗУ в 6-м полутакте осуществляется при единичном состоянии 18-го разряда, считанном в нулевом полутакте МК, состояние которого заносится

Функциональная схема 5-го яруса счетчика распределителя импульсов (СТРИ) установки УМ 31

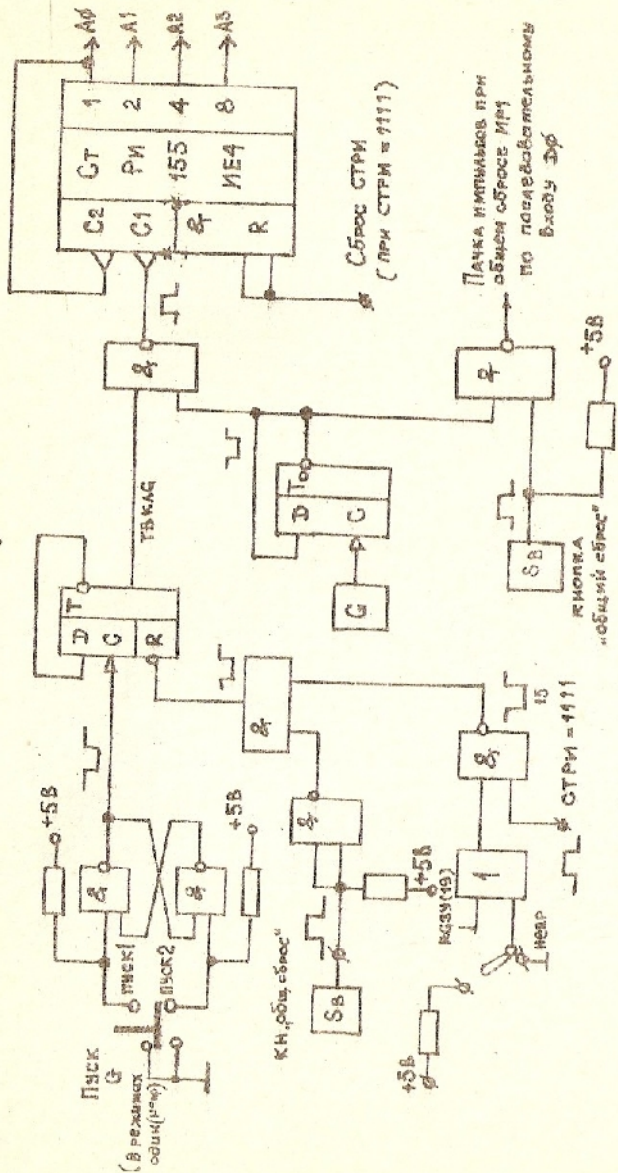


Рис. 2.2

Функциональная схема при установке УМ 31

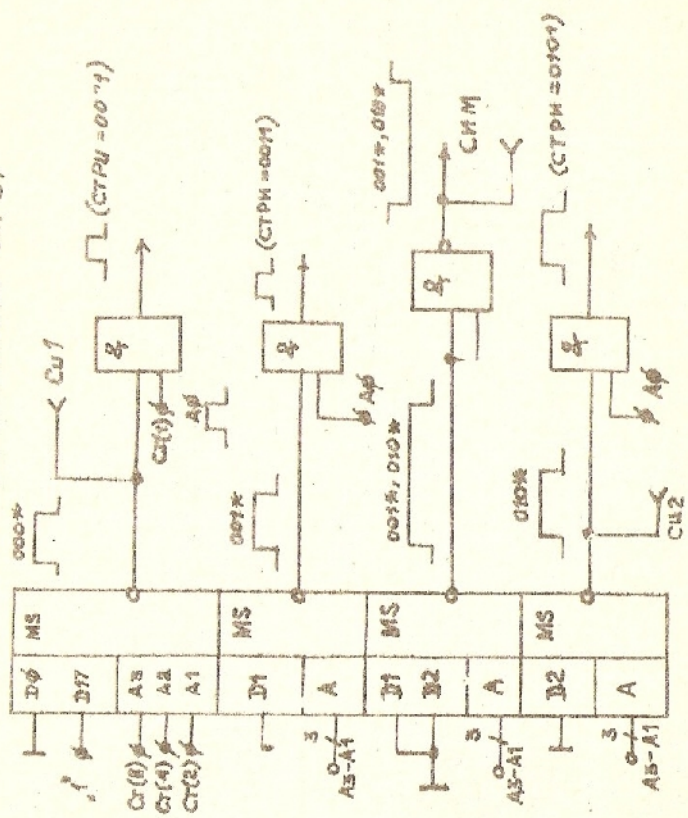


Рис. 2.3

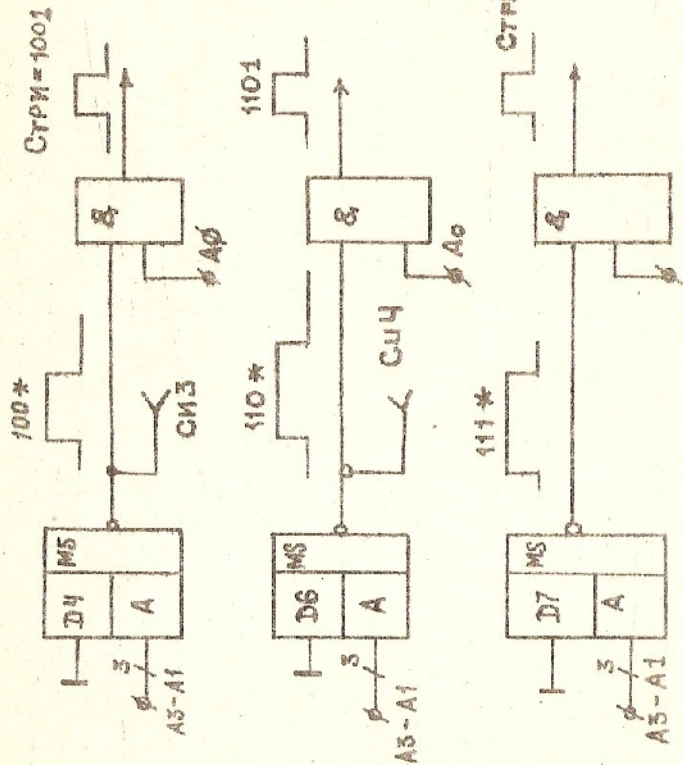
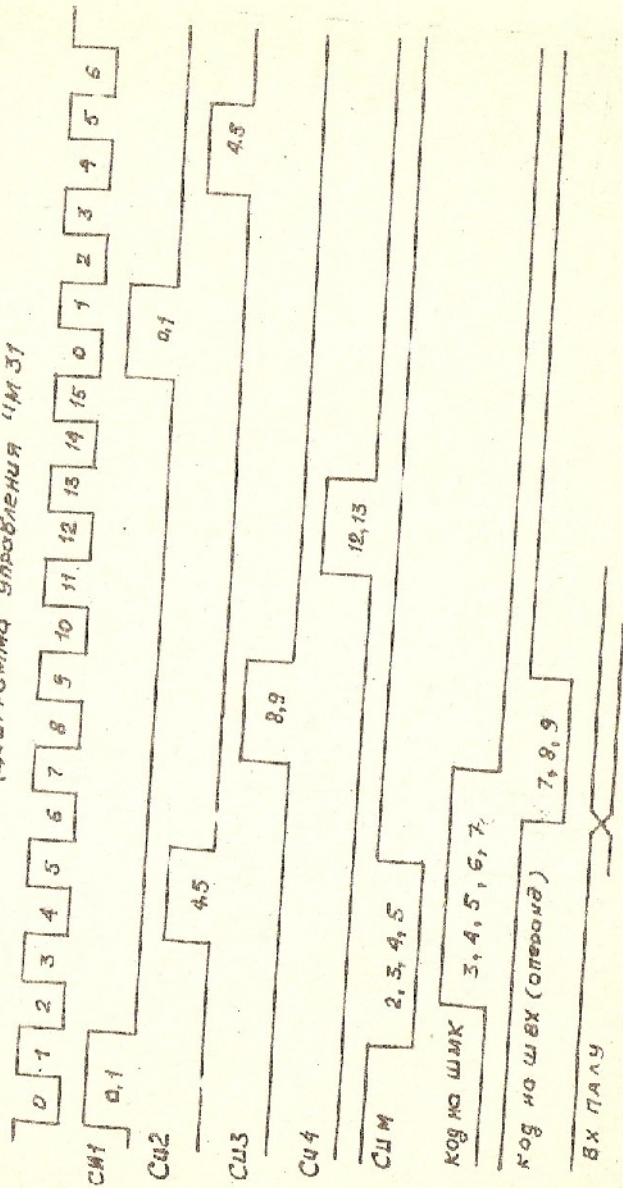
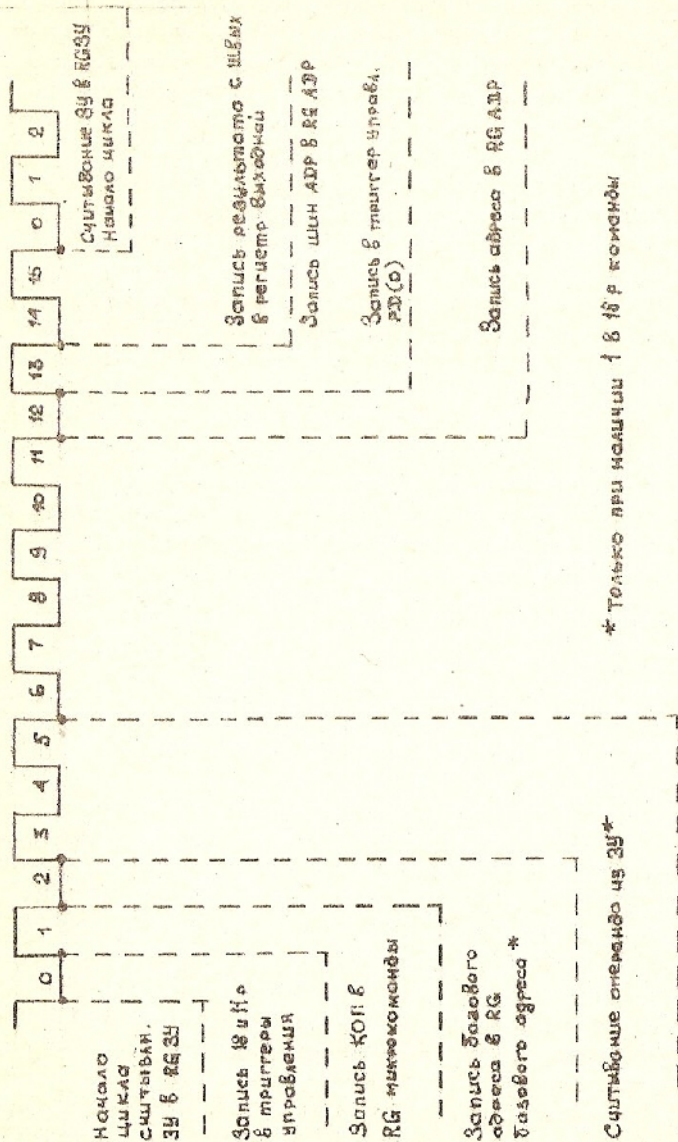


Рис. 2.4

Диаграмма управления ЦМЗ



Циклы иа работы БМУ УМЗ1



* Только при наличии 1 в 16-й команде

Рис. 2.6

в триггеры управления в I-м полутакте. При отсутствии единицы в I8 р текущей МК считывание операнда из ЗУ в 6-м полутакте не выполняется. Запись информационных сигналов Мп в регистр состояния ВМУ осуществляется в I3 полутакте. Выдача данных в выходной информационный регистр (RGD) и регистр адреса (RGADR) осуществляется в I4-м полутакте периода работы ВМУ.

Управление работой ШИНВХ Мп показано на рис. 2.7. Информация на ШИНВХ поступает через коммутатор КВХ (рис. 2.1) либо с RGVX, либо с RGДВМУ (рис. 2.7). В контрольном режиме (ЗАП = I) на ШИНВХ выставляется RG ВХД. При этом на гнездо "Строб RG ВХД" подается нулевой уровень сигнала и ШИНВХ через вход А коммутатора постоянно подключается к RGVXД. В микропрограммном режиме (РАВ = I) RG ВХД подключается к ШИНВХ при $RGЗУ(I7) = I$ и $RGЗУ(I8) = 0$, т.е. при задании на ШИНВХ делителя (ДТ) с выхода RG ВХД в процессе выполнения микропрограммы деления. Для этого в МК сравнения текущего остатка и ДТ $RGЗУ(I7)$ устанавливается в единичное состояние (рис. 2.9), а $RGЗУ(I8)$ принимается равным нулевому значению. При считывании операнда из ЗУ ($I8p = I$) в микропрограммном режиме (РАВ = I) информация на ШИНВХ выставляется с RGДВМУ, данные в который по параллельному входу Д заносятся из $RGЗУ(I0:I7)$ в 9-м микротакте (СТРИ = I00I).

Занесение информации в RG ВХД происходит последовательным кодом от кнопки SB при подаче в одиночном режиме (ОДИН = I) на гнездо СИМК RG ВХД "отрицательных" синхронимпульсов (например, сигналов СИМ - синхронизирующих импульсов микропроцессора).

Регистр микрокоманд (рис. 2.8) позволяет подавать на вход Мп МК как в микропрограммном (РАВ = I), так и контрольном (ручном) режимах (ЗАП = I). В режиме РАВ МК в RGКОДМК заносится с выхода RGЗУ по заднему фронту первого микротакта (СТРИ = 000I). В третьем микротакте (СТРИ = 00II) содержимое RGКОДМК выставляется на ШИНМК. В ручном режиме (ЗАП = I) МК записывается в регистр по одиночным импульсам по входу СИ, подаваемым через гнездо на лицевой панели. Подключение регистра микрокоманд на ШИН МК в ручном режиме осуществляется подачей "отрицательного импульса" на гнездо "Управления вылачей МК".

Занесение информации в выходной регистр данных (рис. 2.10) и выходной регистр адреса (рис. 2.11) осуществляется в микро-

Функциональная схема (управления регистром) код МК УМЗ1

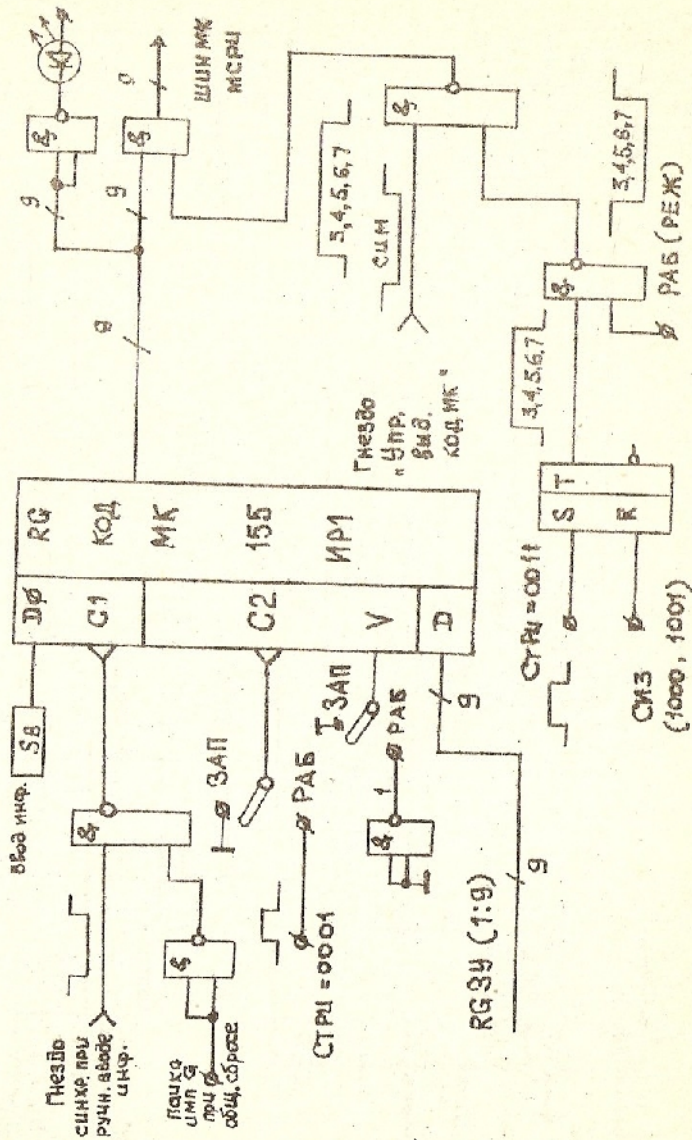


Рис. 2.8

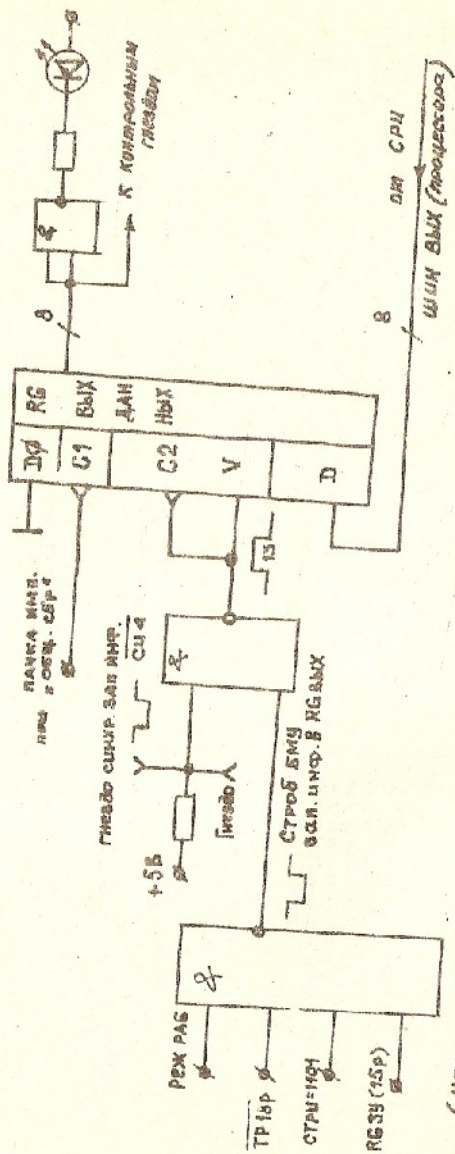
| Операционная часть | | Управляющее поле | | | | | | | |
|--------------------|--------------|------------------|------------|-----------------|-----------------------|---|---|---|----|
| КОД | МИКРОКОМАНДЫ | * | ВКЛ АЛУ | АНАЛИЗ РД(0) | АНАЛИЗ ВЫХТ АЛУ | УПРАВЛЕНИЕ ЗОНЕСЕРВИС ИМП. В РД АЛУ | УПРАВЛЕНИЕ ЗОНЕСЕРВИС ИМП. В РД ВОННЫХ | УПРАВЛЕНИЕ МА. РАВРЗД. ПЧ УИИ. ПО БУТУ | |
| 1 2 3 | 4 5 6 | 7 8 9 | 10 | 11 | 12 | 13 | 14 | 15 | 16 |

| Управляющее поле | | Адресная часть | |
|---|---|------------------|--|
| ИПР. ЗОНЕСЕРВИС ИМП. ПО ВМН ВХ ПЧ ДБА | ПРИЗНАК ОПЕРАЦИОННО В СЛЕД. ВЧЕРИТЕ БУ МК | ЕНД ОЛГОРИТМА | БОЗОВЫЙ АДР (АДРЕС ПЕРЕХОДА ПРИ ВЫПОЛНЕНИИ ЗАДАНИЯ ИЛИ ЕП) |
| 17 | 18 | 19 | 20 21 22 23 24 |

Структура и формат операндо микропроцессора при задании операндо в ячейки ЗУ

| | | | | | | | | | |
|-------|-------|-------|---------------------------|------------------------|---------------------------|----|----|----|---------------------------|
| 1 2 3 | 4 5 6 | 7 8 9 | 10 | 11 | 16 | 17 | 18 | 19 | 20 21 22 23 24 |
| XXX | XXX | XXX | МА. РАВРЗД ОПЕРАЦИОННО | ОПЕРАЦИОННО (11-16) | СТ. РАВРЗД ОПЕРАЦИОННО | X | X | X | БОЗОВЫЙ АДРЕС СЛЕД. МК |
| XXX | XXX | XXX | 0 | БОУТ ВОННЫХ | 7 | X | X | X | АДРЕСНАЯ ЧАСТЬ |

Функциональная схема управления регистрами вывода данных ЗМЗ1



(управление зонесемем информации в выходной регистр информации)

Рис. 2.10

программном режиме 13-м микроканалом (СТРИ = 1101) при наличии управляющих сигналов в 15 и 14 разрядах МК. В ручном (контрольном) режиме (ЗАП = 1) занесения информации в эти регистры осуществляется подачей на гнезда "СИНХР" "отрицательных" одиночных импульсов.

Блок ЗУ состоит из БИС ЗУ на базе I55PУ2, регистра ЗУ (RG ЗУ) и схемы управления (рис. 2.12).

В контрольном режиме (ЗАП = 1) может осуществляться как запись, так и считывание информации. При записи информации отрицательный импульс СИМ подается на гнездо ЗУVI. При этом по каждому сигналу на входе ЗУVI в массив ячеек PУ2 будет осуществляться запись содержимого RG ЗУ (на входе Д1) по адресу счетчика адреса БМУ (СТАДРБМУ). При этом по заднему фронту отрицательного сигнала СИМ к содержимому СТАДР добавляется единица и в счетчике подготавливается адрес следующей свободной ячейки ЗУ. В нулевом состоянии СТАДР кнопкой "Сброс СТА" сбрасывается в нулевое состояние. В RG ЗУ запись информации в ручном режиме происходит с помощью кнопки "Ввод послед. кода". Выходной сигнал кнопки записывается в младший разряд

RG ЗУ по заднему фронту отрицательного сигнала на входе С (синхронизация). Подачей 24 сигналов на вход С RG ЗУ заполняется 24-м кодом. В нулевое состояние RG ЗУ сбрасывается нажатием кнопки "Сброс RGЗУ". В этом случае папка импульсов генератора G поступает на вход CI I55P1 RG ЗУ и при отжатой кнопке "Ввод послед. кода" RG ЗУ заполняется нулями. Считывание информации из PУ2 в ручном режиме осуществляется подачей отрицательного импульса СИМ на вход ЗУV2 при наличии нулевого уровня на входе "Контроль". Адрес считываемой ячейки при этом находится с СТАДРБМУ. После считывания содержимого текущей ячейки по заднему фронту сигнала ЗУV2 содержимое счетчика увеличивается на единицу. Таким образом, в одиночном режиме (ОДИН) по сигналам на входе ЗУV2 СТАДР может быть установлен в требуемое состояние путем нажатия кнопки ПУСК генератора БМУ.

В микропрограммном режиме (РАВ = 1) считывание микрокоманд из ЗУ осуществляется по переднему фронту сигнала СТРИ = 0 - 1. В четвертом такте периода работы БМУ в RG ЗУ из ЗУ считывается операнд Мп, если в считанной МК в 18 разряде содержится 1 - признак записи операнда в следующей по порядку ячейке ЗУ. Номер текущей ячейки в микропрограммном режиме принимается в

Функциональная схема управления ЗУ УМ ЭТ

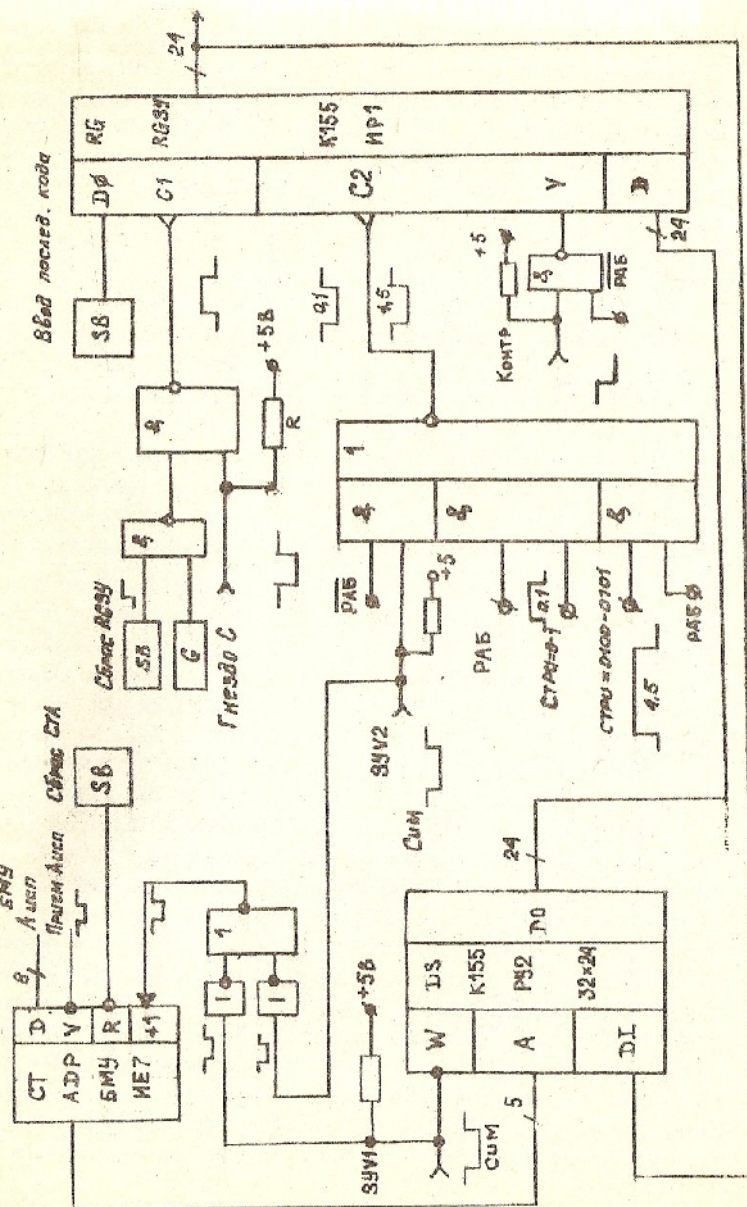


Рис. 2.12

СТАДР по параллельному входу Д. Вычисление $A_{исп}$ в БМУ осуществляется по содержимому поля БАЗАДР МК (рис. 2.9), которое заносится в базовый регистр адреса БМУ (RG БАЗЕМУ) в первом микротакте БМУ (рис. 2.13). При этом считанный базовый адрес является адресом следующей МК, если в текущей МК признак операнда равен нулю ($I_{OP} = 0$). При $I_{OP} = 1$ считанный адрес является адресом операнда. После считывания из ЗУ операнда в 4-5 микротакте (рис. 2.12) вместе с операндом в 20-24 разрядах RG ЗУ считывается адрес следующей МК. Этот адрес записывается RG БАЗАДРБМУ в 9-м микротакте (СТРИ = 1001). Этот сигнал СТРИ стробируется на входе RG БАЗАДР содержимым триггера ТР18Р, который запоминает содержимое 18 разряда МК в первом микротакте периода работы БМУ (рис. 2.7) в течение всего периода работы БМУ.

Базовый адрес МК в БМУ может модифицироваться при выполнении соответствующих кодов условия на +1 или +2 (рис. 2.13). Модификация адреса осуществляется с помощью двоичного сумматора. Вычисленный исполнительный адрес ($A_{исп}$) заносится в счетчик адреса БМУ, который является регистром адреса ЗУ. В регистр адреса ЗУ (СТАДРБМУ) исполнительный адрес записывается в третьем микротакте (СТРИ = 0011) при ТР18Р = 1, т.е. при наличии в текущей микрокоманде признака операнда в следующей по порядку ячейке (рис. 2.14). Далее в 4-5 микротакте из ЗУ считывается операнд вместе с адресом следующей МК (рис. 2.12). Исполнительный адрес следующей МК записывается в СТАДРБМУ в 13-м микротакте (СТРИ = 1101) независимо от содержимого ТР18Р.

Формирование сигналов +1 и +2 БМУ (рис. 2.15) осуществляется по значению информационных выходных сигналов К584ВМ1 РД(0) - младший разряд РД восьмизарядного Мп - и ВЫХПАЛУ - выходного сигнала переноса АЛУ Мп. Сигнал +1 ^{или} вырабатывается при анализе МК ($I_{2P} = 1$) младшего разряда РД выходного переноса АЛУ ($I_{3P} = 1$). Сигнал +2 вырабатывается в БМУ при умножении по алгоритму Бута, если в МК $I_{OP} = 1$ и "старый" младший разряд РД(0) = 0, а текущий разряд РД(0) = 1. При этом в МП обеспечивается выполнение операции суммирования множимого и частичного произведения (при комбинации разрядов множителя 01). Если текущий разряд РД(0) = 0, а старое значение РД(0) = 1, то на вход сумматора базового адреса подается сигнал +1, что со-

ФУНКЦИОНАЛЬНАЯ СХЕМА ФОРМИРОВАНИЯ УСТАВКИ АДРЕСНОГО АДРЕСА (АУСЛ) МК 31

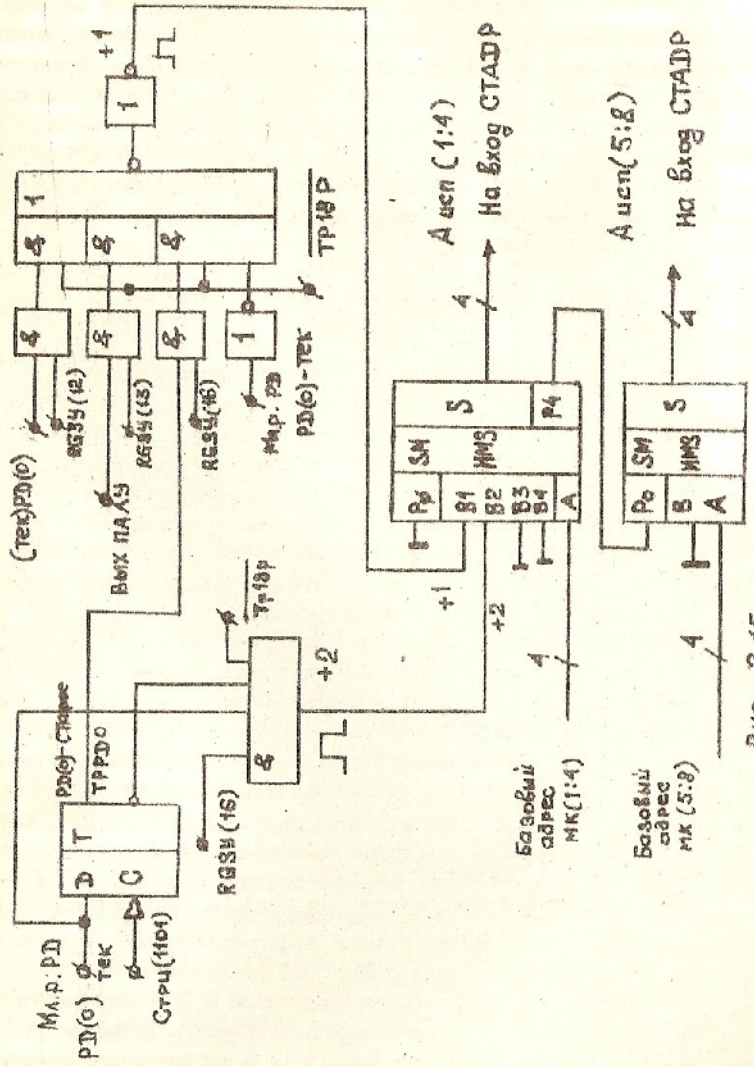


Рис. 2.15

ответствует комбинации 10 информационных разрядов множителя в РД и выполнению операции вычитания множимого от частичного произведения. Очевидно, что при комбинациях 00 и 11 текущего и старого значений РД и $16P = 1$ сигналы +1 и +2 не вырабатываются и управление должно передаваться на МК добавляемых нулей к сумме частичных произведений с последующим его сдвигом влево на один разряд. Модификация адреса не производится, если базовый адрес RG 3У является адресом операнда ($TR16P = 1$).

2.2. Описание лицевой панели стенда

На лицевой панели стенда расположены контрольные гнезда входных сигналов блока синхронизации установки СИ1, СИ2, СИ3, СИ4 и сигналов синхронизации микропроцессора СИМ (рис. 2.16). Период следования импульсов составляет 2000 нс, длительность тактовых импульсов установки СИ 250 нс, длительность импульсов синхронизации микропроцессора СИМ 500 нс. На лицевую панель введены также входные и выходные выводы вспомогательных логических элементов И-НЕ, Д-триггера, используемых для расширения возможности исследуемых устройств.

Для дискретного изменения длительности задержки синхронизирующих импульсов с шагом 200 нс и максимальным временем задержки 2000 нс используется переключатель длительности времени задержки "ЗАДЕРЖКА".

В нижней части лицевой панели расположены переключатели (SA) режимов работы блока синхронизации (одиночный/непрерывный), кнопка (SB) запуска блока синхронизации (ПУСК), кнопка (SB) общего сброса элементов памяти (общий сброс), переключатель (SA) входного переноса, программного счетчика (перенос ПСТ), переключатель (SA) управления инкрементором программного счетчика (УИ), переключатели настройки позиции старшей секции (тетрады) процессора ПОЗ0, ПОЗ1.

Для подачи на вход микропроцессора в контрольном режиме входных операндов и микрокоманд используются регистры ВХОДНЫЕ ДАННЫЕ и КОД ОПЕРАЦИИ, расположенные в правой части стенда. Информация в эти регистры заносится последовательным кодом от кнопки (SB) ВВОД ИНФОРМАЦИИ, подключенной на последовательный информационный вход микросхем I551P1 этих регистров, при подаче

Лицевая панель УМ 31

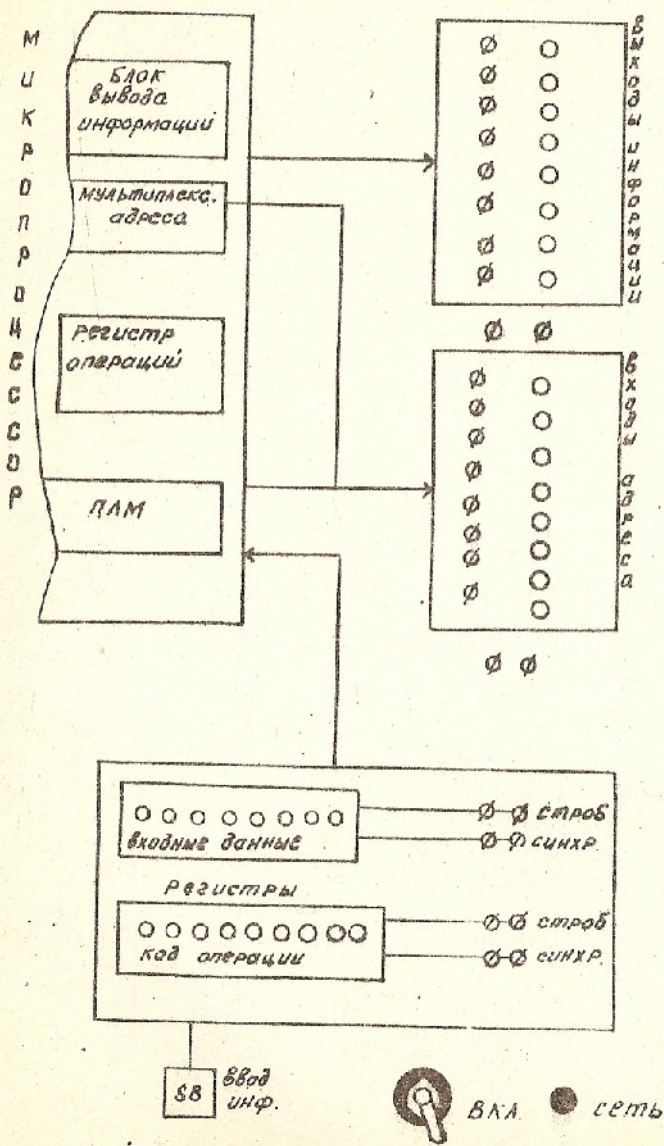


Рис. 2.16 (НАЧАЛО)

Лицевая панель УМ 31

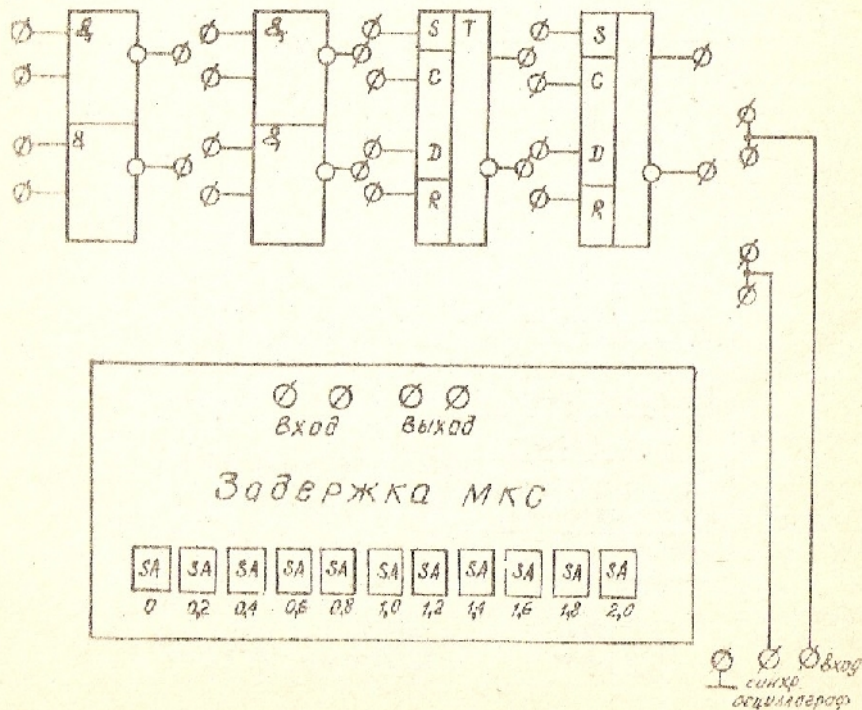
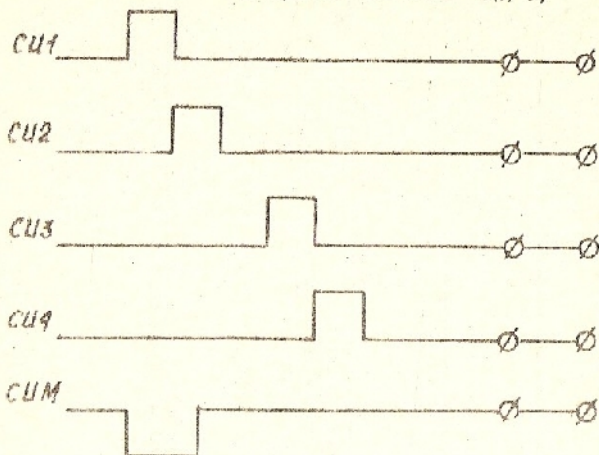


Рис. 2.16 (Продолжение)

Лицевая панель УМ 31

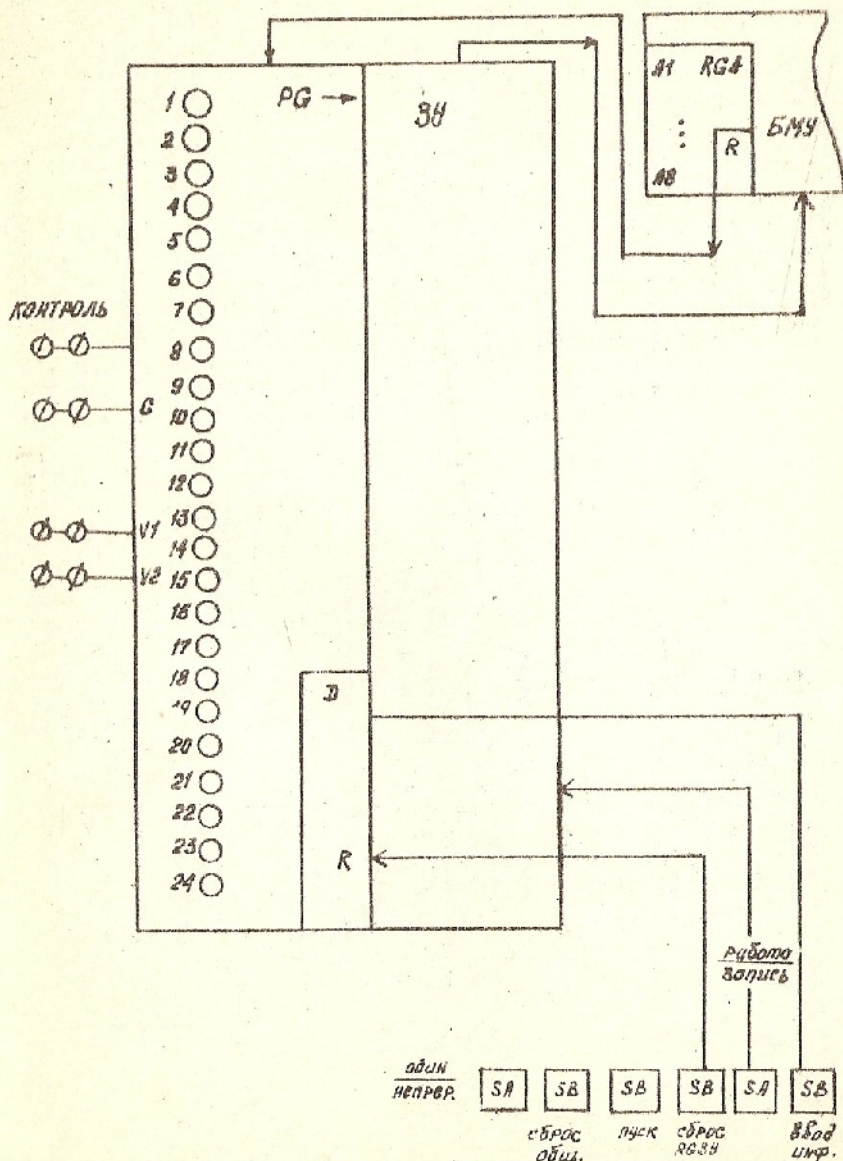
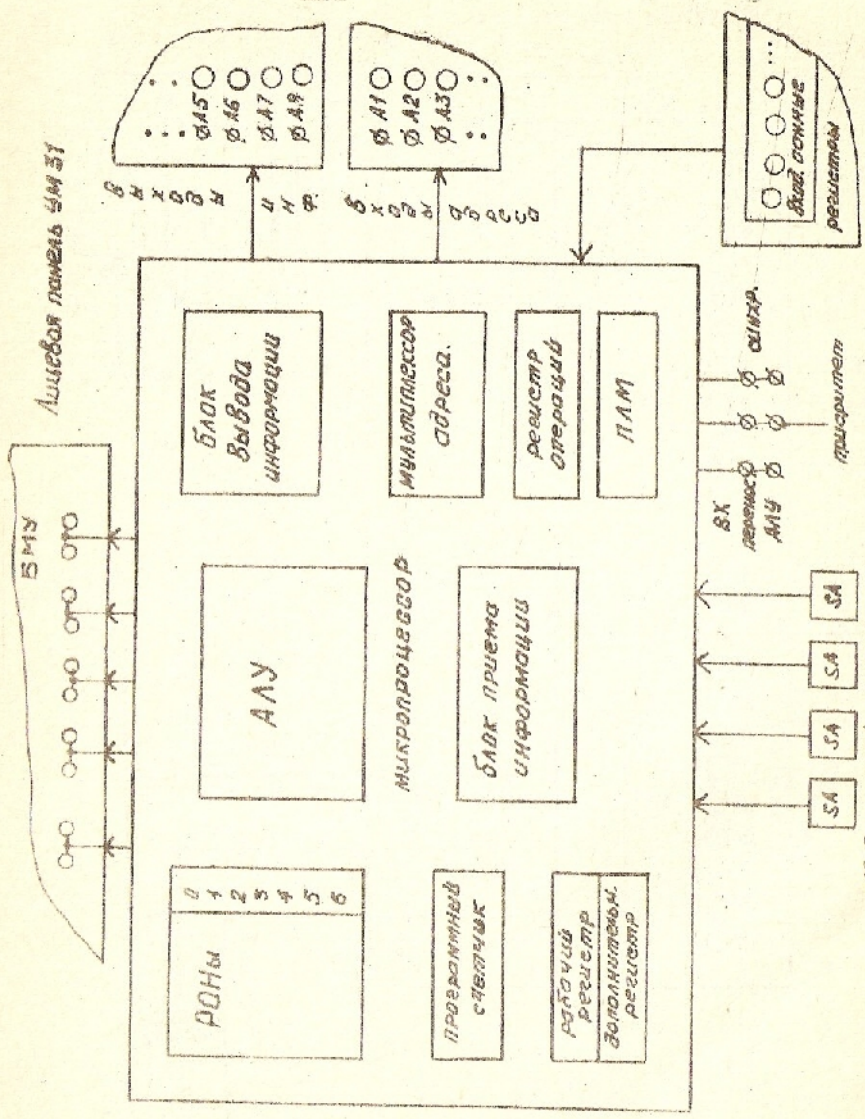


Рис. 2.16 (Продолжение)



Лицевая панель БМШ

БМШ

Рис. 2.16 (продолжение)

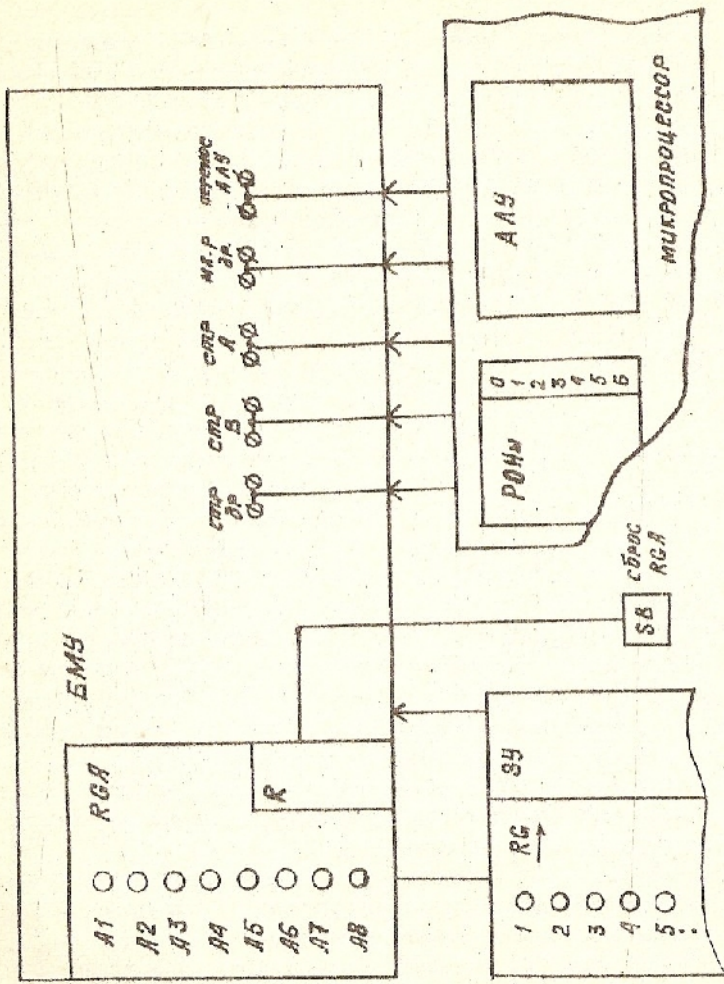


Рис. 2.16 (Продолжение.)

на вход СИНХР импульсов СИМ в контрольном режиме установки (режим ЗАПИСЬ) и одиночном режиме работы блока синхронизации (ОДИН). При этом по каждому нажатию кнопки ПУСК генератора в младший разряд регистра, управляемого СИМ, заносится один бит информации, установленный кнопкой ВВОД ИНФОРМАЦИИ (0 или 1).

Выходные регистры микропроцессора (ВЫХОД ИНФ и ВЫХОД АДРЕСА) могут быть использованы для наблюдения результатов выполнения операции в процессорном элементе. В регистр ВЫХОД ИНФ может быть занесено содержимое выходной шины микропроцессора (ШИНХ), в регистр ВЫХОД АДРЕСА - содержимое счетчика программ (РОН7), рабочего регистра (РР) или регистра данных (РД). Содержимое РОН7 (ПСТ) выдается на адресную шину при подаче на гнездо ПРИОРИТЕТ высокого уровня, РД или РР на адресную шину выдается при сигнале ПРИОРИТЕТ = 0 в зависимости от выполняемой микрокоманды. Выходные регистры имеют контрольные гнезда для наблюдения сигналов на выходных шинах процессора.

Гнездо СИНХР используется для синхронизации микропроцессора сигналом СИМ - синхронизация микропроцессора.

Гнездо ПРИОРИТЕТ предназначено для подачи стробирующего сигнала на мультиплексор адреса микропроцессора. При подаче на вход ПРИОРИТЕТ нулевого уровня на адресные шины микропроцессора выдается содержимое рабочего регистра (РР) или при выполнении некоторых команд - регистра данных (РД). При подаче на вход гнезда ПРИОРИТЕТ единичного уровня на выходных шинах адреса формируется содержимое программного счетчика (РОН7).

Гнездо ВЖПАЛУ используется для подачи в младший разряд сумматора микропроцессора входного переноса при выполнении соответствующих микрокоманд.

Постоянные управляющие сигналы кнопочных переключателей ПОЗИЦИЯ 0/ПОЗИЦИЯ 1 управляет позиционным положением старшей секции при построении 8-ми разрядного процессора.

Кнопочный переключатель УИ (управление инкрементом) позволяет по каждому синхросигналу СИМ микропроцессора наращивать содержимое РОН7 - счетчика программы на +1 (при УИ = 0) или на +2 (при УИ = 1).

Запоминающее устройство (ЗУ) установки используется в микропрограммном режиме (режим РАБОТА) в качестве микропрограммной памяти (МПП), записи и хранения данных, обработку которых должен осуществлять микропроцессор. Запоминающий массив

ЗУ (32x24) реализован на ИС I55PV2 (I6xI). Регистр ввода-вывода ЗУ (буферный регистр ЗУ) имеет 24 разряда и состояние его индицируется на 24 светодиодах. Регистр адреса ЗУ функционально относится к блоку микропрограммного управления (БМУ). Для записи информации в буферный регистр установка переводится в контрольный режим (режим ЗАПИСЬ), генератор переводится в режим ОДИН. Кнопка ВВОД ИНФ на последовательном входе Д буферного регистра (I55BPI) устанавливается в требуемое положение (0 или I), а сигнал СИМ подается на гнездо С ЗУ. При нажатии кнопки ПУСК в младший разряд вводится содержимое переключателя ВВОД ИНФ, а информация в буферном регистре ИР1 сдвигается в сторону старших разрядов (при каждом нажатии кнопки ПУСК на входе С1 ИР1 подается одиночный импульс). Для записи содержимого буферного регистра в массив ЗУ сигнал СИМ необходимо подключить на вход ЗУV1 и нажать кнопку ПУСК (при этом импульс отрицательной полярности СИМ будет подан на вход \bar{W} ИС I55PV2, и содержимое буферного регистра по входам Д PV2 параллельным кодом запишется в ЗУ). Номер ячейки записи ЗУ определяется регистром-счетчиком адреса БМУ, который после окончания такта записи автоматически увеличивается на +I.

Контроль содержимого ячеек ЗУ осуществляется подачей импульса СИМ на гнездо ЗУV2 и нулевого потенциал на гнездо КОНТРОЛЬ ЗУ (сигналы СИМ при этом подаются на вход С2 ИР1, а на вход $V_{ИР1} = \text{КОНТРОЛЬ}$ подается сигнал единичного уровня). По сигналу СИМ на входе ЗУV2 (т.к. вход ЗУ I = \bar{W} "висит" в воздухе и равен I) из массива ЗУ читается ячейка, номер которой определяется регистром-счетчиком адреса БМУ. По окончании такта содержимое регистра-счетчика адреса БМУ автоматически увеличивается на +I. Эквивалентная функциональная схема управления записью и чтением информации в ЗУ показана на рис. 2.12. Чтение также как и запись осуществляется в контрольном режиме, т.е. при положении переключателя ЗАПИСЬ/РАБОТА в положение ЗАПИСЬ. В положении РАБОТА ЗУ переключается в микропрограммный режим и выходы буферного регистра подключаются к микропроцессору и БМУ. Гнезда ст.р. ДР и мл.р. ДР представляют выходы З/0 в секциях соответственно старшей и младшей позиции (рис. I.3). Следовательно, на этих гнездах формируются соответственно старший разряд регистра данных РД (3) старшей секции и младший разряд регистра данных РД (0) младшей секции.

| | |
|--|----|
| 1. ОБЩИЕ ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ МИКРОПРОЦЕССОРНЫХ СЕКЦИЙ ЛАБОРАТОРНОЙ УСТАНОВКИ УМЗІ | 3 |
| Лабораторная работа № 1. Измерение времени задержки сигнала в канале ШВХ-ШЕНХ (минуя АЛУ) | 16 |
| Лабораторная работа № 2. Исследование вачие управления. счетчиком команд (программ) микропроцессора PОН7 | 20 |
| Лабораторная работа № 3. Исследование режимов записи и чтения содержимого ЗУ при ручном управлении ЗУ | 22 |
| Лабораторная работа № 4. Исследования загрузки и считы- вание регистров микропроцессора (операций вида Ш-посылочные операции) | 24 |
| Лабораторная работа № 5. Исследование арифметико-логических операций (операции вида I) | 26 |
| Лабораторная работа № 6. Исследование операций вида П (сложения) микропроцессора | 28 |
| Лабораторная работа № 7. Исследование логических операций микропроцессора (форма I) | 30 |
| Лабораторная работа № 8. Исследование арифметических операций сложения и вычитания (алгебраического сложения чисел с фиксированной запятой) | 31 |
| Лабораторная работа № 9. Умножение беззнаковых чисел | 34 |
| Лабораторная работа № 10. Деление беззнаковых чисел | 41 |
| Лабораторная работа № 11. Умножение дополнительных кодов по алгоритму Бути | 49 |
| ЛИТЕРАТУРА | 51 |
| 2. ПРИЛОЖЕНИЕ. ОПИСАНИЕ МИКРОПРОЦЕССОРНОЙ УСТАНОВКИ УМЗІ | |
| 2.1. Структурная и функциональная схемы микропроцессорной установки УМЗІ | 56 |
| 2.2. Описание лицевой панели стенда | 76 |

Учебное издание

МЕТОДИЧЕСКИЕ УКАЗАНИЯ
И ЗАДАНИЯ К ЛАБОРАТОРНЫМ РАБОТАМ ПО КУРСУ
«ТЕОРИЯ ПРОЕКТИРОВАНИЯ ЭВМ И СИСТЕМ»
РАЗДЕЛ «МИКРОПРОЦЕССОРНЫЕ БИС СЕРИИ К584»

(для студентов специальности 22.01)

Составители:

ЛАПКО Владимир Васильевич
ГУБАРЬ Юрий Владимирович

Техн. редактор С. Х. Аниськова

Пл. изд. № 209 1993 г.

Подп. в печать 07.04.93. Формат 60×84 $\frac{1}{8}$. Бумага тип. № 2. Офсетная печать.
Усл. печ. л. 4,88. Усл. кр.-стт. 4,99. Уч.-изд. л. 4,80. Тираж 200 экз. Заказ 4-64.

Донецкий политехнический институт, 340000, Донецк, ул. Артема, 58

ДМАП, 340050, Донецк, ул. Артема, 96