

МИНИСТЕРСТВО ОБРАЗОВАНИЯ УКРАИНЫ
ДОНЕЦКИЙ ОРДЕНА ТРУДОВОГО КРАСНОГО ЗНАМЕНИ
ПОЛИТЕХНИЧЕСКИЙ ИНСТИТУТ

МЕТОДИЧЕСКИЕ УКАЗАНИЯ

**И ЗАДАНИЯ К ЛАБОРАТОРНЫМ РАБОТАМ
ПО КУРСУ «ТЕОРИЯ ПРОЕКТИРОВАНИЯ
ЭВМ И СИСТЕМ»**

РАЗДЕЛ «МИКРОПРОЦЕССОРНЫЕ БИС СЕРИИ К584»

ДОНЕЦК ДПИ 1993

МИНИСТЕРСТВО ОБРАЗОВАНИЯ УКРАИНЫ
ДОНЕЦКИЙ ОРДЕНА ТРУДОВОГО КРАСНОГО ЗНАМЕНИ
ПОЛИТЕХНИЧЕСКИЙ ИНСТИТУТ

МЕТОДИЧЕСКИЕ УКАЗАНИЯ
И ЗАДАНИЯ К ЛАБОРАТОРНЫМ РАБОТАМ ПО КУРСУ
"ТЕОРИЯ ПРОЕКТИРОВАНИЯ ЭВМ И СИСТЕМ"
РАЗДЕЛ "МИКРОПРОЦЕССОРНЫЕ БИС СЕРИИ И584"
(для студентов специальности 22.01)

У т в е р ж д е н о
на заседании кафедры ЭВМ
Протокол № 7 от 18.01.93

Методические указания и задания к лабораторным работам по курсу "Теория проектирования ЭВМ и систем". Раздел "Микропроцессорные ВИС серии К584" (для студентов специальности 22.01) / Сост. В.В.Лапко, Ю.В.Губарь. - Донецк; ДПИ, 1993. - 84 с.

Приведены лабораторные работы, ориентированные на изучение основ функционирования ВИС серии К584 и принципов построения процессорных блоков на их основе. Лабораторные работы выполняются на установке УМЗТ.

Составители:

В.В.Лапко, доц.
Ю.В.Губарь, доц.

Отв. за выпуск

В.В.Лапко, доц.

Рецензент

С.М.Вороной, доц.

Ц Е Л Ь Р А Б О Т Ы

Исследование структуры, функциональной схемы, микрокоманд и микропрограмм, задания микропроцессора установки УМЗІ на базе микропроцессорных секций К584ВМІ.

І. ОБЩИЕ ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ МИКРОПРОЦЕССОРНЫХ СЕКЦИЙ ЛАБОРАТОРНОЙ УСТАНОВКИ УМЗІ

БИС микропроцессора выполнена на основе инжекционной логики и содержит 48 контактных выводов / 1,3/. Функционально БИС представляет 4-х битовый параллельный процессор. Обобщенная структурная схема микропроцессора показана на рис. 1.1. Микропроцессорная секция имеет 4-х разрядные раздельные входные шины (ШИНВХ) и выходные шины (ШИНВЫХ) данных. Кроме того, имеется также выходная шина адресной информации (ШИНАДР). Настройка микропроцессорной секции на выполнение требуемой операции осуществляется подачей 9-ти битовой микрокоманды на входную шину микрокоманд (ШИНМК). На вход А арифметическо-логического устройства (АЛУ) информация через коммутатор А (КА) может подаваться с ШИНВХ и любого из восьми РОНов (РОН0 - РОН7). На второй вход АЛУ В информация подается через коммутатор В (КВ) с ШИНВХ, рабочего регистра (РР) и дополнительного регистра (РД). АЛУ позволяет выполнить 8 арифметических и 8 логических операций (табл. 1.1) либо над операндами А и В, либо над одним операндом. Необходимые внутренние управляющие сигналы в микропроцессоре вырабатываются ПЛМ и 20-ти разрядным регистром микроопераций (РМО). Прием кода микрооперации в РМО производится с выхода ПЛМ в момент действия фронта 0/1 синхронизирующего импульса микропроцессора (СИМ). Передача кода микрооперации во вторую ступень (на выход) РМО происходит в момент фронта 1/0 СИМ (рис. 1.4). После этого происходит настройка всех узлов микропроцессора на выполнение текущей микрокоманды (МК), а в ПЛМ может декодироваться код операции следующей микрокоманды. Следовательно, в МП реализуется параллельный (совмещенный) режим выполнения АЛО в АЛУ и декодирования следующей МК. При этом действия над содержимым ШИНВХ и ВХПАЛУ, подаваемым в текущем такте, определяются кодом МК, поданным на вход ПЛМ в предыдущем такте СИМ.

Обобщенная структурная схема КБРА ВМІ

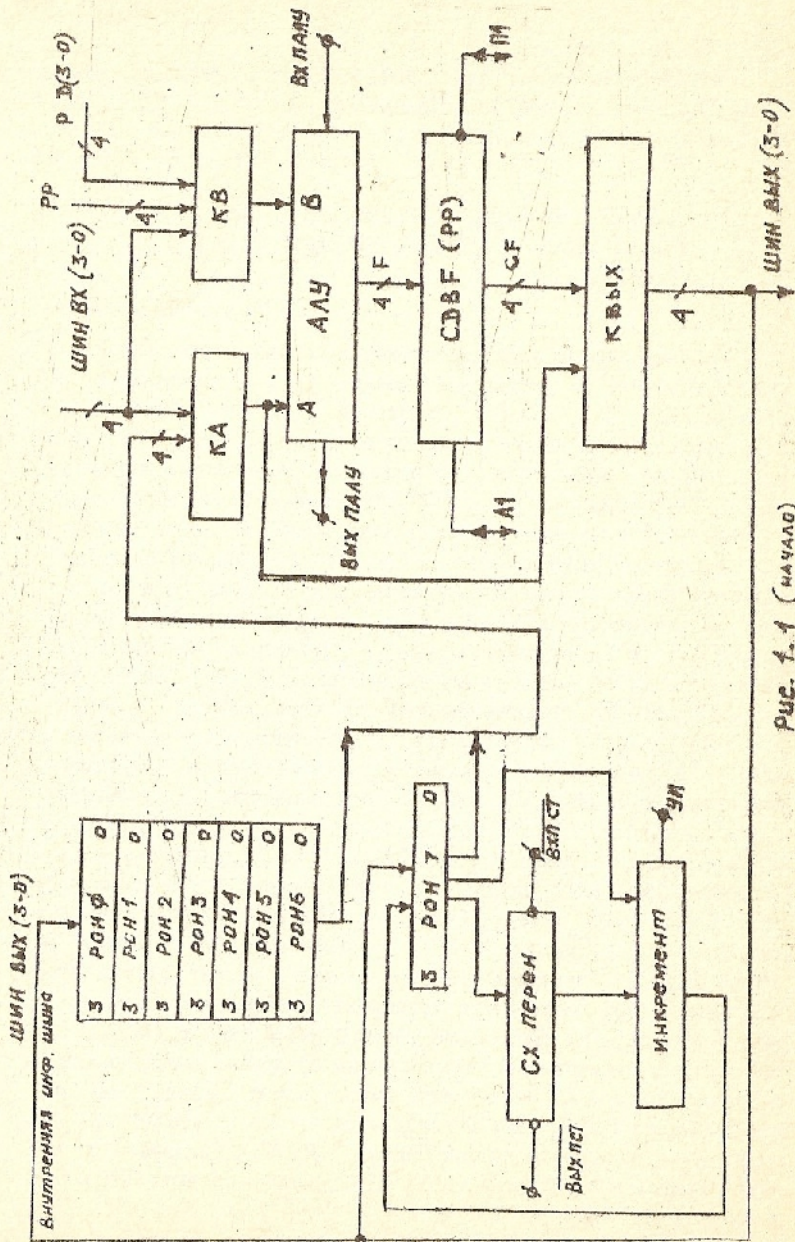


Рис. 1.1 (начало)

Обобщенная структурная схема К 584 ВМ 1

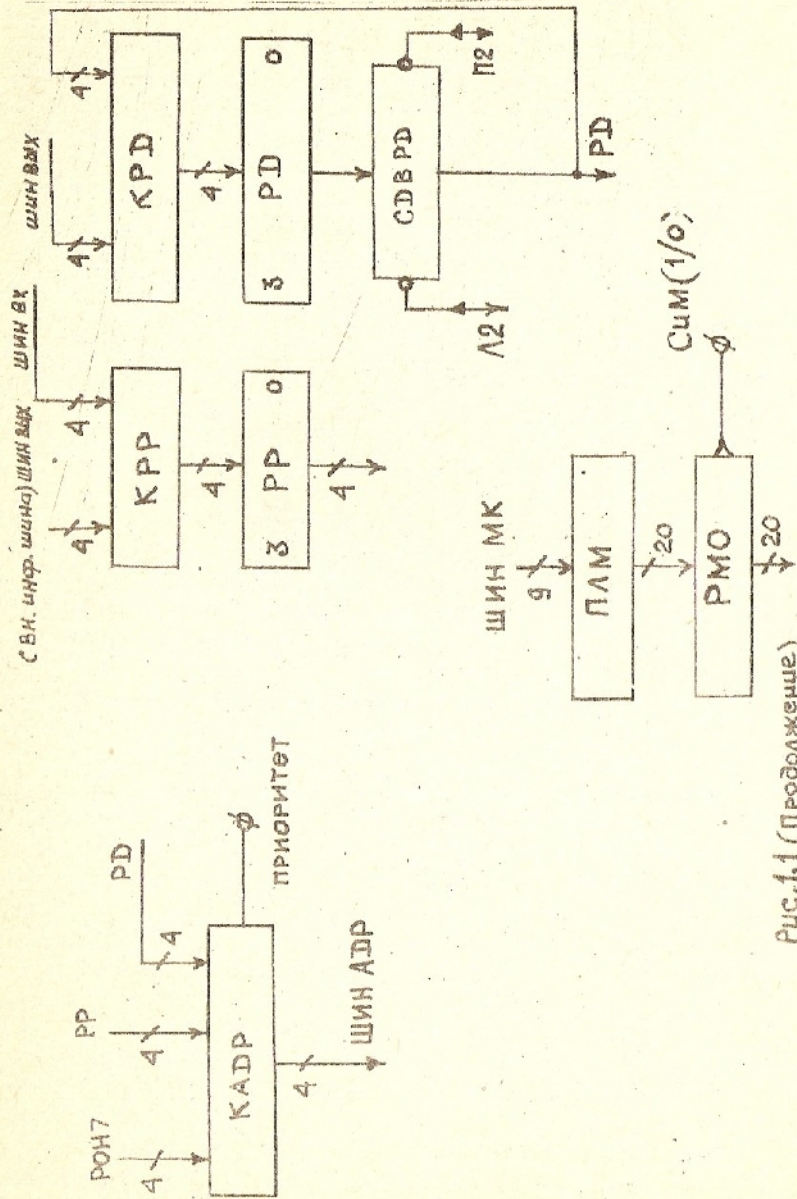


Рис.1.1 (Продолжение)

ФУНКЦИИ АЛУ

ТАБЛИЦА 1.1

			КОП1=0 Арифметические операции		КОП1=1 Логические операции
КОП2	КОП3	КОП4	Вх ПАЛУ=1 (есть перенос)	Вх ПАЛУ=0 (нет переноса)	Вх.ПАЛУ = *
0	0	0	$F = 0(\overline{B \wedge A})$	$F = 1(\overline{B \wedge A})$	$F = A_n \cdot B_n$
0	0	1	$F = B - A$	$F = B - A - 1$	$F = A_n \oplus B_n$
0	1	0	$F = A - B$	$F = A - B - 1$	$F = \overline{A_n} \oplus B_n$
0	1	1	$F = A + B + 1$	$F = A + B$	$F = \overline{A_n} \cdot B_n$
1	0	0	$F = B + 1$	$F = B$	$F = A_n \cdot \overline{B_n}$
1	0	1	$F = \overline{B} + 1$	$F = \overline{B}$	$F = A_n + \overline{B_n}$
1	1	0	$F = A + 1$	$F = A$	$F = \overline{A_n} + B_n$
1	1	1	$F = \overline{A} + 1$	$F = \overline{A}$	$F = A_n + \overline{B_n}$

РОНы используются для хранения операндов, используемых в операциях АЛУ. Посредством РОНов информация может передаваться между регистрами РР и РД. Тип операции АЛУ кодируется в четырех разрядах МК КОП1 - КОП4 (табл. I.1). Результаты всех операций выдаются на ШИНБЫХ. Каждый регистр МП состоит из двух ступеней. Информация в первую ступень принимается по фронту О/И СИМ, а во вторую ступень - по фронту I/O СИМ. В операциях МП участвует содержимое второй ступени регистров:

РОН7 МП может выполнять роль программного счетчика. Независимо от содержимого РМО (МК) содержимое РОН7/ПСТ может быть увеличено на 1 или 2 в зависимости от сигналов управления ПСТ (РОН7). Изменение содержимого РОН7 происходит по фронту I/O СИМ и определяется сигналами управления инкрементором (ИИ) и входным переносом программного счетчика (ВХПСТ). Кроме того, содержимое РОН7/ПСТ независимо от кода МК коммутруется на ШИНАДР при единичном значении сигнала на входе ПРИОРИТЕТ (приоритет программного счетчика).

РР и РД наряду с РОН используются для хранения операндов, участвующих в операциях АЛУ. РР и РД являются двуступенчатыми, и выходная ступень регистров синхронизируется фронтом I/O СИМ. Посредством коммутатора В (КВ) содержимое РР и РД выдается на ШИНВ АЛУ. Кроме того, содержимое РР и РД через коммутатор адреса (КАДР) могут выдаваться на ШИНАДР при ПРИОРИТЕТ = 0 (в зависимости от МК).

Операнд РР может участвовать в операциях сдвига с двойной точностью вместе с операндом РД. Сдвигающий мультиплексор РД позволяет осуществить сдвиг операнда на один разряд влево и вправо или осуществить прямую передачу операнда. Сдвигающий мультиплексор выходных данных (СДВФ) вместе с мультиплексором выдачи данных (КВНХ) также осуществляет сдвиг влево и вправо на один разряд в операциях с одинарной и двойной точностью.

Длительность отрицательного импульса СИМ в установке принята равной 500 нс, а период цикла - 2000 нс.

Каждая микропроцессорная секция может быть настроена как младшая, средняя или старшая (рис. I.2) при построении микропроцессора с длиной операндов 8, 12, 16 и т.д. разрядов (рис. I.2).

Сигналы логической секции П1, П2 определяют также формирование сигналов селекции разрядов регистра РД, лин А и В (рис. I.3).

Организация многоразрядного микропроцессора на базе центрального процессорного элемента (ЦПЭ) К 594 ВМ1

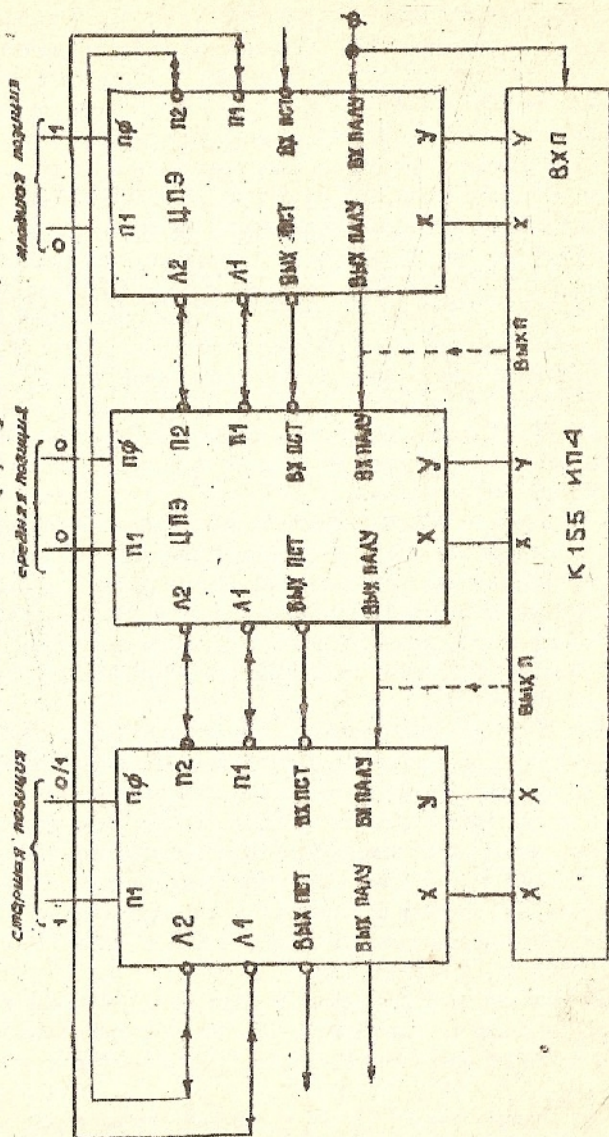


Рис. 1.2

Организация формирования информационных каналов в ЦПЭ
в младшей и старшей позиции

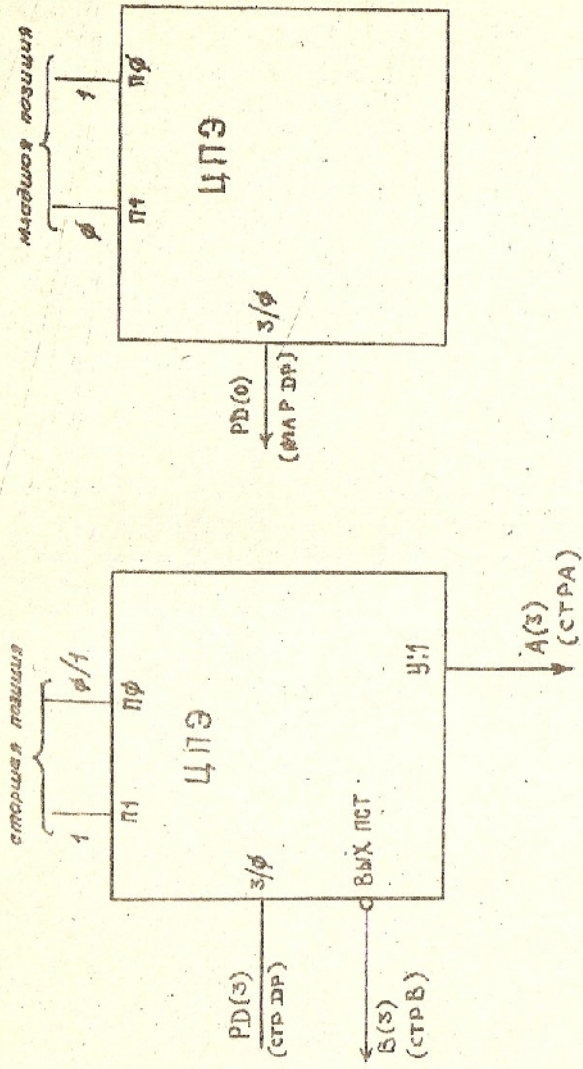


Рис. 1.3

Синхронизация работы процессора

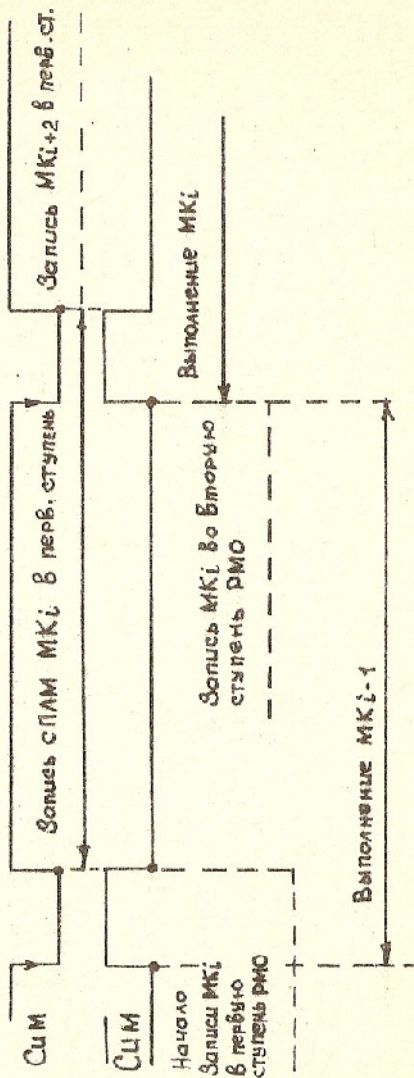


Рис. 1.4

Для младшей секции (рис.1.2) на выход схемы селекции Z/\emptyset проходит младший разряд регистра дополнительного РД(0), для старшей секции при любом значении $P\emptyset$ (0 или 1) на выход схемы селекции $Z/0$ проходит старший разряд дополнительного регистра РД(3). Сигналы Π и $P\emptyset$ в старшей секции определяют также тип сдвига. При $\Pi P\emptyset = 11$ двойной сдвиг РР, РД осуществляется с учетом того, что знаковый разряд находится в третьем разряде РР старшей секции (РР и РД - односимвольные слова). При $\Pi P\emptyset = 1\emptyset$ операции сдвига с двойной точностью РР и РД выполняются как сдвиг двухсимвольных слов. В двухсимвольных операциях сдвига РР и РД знаковый разряд размещается в старших разрядах РР и РД.

В целом сигналы позиции определяют следующие состояния секций (рис.1.2): $\Pi P\emptyset = 01$ - младшая позиция; $\Pi P\emptyset = 00$ - средняя позиция (двусимвольные слова); $\Pi P\emptyset = 11$ - старшая позиция (односимвольные слова).

Операцию, которую выполняет микропроцессор, определяет слово кода операции (КОП). Слово КОП имеет девять бит (КОП1, КОП2, КОП3, ... КОП9). Первые четыре разряда КОП1-КОП4 в основном определяют операцию АЛУ. Если источником или приемником информации является РОН, то номер РОНа указывается в двоичной системе в КОП7-КОП9. Зависимость КОП-КОП4 и функцией АЛУ приведена в табл. 1.1. Разряды КОП5-КОП6 расширяют возможность поля КОП1-КОП4. Все 459 операций МП обычно разбиваются на так называемые шесть операционных форм (табл. 1.2 - табл. 1.7):

- I А/АЛУ/В → А или В или С
- II А плюс В плюс ВКПАЛУ → А или В или С
- III А → В
- IV /РР плюс А (А) плюс ВКПАЛУ / сдвинутые → РР, РД
- V /РР плюс ВКПАЛУ / сдвинутые → РР
- VI /РР плюс ВКПАЛУ, РД / сдвинутые → /РР, РД/

Первый тип операций (I) может использоваться для выполнения одной из 16 функций АЛУ (ВАО и ВЛО), выбранной КОП1-КОП4 слова МК (табл.1.1) над двумя из 4-х операндов (РОН, РР, РД, ШИНВХ), которые выставлены на шины А и В (рис. 1.1). Результат размещается в один из приемников: РОН, РР, РД, ШИНВХ (табл. 1.2)

Операции II используются для арифметического суммирования одного или двух операндов (РОН, РР, РД, ШИНВХ) с переносом ВКПАЛУ. Результат помещается в одно из 4 мест (РОН, РР, РД, ШИНВХ).

Операционная форма I
(Арифм. и лог. операции)

Таблица 1.2

РОН (АЛУ)РР → РОН	0000 ÷ 1111	0	0	РОН 000 ÷ 111		
РОН (АЛУ)РР → РР	0000 ÷ 1111	0	1	РОН 000 ÷ 111		
Вх ШИН(АЛУ)РР → Вых ШИН*	0000 ÷ 1111	1	1	0	0	0
Вх ШИН(АЛУ)РР → РР*	0000 ÷ 1111	1	1	0	0	1
Вх ШИН(АЛУ)РД → РР	0000 ÷ 1111	1	1	0	1	1
Вх ШИН(АЛУ)РР → РД	0000 ÷ 1111	1	1	1	0	0
Вх ШИН(АЛУ)РД → РД	0000 ÷ 1111	1	1	1	1	0
Вх ШИН(АЛУ)РД → Вых ШИН	0000 ÷ 111	1	1	1	1	1

Примечание:

Когда вход: ПРИОРИТЕТ=0, то РР → АДР РД → АДР В
случаях *. При ПРИОРИТЕТ=1 РОН? → АДР

Операционная форма II
(операции сложения)

Таблица 1.3

РОН + РР + Вх ПАЛУ → РД	0	0	1	1	1	0	РОН 000 ÷ 111		
РОН + Вх ШИН + Вх ПАЛУ → РР	0	1	0	0	1	0	РОН 000 ÷ 111		
РОН + Вх ШИН + Вх ПАЛУ → РД	0	1	0	1	1	0	РОН 000 ÷ 111		
РОН + Вх ШИН + Вх ПАЛУ → РОН	0	1	1	1	1	0	РОН 000 ÷ 111		
РОН + РД + Вх ПАЛУ → РР	1	1	0	0	1	0	РОН 000 ÷ 111		
РОН + РР + Вх ПАЛУ → РД	1	1	0	1	1	0	РОН 000 ÷ 111		
РРР + Вх ПАЛУ → РОН	1	1	1	0	1	0	РОН 000 ÷ 111		
Вх ШИН + РР + Вх ПАЛУ → РД	0	0	1	1	1	1	0	1	0
Вх ШИН + РР + Вх ПАЛУ → Вых ШИН	0	1	1	1	1	1	0	1	0
Вх ШИН + РД + Вх ПАЛУ → РР	1	1	0	0	1	1	0	1	0
Вх ШИН + РД + Вх ПАЛУ → РД	1	1	0	1	1	1	0	1	0
РД + Вх ПАЛУ → Вых ШИН	1	1	1	0	1	1	0	1	0

Операционная форма III

(послочные операции)

Таблица 1.4

Вх ШИН → РОН	1	1	1	1	1	0	РОН 000 ÷ 111
РОН → Вых ШИН	0	0	0	0	1	0	РОН 000 ÷ 111
РОН → РД	0	0	0	1	1	0	РОН 000 ÷ 111
Вх ШИН → РР	0	1	1	0	1	0	X X X
	0	1	1	0	1	1	0 1 0
Вх ШИН → РД	0	0	0	1	1	1	0 1 0
Вх ШИН → Вых ШИН	1	1	1	1	1	1	0 1 0
	0	0	0	0	1	1	0 1 0

Операционная форма IV

(*)

Таблица 1.5

(РР-Вх.Ш-1+Вх ПАЛУ) СДВ ЦЛВ → РР, РД	1	0	0	0	1	1	0	1	0
(РР+Вх Ш+Вх ПАЛУ) СДВ ЦЛВ → РР, РД	1	0	0	1	1	1	0	1	0
(РР-РОН-1+Вх ПАЛУ) СДВ ЦЛВ → РР, РД	1	0	0	0	1	0	РОН 000 ÷ 111		
(РР+РОН+Вх ПАЛУ) СДВ ЦЛВ → РР, РД	1	0	0	1	1	0	РОН 000 ÷ 111		
(РР+Вх ПАЛУ) СДВ АП → РР, РД	1	0	1	0	1	0	X	X	X
	1	0	1	0	1	1	0	1	0
(РР-Вх Ш-1+Вх ПАЛУ) СДВ АП → РР, РД	0	0	1	0	1	1	0	1	0
(РР+Вх Ш+Вх ПАЛУ) СДВ АП → РР, РД	1	0	1	1	1	1	0	1	0
(РР-РОН-1+Вх ПАЛУ) СДВ АП → РР, РД	0	0	1	0	1	0	РОН 000 ÷ 111		
(РР+РОН+Вх ПАЛУ) СДВ АП → РР, РД	1	0	1	1	1	0	РОН 000 ÷ 111		

ОПЕРАЦИОННАЯ ФОРМА \bar{V} (сдвиг РР)

Таблица 1.6

- (*)
- (РР+Вх ПАЛУ) СДВАП → РР
 - (РР+Вх ПАЛУ) СДВАЛВ → РР
 - (РР+Вх ПАЛУ) СДВЛВ → РР
 - (РР+Вх ПАЛУ) СДВЦАВ → РР
 - (РР+Вх.ПАЛУ) СДВЛП → РР
 - (РР+Вх.ПАЛУ) СДВПЛ → РР

0 0 0 0	1 1	1 0 1
0 0 0 1	1 1	1 0 1
1 0 0 1	1 1	1 0 1
0 0 1 0	1 1	1 0 1
0 0 1 1	1 1	1 0 1
1 0 1 1	1 1	1 0 1
1 0 0 0	1 1	1 0 1
1 0 1 0	1 1	1 0 1

* Для операционных форм \bar{V} \bar{V} Вх ПАЛУ должен быть равен нулю для выполнения правильных сдвигов

- * СДВАП СДВАЛВ - сдвиг арифметический правый (левый)
- СДВЛП (СДВЛЛВ) - сдвиг логический правый (левый)
- СДВЦП (СДВЦЛВ) - сдвиг циклический правый (левый)

ОПЕРАЦИОННАЯ ФОРМА \bar{VI}
(свойной сдвиг)

Таблица 1.7

- (РР+Вх ПАЛУ, РРР) СДВ ЛП → РР, РД
- (РР+Вх.ПАЛУ, РРР) СДВ ЦАВ → РР, РД
- (РР+Вх ПАЛУ, РРР) СДВ АЛВ → РР, РД
- (РР+Вх.ПАЛУ, РРР) СДВ ЦЛВ → РР, РД
- (РР+Вх.ПАЛУ, РРР) СДВ ЛП → РР, РД
- (РР+Вх ПАЛУ, РРР) СДВ ПЛ → РР, РД

0 1 0 0	1 1	1 0 1
0 1 0 1	1 1	1 0 1
1 1 0 1	1 1	1 0 1
0 1 1 0	1 1	1 0 1
0 1 1 1	1 1	1 0 1
1 1 1 1	1 1	1 0 1
1 1 0 0	1 1	1 0 1
1 1 1 0	1 1	1 0 1

Операции III типа используются для передачи одного из двух операндов (РОН, ШИНВХ) в одно из четырех мест (РОН, РД, РР, ШИНВХ).

Операции IV типа используются для выполнения функций:

- арифметического суммирования содержимого РР с ВКПАЛУ и одним из двух операндов (РОН, ШИНВХ), арифметического сдвига результата вправо на СДВР(РР) (рис. I.1) и передачи сдвинутого результата (F) в РР;

- арифметического суммирования РР с ВКПАЛУ и одним из двух операндов-источников (РОН, ШИНВХ), циклического сдвига результата влево и передачи сдвинутого результата (F) в РР;

- арифметического вычитания одного из двух операндов (РОН, ШИНВХ) и -1 из РР, арифметического сложения с ВКПАЛУ и циклического сдвига результата влево или арифметического сдвига вправо с последующей передачей сдвинутого результата в РР.

При выполнении операции IV типа в РР записывается сдвинутый результат операции, а в РД записывается сдвинутое предыдущее содержимое РД (рис. I.5, I.6).

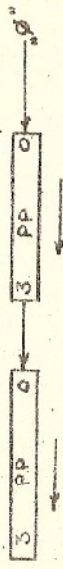
При записи результата в РР информация проходит через АЛУ (рис. I.1), поэтому для операций IV подсодержимым РР до сдвига следует понимать результат операции IV на выходе АЛУ (на выходе F).

Операции V типа применяются для сдвига РР с одинарной точностью и помещения результата в РР. Содержимое РР может быть сдвинуто логическим или арифметически вправо или влево (рис. I.5, I.6).

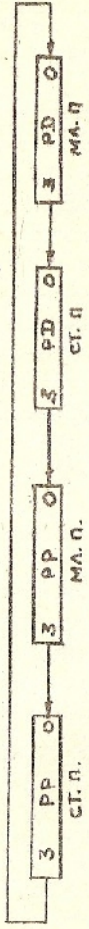
Операции VI типа используются для сдвига с двойной точностью РР и РД. При односимвольных арифметических сдвигах бит размещается в старшем разряде РР, при двусимвольных арифметических сдвигах знаковый бит размещается в старших разрядах РР и РД старшей секции (рис. I.5, I.6).

Типы сдвига влево в процессоре

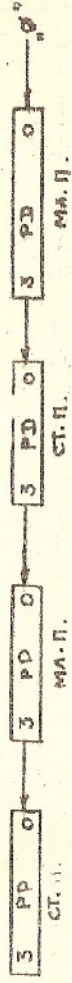
1) сдв А АВ, сдв А АВ (\bar{V} тип), П1 ПФ = 11 (ст. поз.)



2) сдв 4 АВ (\bar{V} , \bar{V} тип), П1 ПФ = 11 (ст. поз)



3) сдв А АВ, сдв А АВ (\bar{V} , \bar{V} тип), П1 ПФ = 11



4) сдв А АВ (\bar{V} , \bar{V} тип), П1 ПФ = 1Ф (двусимвольные слова)

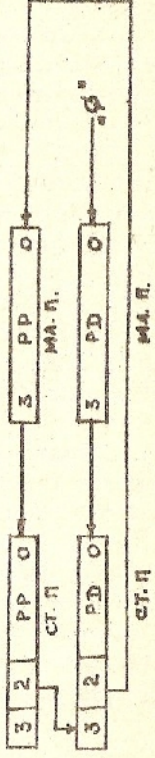
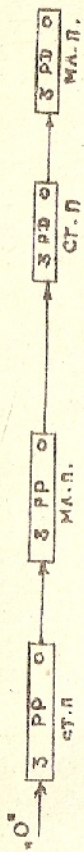


Рис. 1.5

Типы связей в графах процессора

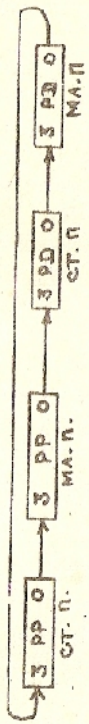
1) связь АП, П1 ПФ = 11 (ст.п)



2) связь ЦП (\bar{Y} тип), П1 ПФ = 11



3) связь ЦП (\bar{Y}, \bar{Y}), П1 ПФ = 11



4) связь АП, П1 ПФ = 11



5) связь АП, П1 ПФ = 10

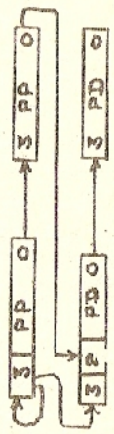


Рис. 1.6

Измерение времени задержки сигнала в канале
ШВХ - ШВХХ (минуя АЛУ)

При выполнении упражнения последовательность действий оператора состоит в следующем:

- на вход СТРОБ регистра входных данных Р ВХД подать импульс отрицательной полярности длительностью равной одному периоду цикла (16 микротактов), сформировав его на вспомогательном Д-триггере, для чего вход Д-триггера соединить с его инверсным выходом, а на С-вход Д-триггера подать любой из импульсов синхронизации установки СИ1-СИ4;
- на вход СТРОБ регистра микрокоманд подать нулевой потенциал с выхода любого вспомогательного элемента, закоммутировав таким образом выходы RQMС постоянно на вход ПЛМ регистра кода операции (RQКОП) микропроцессора;
- переключатель ОДИН/НЕПР установить в положение ОДИН;
- переключатель ЗАП/РАБ установить в положение ЗАПИСЬ, установив стенд в контрольный режим;
- сигнал СИМ генератора тактовых сигналов подать на гнездо СИНХР РМК и с помощью кнопки ВВОД ИНФ и кнопки ПУСК последовательным кодом в РМК занести МК (микрокоманду) ШВХ - ШВХХ (000011010);
- перекоммутировать сигнал СИМ на вход СИНХР регистра входных данных и с помощью кнопки ВВОД ИНФ и кнопки ПУСК последовательным кодом занести в регистр заданный операнд;
- перекоммутировать сигнал СИМ на вход СИНХР микропроцессора;
- переключатель ОДИН/НЕПР перевести в положение НЕПР;
- нажав кнопку ПУСК, запустить генератор;
- синхронизировать осциллограф сигналами СИ4;
- построить временные диаграммы сигнала на выходе СТРОБ регистра входных данных и на ШГХХ (гнездах шины выходной информации), определив задержку сигнала в канале ШВХ - ШВХХ.

Схема коммутации элементов установки при проведении лабораторной работы показана на рис. I. I

При проведении упражнения в регистр входных данных занести двоичный код, равный номеру по порядку студента в журнале.

Схема коммутации элементов стеанда при проведении лабораторной работы № 1

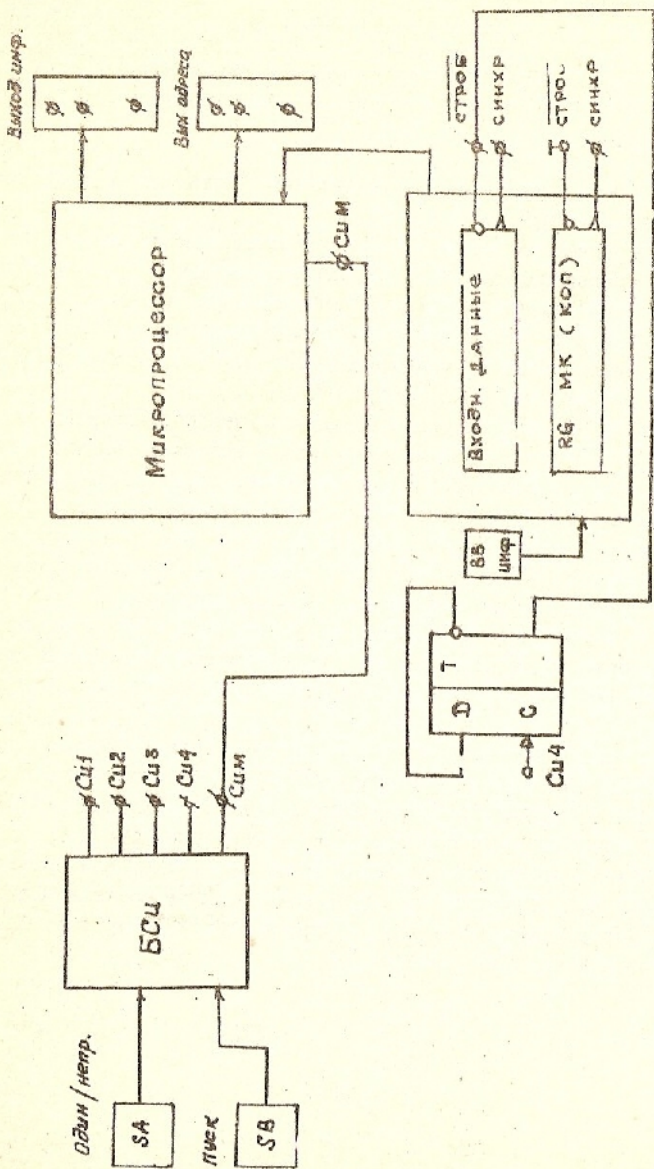


Рис. 1.1