

ОСНОВНЫЕ НАПРАВЛЕНИЯ ПЕРЕКЛЮЧАТЕЛЬНОГО АНАЛИЗА МОП-СТРУКТУР

А.И. Андрюхин

Донецкий национальный технический университет, Донецк, Украина

Рассматриваются направления переключательного анализа, как моделирование устройства с компонентами переключательного и вентильного уровня представления, моделирование асинхронной логики. Представлены характеристики построения тестов на переключательном уровне для эталонных схем.

Основные сведения переключательного анализа. Развитие моделирования современных МОП-схем на переключательном уровне, обусловлено необходимостью их тестирования. Известно, что тесты, построенные на основе известной модели одиночных константных неисправностей для вентильного уровня, не обнаруживают реальные дефекты МОП-схем [1-3]. Моделирование на вентильном уровне предполагает градации только одной модальности сигнала (состояние сигнала, ассоциируемое с напряжением), переключательный уровень использует градации двух модальностей сигнала (дополнительно сила сигнала, обычно ассоциируемая с силой тока или проводимостью). Стандартное представление проекта на переключательном уровне представляет собой описание полевых транзисторов, т.е. номера узлов схемы к которым относятся стоки, истоки и затворы транзисторов (см. описание на *esim*[4]). Параллельное моделирование исправного устройства описано в [5-6]. В ней процесс моделирования представлен итерационным решением системы булевых уравнений вида $X_{n+1} = M \otimes F(X_n)$, где X_n - значение многозначных узлов схемы в n -итерации (состояние схемы). Считаем, что M - операция выбора максимального значения из значений сигналов разветвлений узла, F - система булевых уравнений, вид которых зависит от алфавита моделирования и базовых компонентов, составляющих устройство, \otimes операция суперпозиции. Значение X есть двойка (G, H) , где $G \in (0, 1, X, Z)$, $H \in (D, W, SC, C)$ - соответственно значения логического состояния сигнала и его логической силы, которые можно интерпретировать, как напряжение и сила тока.

Смешанное моделирование. На первых этапах проектирования современных СБИС часть компонентов проекта использует обозначения вентильно-функционального уровня, а другая часть схемотехнического (транзисторного) или переключательного уровня. К примеру, на рис.1 представлены различные реализации простейшего мультиплексора $2 \rightarrow 1$

разнообразными стилями проектирования МОП-структур с использованием проходных транзисторов (DPL-двойная логика на проходных транзисторах, CPL-комплементарная логика на проходных транзисторах, PPL- push-pull логика и т.п.)[7,8]. Комфортно для разработчика иметь подобное смешанное представление и возможность моделировать и верифицировать именно его.

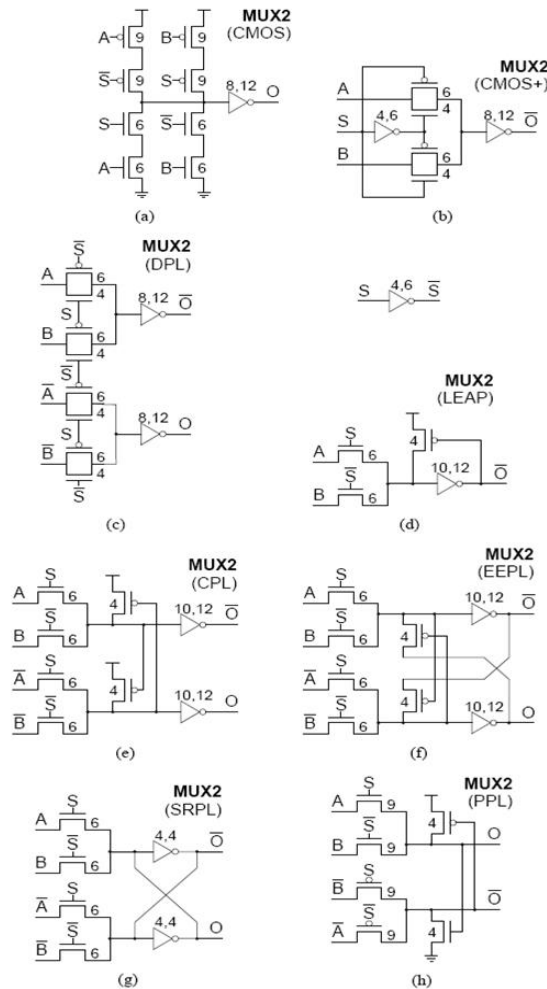


Рис.1. Стили смешанного проектирования мультиплектора 2→1.

Полный алгоритм решения представлен в [9,10] и имеет вид:

1. Считаем двухтерминальные (инвертор) и трехтерминальные логические вентили фиктивными транзисторами соответствующего типа. Включение этих компонентов, как фиктивных транзисторов, в описание устройства на переключательном уровне производится экспандером.

2. В систему булевых уравнений F вносим дополнительные дизъюнкты, соответствующие новым типам компонентов устройства.

Необходимой частью систем смешанного моделирования, при котором используются компоненты различных иерархических уровней

является экспандер (расширитель). Алгоритм функционирования экспандера и описание его возможностей рассматриваются в [9,10].

Пример расчета. На рис.2 имеем одну и ту же схему, представленную смешанным и чисто переключательным описанием. Значение выхода этой схемы должно быть равно входу, что подтверждают данные в таблице 1.

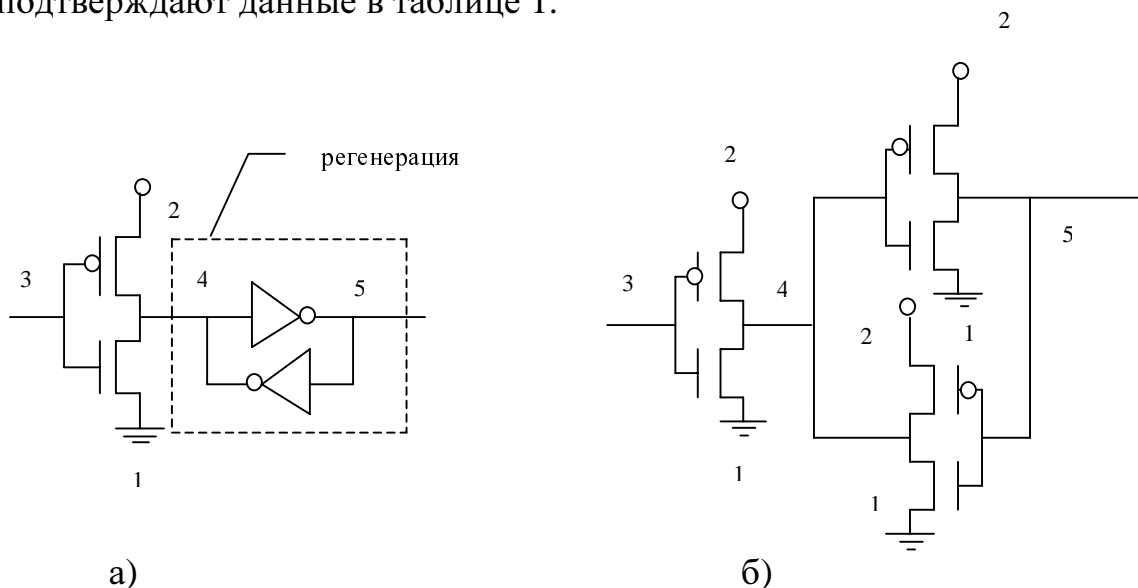


Рис.2.а)смешанное представление;б) переключательный вид.

Моделирование асинхронной логики на переключательном уровне. За последнее время активизировалось внимание производителей чипов к построению асинхронных процессоров и, следовательно, к асинхронной логике. В отчете IBM за 2004 года [11], наряду с такими тенденциями, как переход в наночастотный диапазон и выпуск многоядерных процессоров, рассматривается асинхронная реализация процессоров. Состояние дел в данной области отражено в [12,13]. В [14] представлены возможности моделирования и тестирования асинхронных схем на переключательном уровне, построенных на основе event-based методах проектирования [5] на основе модифицированной системы [15]. На рис.3 представлены основные примитивы асинхронной логики.

Рассмотрим примитив для синхронизации – *JOIN* (объединение), также называемый *RENDEZVOUS* (рандеву) . *JOIN* имеет два входа *a* и *b* и один выход *c*. *JOIN* выполняет операцию Логическое И двух событий – *a* и *b*. Он формирует событие выхода *c* только после того, как получат события оба входа, *a* и *b*. Входные данные могут измениться снова, только после того, как сформированы выходные данные. *JOIN* может быть реализован *C*-элементом Мюллера. Поведение выхода *c* *C*-

элемента выражается с использованием значений входов a и b и предыдущего состояния выхода c' следующей логической функцией $c=c'(a+b)+a*b$.

Таблица 1. Результаты моделирования схемы на рис.2.

Номер набора	Номер итерации	Значения сигналов в узлах схемы		
		3	4	5
1	0	D0	CX	CX
1	1	D0	D1	CX
1	2	D0	D1	D0
2	0	D1	C1	C0
2	1	D1	D0	CX
2	2	D1	D0	D1
3	0	D1	C0	C1
3	1	D1	D0	CX
3	2	D1	D0	D1
4	0	D0	C0	C1
4	1	D0	D1	CX
4	2	D0	D1	D0

Мы приводим две самые распространенные КМОП реализации из их множества на рис. 4. Данные таб.2 в скобках относятся к симметрической реализации С-элемента.

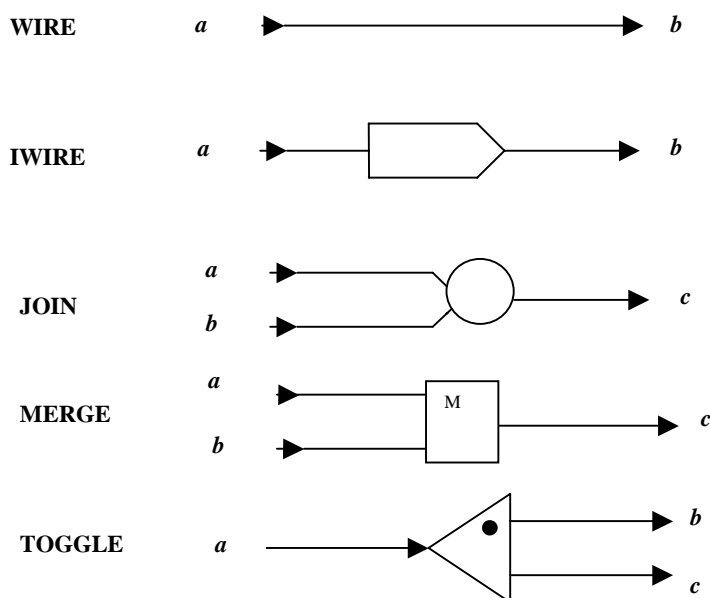


Рис. 3. Основные нечувствительные к задержкам примитивы

Тестирование МОП-структур. Задача тестирования современных СБИС, производимых по МОП и КМОП, БиКМОП технологиям, вследствие быстрого роста интеграции, частоты и архитектурной сложности является существенно более сложной и затратноёмкой, нежели аналогичная задача для схем, которые изготовлены по ЭСЛ- или ТТЛ-технологиям. Известно, что обрывы (замыкания) транзисторов могут перевести устройство из класса комбинационных схем в класс последовательностных схем. На вентиляльном уровне моделировать эти дефекты невозможно или чрезвычайно затруднительно. Предложено множество путей ее решения: различные расширения вентильного подхода, переход на транзисторный уровень, токовые модели (IDDQ) и т.п.[1-3]. Наиболее известный и радикальный путь обеспечения единого подхода к моделированию различных неисправностей схем изготовленных согласно различным направлениям МОП- технологий, это как известно, использование переключательных моделей, которые используют представление устройства на транзисторном уровне и учитывают конкретные особенности МОП-схем, рассматривая их топологическую структуру.

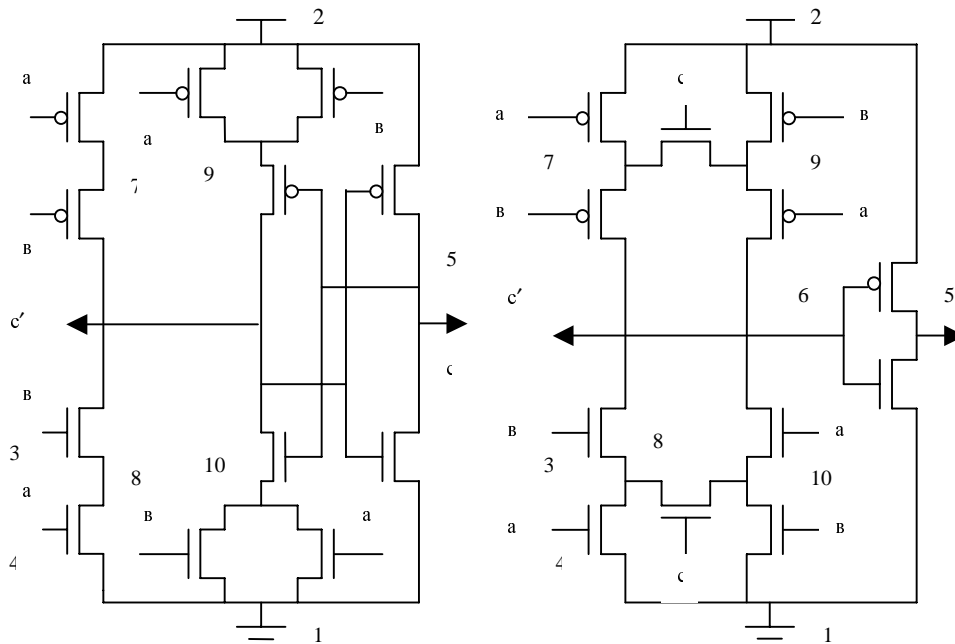


Рис.4. КМОП-реализации С-элемента:(а)-стандартная;(б)-симметрическая.

Приведем характеристики реализованных методов построения тестов на переключательном уровне для эталонных схем из [2] для основных реальных дефектов МОП-схем в таблице 3.

Таблица.2.Результаты моделирования С-элемента

Номер набора	Число итераций	Значения сигналов в узлах схемы									
		1	2	3	4	5	6	7	8	9	10
1	3	D0	D1	D0	D0	D0	D1	D1	CX	D1	CX
2	4(3)	D0	D1	D1	D1	D1	D0	C1	D0	C1	D0
3	5(7)	D0	D1	D0	D1	D1	D0	D0	D0	D1	D0
4	3	D0	D1	D1	D1	D1	D0	C0	D0	C1	D0
5	5(7)	D0	D1	D1	D0	D1	D0	D1	D0	D1(0)	D0
6	4(3)	D0	D1	D0	D0	D0	D1	D1	C0	D1	C0

Таблица 3.Оценка тестируемости эталонных схем на случайных тестах.

Имя схемы из эталона ISCAS-89	Число наборов в тесте	Число константных неисправностей =0 /обнаруж./	Число константных неисправностей =1 /обнаруж./	Число неисправностей «обрыв транзистора» /обнаруж./	Число неисправностей «замыкание сток-исток»/ обнаруж./	Число неисправностей «обрыв линий» /обнаруж./
S1494	50	1430/170	1430/313	2129/310	2129/344	2129/345
S1512	7	1607/101	1607/541	2823/626	2823/626	2823/626
S298	50	329/51	329/66	668/147	668/151	668/119
S4863	6	4717/625	4717/717	7056/1100	7056/1050	7056/1050

Заклучение и дальнейшие исследования. При моделировании неисправностей итеративный процесс моделирования схемы зачастую не может определить ее устойчивое состояние, т.е. имеем осцилляции на линиях устройства. Для практического использования желательно дать определенные ответы на вопросы, имеет ли осцилляция своей причиной моделируемую неисправность, определение практически приемлемого граничного числа итераций для обнаружения осцилляции. Важной областью применения переключательного анализа является тестирование нейроморфных чипов [8].

Литература

- 1.Вейцман И.Н., Кондратьева О.М.Тестирование КМОП-схем//Автоматика и телемеханика, 1991, № 2, С.3-34.
- 2.Андрюхин А.И. Генерация тестов для МОП-структур на переключательном уровне// Научные труды Донецкого государственного технического университета. Серия:Информатика, кибернетика и вычислительная техника. Выпуск 9(132), 2008 г., С.195 -202.
- 3.Андрюхин А.И.Анализ методов тестирования неисправностей «обрыв транзистора» в МОП-структурах//Научные труды Донецкого национального технического университета:Информатика, кибернетика и вычислительная

техника. Вып. 93. с. 196-204.

4. Ульман Дж. Вычислительные аспекты СБИС: Пер. с англ./ Под ред. П. П. Пархоменко. - М.: Радио и связь, 1990. - 480 с.

5. Андрюхин А.И. Параллельное многозначное логическое моделирование исправных и неисправных псевдобулевых схем. // Электронное моделирование - 1997, N 1. - с. 58-63.

6. Андрюхин А.И. Параллельное многозначное логическое моделирование исправных и неисправных псевдобулевых схем. // Электронное моделирование - 1997, N 1. - с. 58-63.

7. Reto Zimmermann, Wolfgang Fichtner. Low-Power Logic Styles: CMOS Versus Pass-Transistor Logic // IEEE Journal of Solid-State Circuits, Vol. 32, No. 7, July 1997.

8. Valeriu Beiu, Senior Member, IEEE, José M. Quintana, and María J. Avedillo. VLSI Implementations of Threshold Logic—A Comprehensive Survey // IEEE Transactions on Neural Networks, Vol. 14, No. 5, September 2003, pp. 1217-1243.

9. Андрюхин А.И. Смешанное моделирование МОП-схем // Научные труды Донецкого государственного технического университета. Серия: Проблемы моделирования и автоматизации проектирования динамических систем. Выпуск . 2007 г., с. 188-197.

10. Андрюхин А.И. Параллельное смешанное моделирование МОП-схем // Сб. трудов конференции "Моделирование-2008", т. 2, Киев, 14-16 мая 2008, с. 383-388.

11. The year in microprocessors. IBM, 2004, [www.ibm.com/ developerworks /library/ya-yearend.html](http://www.ibm.com/developerworks/library/ya-yearend.html).

12. S. Hauck. "Asynchronous design methodologies: An overview", Proc. IEEE, Vol. 83, No. 1, Jan. 1995, pp. 69-93.

13. The Status of Asynchronous Design in Industry. www.scism.sbu.ac.uk/ccsv/ACiD-WG/AsyncIndustryStatus.pdf.

14. Андрюхин А.И. Моделирование асинхронной логики на переключательном уровне. I // Научные труды Донецкого национального технического университета: Проблемы моделирования и автоматизации проектирования динамических систем. Вып. 78. 2006, с. 74-83.

15. I. E. Sutherland, "Micropipelines", Communications of the ACM, Vol. 32, no. 6, pp. 720-738, June 1989.

16. Андрюхин А.И., Сперанский Д.В. Иерархическая компилятивная система моделирования и генерации тестов // Техническая диагностика и неразрушающий контроль. - 1994. N 2. - с. 71-78.

Получено 27.05.2009.