

### 3. УНИВЕРСАЛЬНАЯ МИКРОПРОЦЕССОРНАЯ ШИНА

Универсальная микропроцессорная шина (УМШ), описанная в настоящем разделе, предназначена для построения микропроцессорных ЭВМ и систем с одним или несколькими ведущими модулями. УМШ ориентирована на микропроцессоры типа 8080, однако может использоваться и с другими МП. Шина представляет собой некоторую "смесь" шин S-100 и MULTIBUS и позволяет строить как простейшие однопроцессорные микро-ЭВМ, так и сложные системы с несколькими процессорными модулями. Все сигналы, передаваемые по линиям шины, имеют TTL уровни. Общее количество линий - 96.

#### 3.1. Линии и сигналы УМШ

##### Линии данных.

DB15-DB0 - шестнадцать двунаправленных линий данных, по которым модули обмениваются информацией, представленной в виде параллельных шестнадцатиразрядных двоичных кодов. Информацию на шину данных может выдавать любой (и ведущий, и ведомый) модуль, однако ведомый - только по соответствующим управляющим сигналам ведущего. Младший разряд шины DB0, старший разряд DB15. Младший байт передается по линиям DB7-DB0, старший байт - по линиям DB15-DB8. Для обмена восьмизначными кодами (побайтный обмен) используются линии DB7-DB0, DB0 - младший разряд байта, DB7 - старший разряд байта. Активный уровень сигналов на линиях шины высокий.

DS15-DS0 - шестнадцать резервных линий данных. Совместно с линиями DB15-DB0 позволяют организовать шину данных состоящей из двух однонаправленных подшин. В однопроцессорных применениях - это шины приема и выдачи данных. Возможна также организация однонаправленного побайтного обмена по линиям DS7-DS0 и DB7-DB0.

##### Линии адреса.

AB15-AB0 - шестнадцать линий, по которым передается адрес ячейки запоминающего устройства или устройства ввода-вывода. Информацию на адресные линии может выдавать только ведущий модуль. Младший разряд адреса AB0, старший разряд адреса AB15. Активный уровень сигналов на линиях адреса высокий.

### Линии синхронизации.

$\phi_1$ - $\phi_2$  - линии передачи тактовых серий синхроимпульсов для микропроцессора типа 8080. Вид синхроимпульсов и временные требования к ним приведены на рис.3.1. Сигналы  $\phi_1$  и  $\phi_2$  имеют TTL уровни и должны присутствовать на линиях постоянно.

**CCLK** - линия передачи сигнала синхронизации шины. Вид синхросигнала и требования к нему приведены на рис.3.1. Синхросерия **CCLK** должна постоянно присутствовать на линии. Сигналы  $\phi_1$  и  $\phi_2$  могут быть как синхронны с **CCLK**, так и асинхронны.

**BCLK** - линия передачи управляемых сигналов синхронизации шины. Сигналы **BCLK** должны быть строго синхронны с **CCLK** (требования на рис.3.1). Сигналы **BCLK** используются для синхронизации управляющих цепей всех ведущих модулей (все переключения по заднему фронту **BCLK**). Ведущий модуль может управлять **BCLK**: приостанавливать или полностью останавливать выдачу синхросерии.

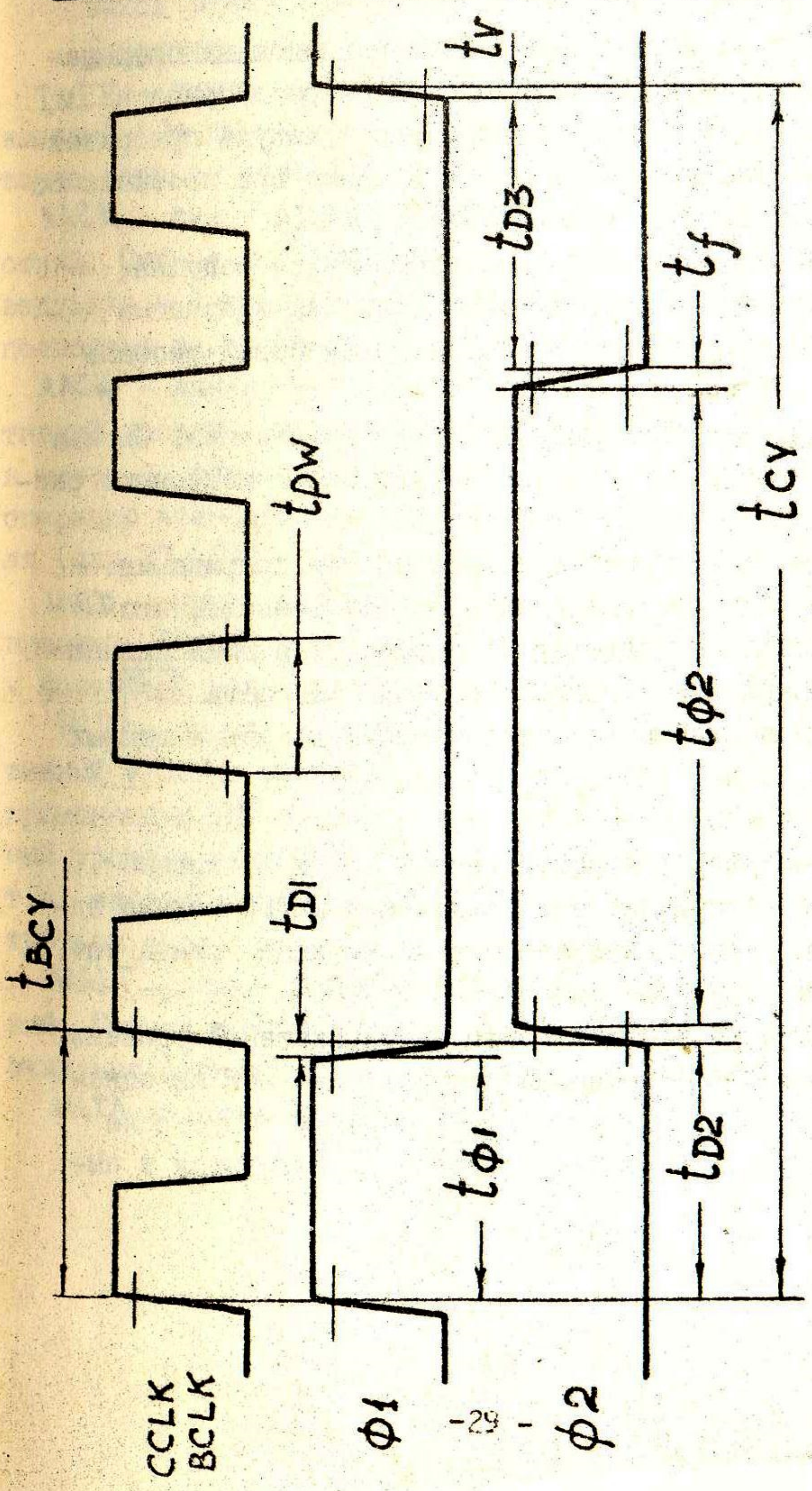
Далее будем считать, что частота **BCLK**, **CCLK** - 9 мГц, частота  $\phi_1$ ,  $\phi_2$  - 2 мГц. Длительность сигнала  $\phi_1$  ( $t_{\phi_1}$ ) - 115 нс, длительность сигнала  $\phi_2$  ( $t_{\phi_2}$ ) - 275 нс, длительность паузы ( $t_{D3}$ ) - 110 нс. Длительность импульса **BCLK**, **CCLK** ( $t_{pw}$ ) - 55 нс.

### Линии управления ведомыми модулями:

**MWTC** - линия передачи сигнала записи в запоминающее устройство. Активный уровень сигнала - низкий. Сигнал индицирует, что ведущий модуль выставил информацию на линии данных и код адреса на линии адреса. По низкому уровню сигнала **MWTC** код с линий данных должен быть записан в ячейку ЗУ с соответствующим адресом.

**IOWC** - линия передачи сигнала записи в УВВ. Активный уровень сигнала низкий. Сигнал индицирует, что ведущий модуль выставил информацию на линии данных и код адреса порта вывода на линии адреса. По низкому уровню сигнала **IOWC** код с линий данных должен быть записан в соответствующий порт вывода.

**MRDC** - линия передачи сигнала чтения из запоминающего устройства. Активный уровень сигнала низкий. Сигнал индицирует, что ведущий модуль выставил на линии **AD15-AD0** адрес ячейки ЗУ и линии данных настроены на прием информации в ведущий модуль. По низкому уровню сигнала **MRDC** ведомый модуль (модуль ЗУ) должен



$$t_{CY} = t_{D3} + t_{D2} + t_V + t_{\phi 2} + t_f + t_{\phi 1} + t_{D1} \geq 480 \text{ нс}$$

Параметр	t нс	
	мин	макс
$t_{BSU}$	100	
$t_{PW}$	35	$0.65 t_{BSU}$
$t_{CV}$	180	2000
$t_{\phi 1}$	50	
$t_{\phi 2}$	220	
$t_{D1}$	0	
$t_{D2}$	80	
$t_{D3}$	80	
$t_r$	0	50
$t_f$	0	50

Рис.3.1. Синхронимпульсы шины и их временные соотношения

считать информацию из соответствующей ячейки и выставить ее на линии данных.

**IORS** - линия передачи сигнала чтения из УВВ. Активный уровень сигнала низкий. Сигнал индицирует, что ведущий модуль выставил на линии **AD7-AD0** адрес порта ввода и линии данных настроены на прием информации в ведущий модуль. По низкому уровню сигнала ведомый модуль (модуль УВВ) должен выдать информацию с соответствующего порта ввода на шину данных.

Все четыре сигнала управления ведомыми модулями может выдавать только ведущий модуль, получивший управление шиной.

Линии управления прерываниями.

**IV7-IV0** - восемь линий передачи сигналов запросов на прерывание. Активный уровень высокий. Нормально источником запроса на прерывание является ведомый модуль, приемником - модуль приоритетного прерывания. Количество запросов на прерывания при необходимости может быть увеличено за счет линий **DS15-DS0**.

**INT** - линия передачи запроса на прерывание в ведущий модуль. Сигнал **INT** поступает в ведущий модуль как запрос на прерывание из модуля приоритетного прерывания. Активный уровень сигнала высокий.

**INTE** - линия передачи сигнала разрешения прерывания. Сигнал вырабатывается ведущим модулем. В активном (высоком) состоянии сигнал разрешает прерывание.

**INTA** - линия передачи сигнала подтверждения прерывания. Активный уровень сигнала низкий. Сигнал **INTA** указывает, что ведущий модуль выполняет цикл обработки прерывания и шина данных настроена на прием информации. По низкому уровню сигнала **INTA** модуль приоритетного прерывания должен выставить на линии данных команду **RST**.

Линии управления шиной.

**BUSY** - линия передачи сигнала занятости шины. Активный уровень низкий. Сигнал указывает, что управление шиной отдано одному из ведущих модулей. Все остальные модули не имеют права управлять шиной.

**BPRN** - входная линия сигнала приоритета. Активный уровень низкий. В активном состоянии сигнал индицирует, что нет ни одного ведущего модуля с большим приоритетом, требующим шину. Если хотя бы один такой модуль есть, сигнал **BPRN** находится в вы-

соком состоянии.

**$\overline{BPRO}$**  – выходная линия сигнала приоритета. Активный уровень низкий. Активный уровень устанавливается модулем, если сигнал  **$\overline{BPRM}$**  в низком состоянии и сам модуль не требует шины. Если же модуль требует управление шиной или любой ведущий модуль с большим приоритетом требует шину (сигнал  **$\overline{BPRM}$**  высокий), то  **$\overline{BPRO}$**  переводится в высокое состояние.

Изменение состояния сигналов  **$\overline{BUSY}$** ,  **$\overline{BPRO}$**  должно происходить строго синхронно с задним фронтом  **$\overline{BCLK}$** . У ведомых модулей выход  **$\overline{BPRO}$**  должен быть закорочен со входом  **$\overline{BPRM}$** .

Дополнительные линии.

**$\overline{INIT}$**  – линия передачи сигнала инициализации. Активный уровень высокий. По данному сигналу все модули системы переводятся в некоторое заранее определенное начальное состояние.

**$\overline{HACK}$**  – линия передачи сигнала готовности. Активный уровень высокий. Сигнал вырабатывается ведомым модулем в ответ на обращение ведущего и индицирует, что соответствующая операция чтения/записи полностью завершилась.

**$\overline{AACK}$**  – линия передачи сигнала предварительной готовности. Активный уровень высокий. Сигнал вырабатывается ведомым модулем в ответ на обращение ведущего и индицирует, что модуль выполнит операцию чтения/записи без требования приостановки ведущего модуля (для МП 8080 – без перевода в состояние ожидания).

**$\overline{HOLD}$**  – линия передачи сигнала запроса шин. Активный уровень высокий. Сигнал используется в однопроцессорных применениях УМШ и поступает непосредственно на вход запроса шин МП 8080.

**$\overline{HLDA}$**  – линия передачи сигнала подтверждения запроса шин. Активный уровень высокий. Сигнал используется в однопроцессорных применениях УМШ и является соответствующим выходом МП 8080. Активный уровень свидетельствует, что МП перешел в состояние  **$\overline{HOLD}$** , т.е. адресные линии и линии данных микропроцессора находятся в третьем состоянии.

**$\overline{WAIT}$**  – линия передачи сигнала ожидания. Активный уровень высокий. Сигнал подтверждает, что ведущий модуль находится в состоянии ожидания сигнала  **$\overline{HACK}$**  или  **$\overline{AACK}$** .

**$\overline{HLTA}$**  – линия передачи сигнала останова. Активный уровень высокий.

Сигнал используется в однопроцессорных применениях УМШ. Активное состояние линии указывает, что МП находится в состоянии останова.

**MA** - линия передачи сигнала выборки кода операции. Активный уровень высокий. Сигнал используется в однопроцессорных применениях. Активное состояние сигнала указывает, что МП 8080 выполняет цикл чтения кода операции (первого байта) очередной команды.

**SINC** - линия передачи сигнала синхронизации цикла микропроцессора. Активный уровень высокий. Используется в однопроцессорных применениях. Активный уровень индицирует, что на шину данных микропроцессора выставлен байт статуса (слово состояния устройства управления МП).

#### Линии питания.

К линиям питания относятся

+5В - линия передачи напряжения  $+5В \pm 10\%$ ;

-5В - линия передачи напряжения  $-5В \pm 10\%$ ;

+12В - линия передачи напряжения  $+12В \pm 10\%$ ;

-12В - линия передачи напряжения  $-12В \pm 10\%$ ;

корпус - общая линия.

#### Резервные линии.

Предусмотрено три резервные линии, назначение которых может устанавливаться пользователем.

### 3.2. Конструктивное оформление и электрические характеристики сигналов шин

Предлагаемая универсальная микропроцессорная шина ориентирована на модули, выполненные на платах типа Б АСВТ-М. Размеры платы, нумерация контактов разъемов приведены на рис.3.2. Плата имеет две вилки, выполненные печатным способом, под разъемы типа РППГ 48. Для плат, на которых располагаются контроллеры ввода-вывода (интерфейсные модули), предусмотрена установка "интерфейсного" разъема того же типа. Системным разъемам присвоены номера: верхнему 100, нижнему 200. Контакты системных разъемов нумеруются трехразрядными числами, например, 101 - первый контакт сотого разъема, 248 - последний контакт двухсотого разъема. Каждый разъем имеет по 48 контактов. Обе вилки имеют ключ в виде прорези между 27,28 и 29,30 контактами

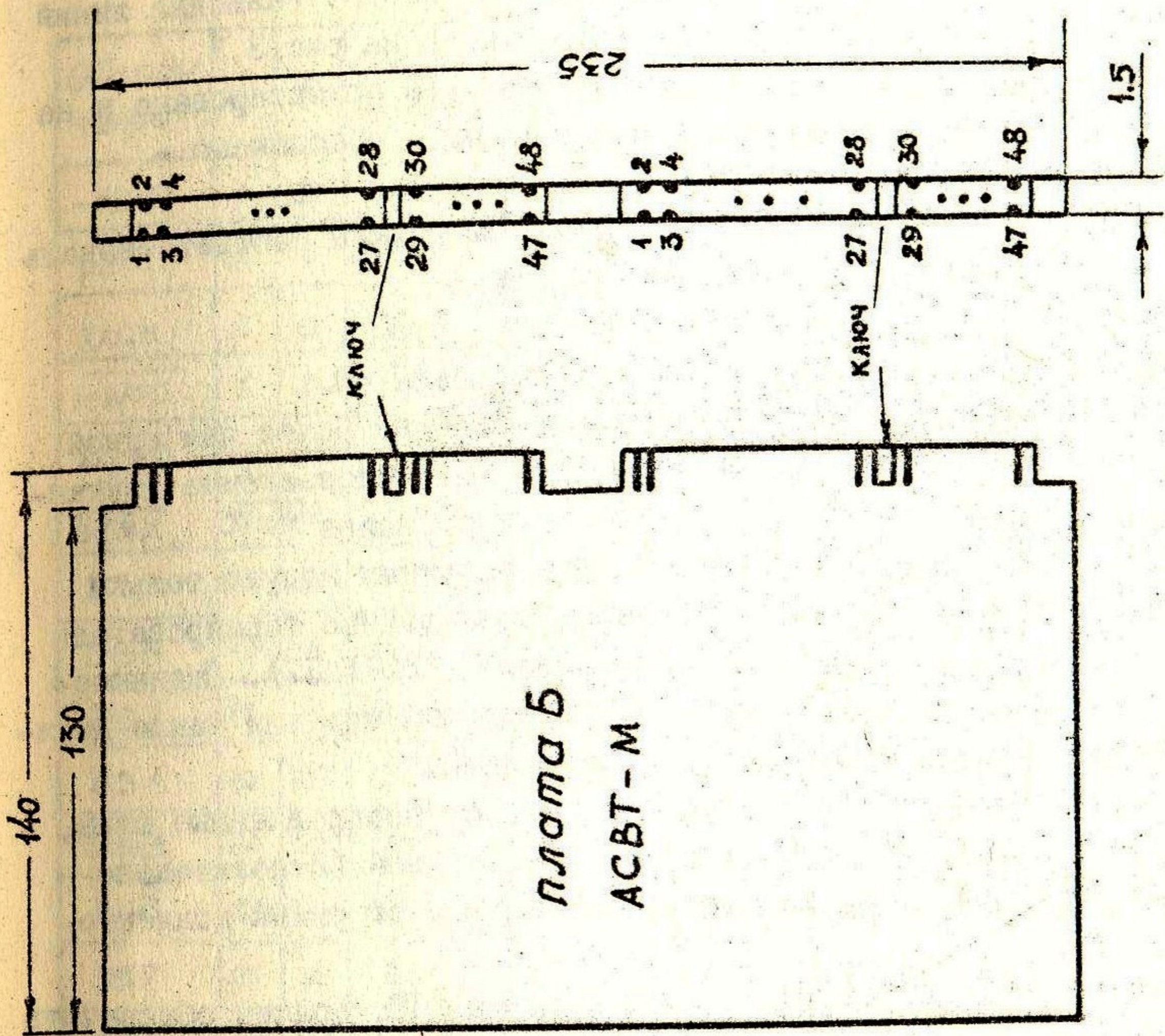
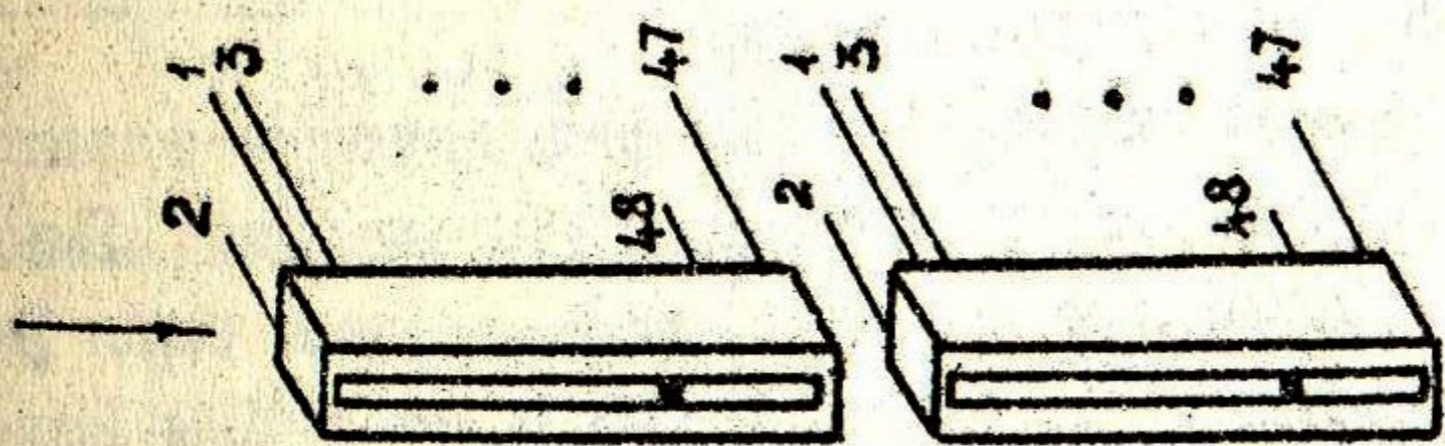


Рис. 3.2. Нумерация контактов системных разъемов и размеры платы

системный разъем 100



системный разъем 200

сторона элементов

сторона  
МОНТАЖА

- 33 -

интерфейсный разъем

для предотвращения неправильной установки платы. Разводка линий УМШ по контактам системных разъемов приведена на рис.3.3.

Конструктивное оформление шины может быть ориентировано и на другой тип плат. Единственное, что должно быть обеспечено - необходимое количество контактов.

Электрические уровни всех сигналов УМШ должны соответствовать сигналам транзисторно-транзисторной логики:

- напряжение логического нуля не более 0,8В;
- напряжение логической единицы не менее 2,4В.

Модуль должен нагружать любую линию шины не более чем одной стандартной ТТЛ нагрузкой. Линии адреса  $\overline{AB}$ , используемые двунаправленные линии данных  $\overline{DB}$ , а также линии сигналов  $\overline{MWTC}$ ,  $\overline{MRDC}$ ,  $\overline{IORC}$ ,  $\overline{IOWC}$ ,  $\overline{BUSY}$  должны подключаться к ведущему модулю только через буферы трех состояний (например, через шинные формирователи К589АП16, К589АП26 [23] или элементы К155ЛПВ, К531ЛА17). Подключение двунаправленных линий данных  $\overline{DB}$  к ведомым модулям также должно осуществляться через буферы трех состояний.

Если шина данных организована как две однонаправленные шины, допускается подключение ведомых модулей к входной (относительно процессорного модуля) подшине через элементы с открытым коллектором.

Любой модуль, посылающий сигнал в линию УМШ, должен обеспечить нагрузочную способность не менее 10. Нагрузочная способность ведущих модулей по сигналам адреса, данных,  $\overline{MWTC}$ ,  $\overline{MRDC}$ ,  $\overline{IORC}$  и  $\overline{IOWC}$  должна быть не менее 30.

Сигналы синхронизации должны быть сформированы в соответствии с требованиями рис.3.1. Нагрузочная способность сигналов синхронизации также должна быть не менее 30. Особых требований к формированию других сигналов УМШ не накладывается.

На всех модулях должны устанавливаться фильтрующие электролитические конденсаторы для используемых питающих напряжений. Емкость конденсаторов 10-50 мкФ. Кроме этого, на платах должны быть установлены блокировочные конденсаторы, количество и номиналы которых выбираются в соответствии с рекомендациями по используемой системе элементов.



Обозначение	№	№	Обозначение
-12В	1	2	корпус
φ2 TTL	3	4	φ1 TTL
ХАСК	5	6	ААСК
$\overline{MWC}$	7	8	$\overline{MRDC}$
$\overline{IOWC}$	9	10	$\overline{IORC}$
DB1	11	12	DBφ
DB3	13	14	DB2
DB5	15	16	DB4
DB7	17	18	DB6
DS1	19	20	DSφ
DS3	21	22	DS2
DS5	23	24	DS4
DS7	25	26	DS6
+5В	27	28	-5В
INIT	29	30	$\overline{BUSY}$
AB1	31	32	ABφ
AB3	33	34	AB2
AB5	35	36	AB4
AB7	37	38	AB6
AB9	39	40	AB8
AB11	41	42	AB10
AB13	43	44	AB12
AB15	45	46	AB14
+12В	47	48	корпус

Разъем 100

Обозначение	№	№	Обозначение
-12В	1	2	корпус
CCLK	3	4	BCLK
IV1	5	6	IVφ
IV3	7	8	IV2
IV5	9	10	IV4
IV7	11	12	IV6
INT	13	14	INTE
$\overline{INTA}$	15	16	резерв
BPRO	17	18	$\overline{BPRN}$
DB9	19	20	DB8
DB11	21	22	DB10
DB13	23	24	DB12
DB15	25	26	DB14
+5В	27	28	-5В
INIT	29	30	$\overline{BUSY}$
HLDA	31	32	HOLD
WAIT	33	34	HLTA
M1	35	36	SYNC
DS9	37	38	DS8
DS11	39	40	DS10
DS13	41	42	DS12
DS14	43	44	DS14
резерв	45	46	резерв
+12В	47	48	корпус

Разъем 200

Рис. 3.3. Обозначение контактов системных разъемов

### 3.3. Передача управления шиной

С универсальной микропроцессорной шиной может быть связано несколько ведущих модулей. В состав каждого такого модуля должны входить схемы, обеспечивающие правильное его подключение к шине. Совокупность таких схем назовем логикой захвата шины. Соединение модулей с линиями управления шиной показано на рис. 3.4. Приоритет модулей на право управления шиной уменьшается слева направо.

На входы  $\overline{BCLK}$  всех модулей поданы сигналы синхронизации шины. Источником синхросерии  $\overline{BCLK}$  и сигнала  $\overline{BUSY}$  может быть любой ведущий модуль, захвативший шину. Вход  $\overline{BPRN}$  каждого последующего модуля связан с выходом  $\overline{BPRO}$  предыдущего. На вход  $\overline{BPRN}$  первого (крайнего левого) модуля подан потенциал логического нуля — этот модуль обладает высшим приоритетом. Модуль, требующий захвата шины, формирует на своем выходе  $\overline{BPRO}$  высокий уровень, чем запрещает установленным правее модулям управлять шиной. Ясно, что крайний правый модуль имеет самый низший приоритет. Изменение приоритетов, присвоенных модулям, можно произвести их перестановкой в конструктиве системы. Логика захвата шины получает от схем модуля сигнал  $\overline{REQ}$  — требование на шину (активный уровень низкий) и выдает сигнал разрешения работы с шиной  $\overline{ADEN}$  (активный уровень высокий).

Рассмотрим процесс передачи управления шиной между двумя модулями, например, первым и вторым (рис. 3.5). Сначала шиной управляет первый модуль. При этом сигнал  $\overline{BPRO/1}$  равен 1, сигнал  $\overline{BUSY}$  равен 0 — шина занята. В некоторый момент времени во втором модуле вырабатывается сигнал запроса шины  $\overline{REQ/2} = 0$ , но т.к.  $\overline{BPRN/2}$  равен 1, ничего не происходит. Пусть первый модуль закончил обмен и сигнал  $\overline{REQ/1}$  переходит в неактивное состояние. По очередному (1) заднему фронту  $\overline{BCLK}$  первый модуль снимет сигнал  $\overline{BPRO/1}$ , т.е. на входе  $\overline{BPRN/2}$  появится низкий уровень. Вместе с  $\overline{REQ/2} = 0$  это свидетельствует, что второй модуль становится наиболее приоритетным. Однако захватить шину он еще не имеет права, т.к.  $\overline{BUSY} = 0$ . По следующему (2) заднему фронту  $\overline{BCLK}$  первый модуль снимает сигналы  $\overline{ADEN}$  и  $\overline{BUSY}$ , освобождая тем самым шину. Только теперь ( $\overline{BUSY} = 1 \wedge \overline{BPRN/2} = 0 \wedge \overline{REQ/2} = 0$ ) второй модуль имеет право занять шину. По очередному (3) заднему фронту  $\overline{BCLK}$  логика захвата

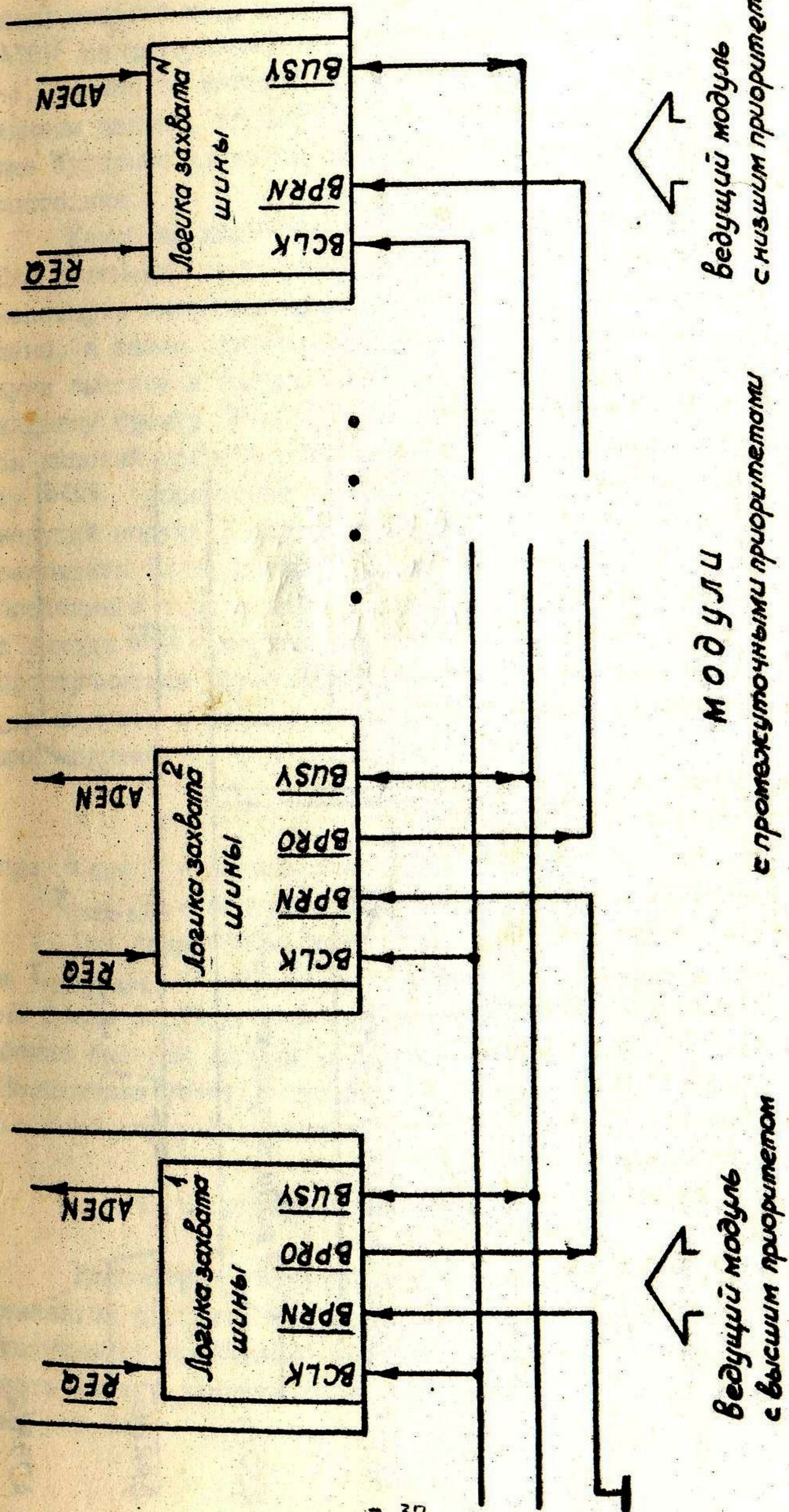
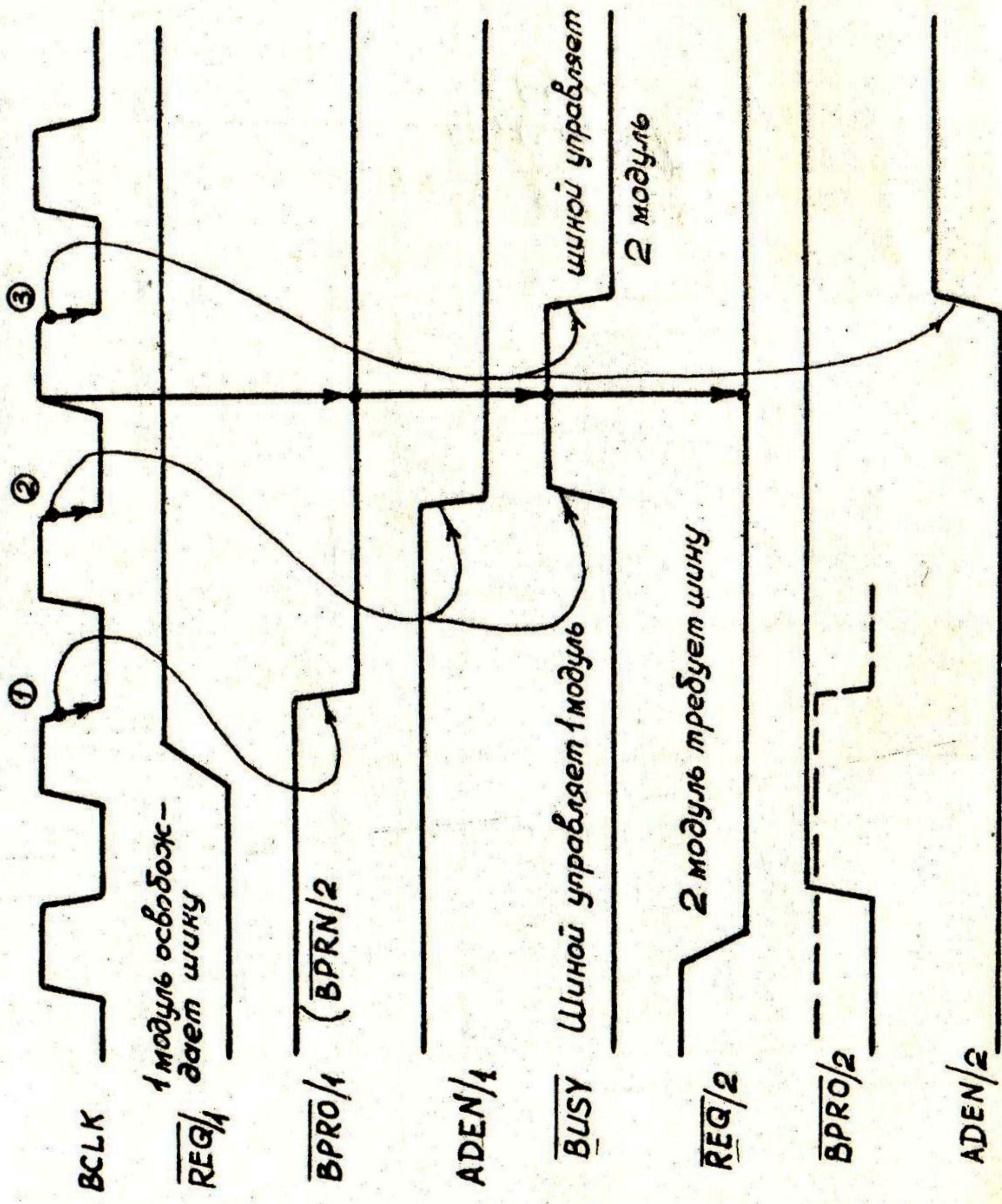


Рис. 3.4. Подключение ведущих модулей к линиям управления шиной

Рис. 3.5. Временные диаграммы передачи управления шиной



шины второго модуля устанавливает  $\overline{BUSY}$  равным 0 и выдает сигнал  $\overline{ADEN}$  во внутренние схемы, оповещая, что управление шиной получено. Обычно по сигналу  $\overline{ADEN}$  происходит подключение схем модуля к линиям данных, адреса и управления шиной, для чего соответствующие буферные элементы выводятся из третьего, высокоимпедансного состояния.

Какое же количество ведущих модулей можно подключить к УМШ? Для выяснения этого вопроса рассмотрим следующий случай. Пусть на некотором интервале времени ни один ведущий модуль не требовал шины, а затем одновременно первый (левый) и последний (правый) модули выставили сигналы запроса  $\overline{REQ/L}=0$ ,  $\overline{REQ/R}=0$ . По очередному заднему фронту  $\overline{VCLK}$  на выходе  $\overline{VPRO}$  первого модуля установится высокий уровень. Так как  $\overline{BUSY}=1$ , то по второму заднему фронту  $\overline{VCLK}$  управление шиной должен получить первый и только первый ведущий модуль. Последний модуль, хотя и выставил запрос на шину, захватить ее не должен. Для предотвращения конфликта на входе  $\overline{VPRM}$  последнего модуля должен появиться единичный сигнал, т.е. сигнал с выхода  $\overline{VPRO}$  первого модуля за один период  $\overline{VCLK}$  должен распространиться через схемы логики захвата всех промежуточных ведущих модулей и достичь последнего. Следовательно, количество ведущих модулей  $N$ , подключаемых к УМШ, не должно превосходить

$$N \leq t_{VSY} / \tau_{VPRO-VPRM},$$

где  $t_{VSY}$  - период синхросигналов;

$\tau_{VPRO-VPRM}$  - задержка сигнала на выходе  $\overline{VPRO}$  от входа  $\overline{VPRM}$ .

При принятой частоте  $\overline{VCLK}$ , равной 9 МГц ( $t_{VSY} = 111$  нс) и  $\tau_{VPRO-VPRM} = 35$  нс (для серии К155), количество ведущих модулей не более 3. Увеличить это число можно как за счет использования более быстрой логики (например, К351), так и снижения частоты  $\overline{VCLK}$ . Необходимо учесть, что последнее приведет к росту затрат времени на передачу управления шиной между модулями.

### 3.4. Структура процессорного модуля (вариант I)

Рассмотрим построение процессорного модуля в случае, если он является единственным ведущим во всем устройстве. При этом схема получается достаточно простой, так как нет необходимости использовать логику захвата шины. Функциональная схема модуля приведена на рис. 3.6.

Модуль процессора включает: микропроцессор 8080, набор формирователей шин ФШ1-ФШ6, регистр статуса RS, формирователь тактовых серий Ф1, Ф2, два триггера синхронизации сигналов готовности (Т1) и сброса (Т2), а также ряд простейших логических элементов.

Так как микропроцессор 8080 синхронизируется тактовыми импульсами с уровнями, отличными от ТТЛ сигналов, на базе микросхемы К155ЛН5 (шесть инверторов с открытыми коллекторами) выполнен формирователь импульсов. Он обеспечивает уровень логического нуля синхросигналов не более 0,8В и уровень логической единицы не менее 9,0В при заданной длительности фронтов.

Адресные выходы МП соединены с линиями адреса шины АВ15-АВФ через формирователи шин ФШ1-ФШ4. Линии данных микропроцессора соединены с линиями данных шины ДВ7-ДВФ также через формирователи ФШ5-ФШ6, но здесь на стороне микропроцессора входы формирователя Д1 и выходы формирователя Д0 закорочены. Такая схема обеспечивает как возможность отключения выходов МП (адреса и данных) от линий шины подачей низкого уровня на входы CS формирователей, так и передачу данных с линий ДВi шины на Ди МП при поступлении на входы ДСЕ ФШ5 и ФШ6 высокого уровня. В качестве формирователей можно использовать микросхемы К589АП6/К589АП26 (Intel 8216/8226, Intel 3216/3226 [23]). Выходы ДВi этих схем позволяют подключать до 60 стандартных ТТЛ нагрузок.

Регистр статуса служит для приема и хранения восьмиразрядного слова состояния устройства управления МП (статуса), которое поступает на линии данных МП 8080 в первом такте каждого цикла синхронно с сигналом SYNC. Прием статуса в регистр стробируется Ф1 · SYNC. Регистр хранит статус один цикл работы МП, что обеспечивает формирование сигналов управления модулями в соответствии с выражениями:

$$\overline{MRDC} = \overline{RS[7]} \cdot \overline{DBIN},$$

$$\overline{IORC} = \overline{RS[6]} \cdot \overline{DBIN},$$

$$\overline{MWTC} = \overline{RS[4]} \cdot WR,$$

$$\overline{IOWC} = \overline{RS[4]} \cdot WR,$$

$$\overline{INTA} = \overline{RS[13]} \cdot \overline{DBIN},$$

$$MI = RS[5], HLTA = RS[3].$$

Регистр статуса может быть выполнен на микросхемах К155ИР13, К589ИР12 (Intel 8212 [13]).

Так как микропроцессор требует внешней синхронизации сигналов **READY** (готовность) и **RESET** (сброс), предусмотрено два D-триггера, срабатывающих по заднему фронту синхросигнала  $\Phi 1$ . На вход триггера Т1 заводится сигнал **ACK** шины, на вход триггера Т2 - сигнал **INIT**. Формирование остальных сигналов не представляет трудностей и ясно из схемы.

Отметим, что хотя эта схема и не обеспечивает разделения шины с другими ведущими модулями, однако имеется возможность отключать модуль от шины (линий данных и адреса) по сигналу **HOLD**. При незначительных добавлениях это позволяет организовать простейшие варианты режима прямого доступа в память, например, от пульта управления системой.

Временные диаграммы сигналов шины, показанные на рис.3.7, поясняют работу схемы. В основном они повторяют временные диаграммы работы микропроцессора [13]. Приведенные временные характеристики носят примерный характер и рассчитаны для периода синхросигналов  $\Phi 1, \Phi 2$  в 500 нс (см.3.1).

### 3.5. Структура процессорного модуля (вариант 2)

Теперь рассмотрим организацию процессорного модуля для случая, когда к шине могут подключаться и другие ведущие модули (процессоры, контроллеры прямого доступа, модули связи с мини-ЭВМ). Блок-схема модуля представлена на рис.3.8. По сравнению со схемой рис.3.6 здесь добавлены: шинный формирователь  $\Phi III 7$  для управления линиями  $\overline{MRDC}$ ,  $\overline{MWTCS}$ ,  $\overline{IORCS}$ ,  $\overline{IOWCS}$ , схема синхронизации запроса шины, формирователь сигнала  $\overline{XCV}$  и логика захвата шины. Кроме этого, на вход схемы синхронизации сигнала готовности (триггер Т1 рис.3.6) подан как сигнал **ACK**, так и сигнал **ADEN** через элемент сборки. Включение формирователей  $\Phi III 1 - \Phi III 6$  осуществляется сигналом **ADEN** с выхода логики захвата шины.

Работу схемы удобнее рассмотреть по временной диаграмме рис.3.9. Предположим: 1) процессор должен выполнить два цикла записи информации в ЗУ, 2) имеется ведущий модуль с большим, чем у рассматриваемого процессорного приоритетом, - "старший" модуль.

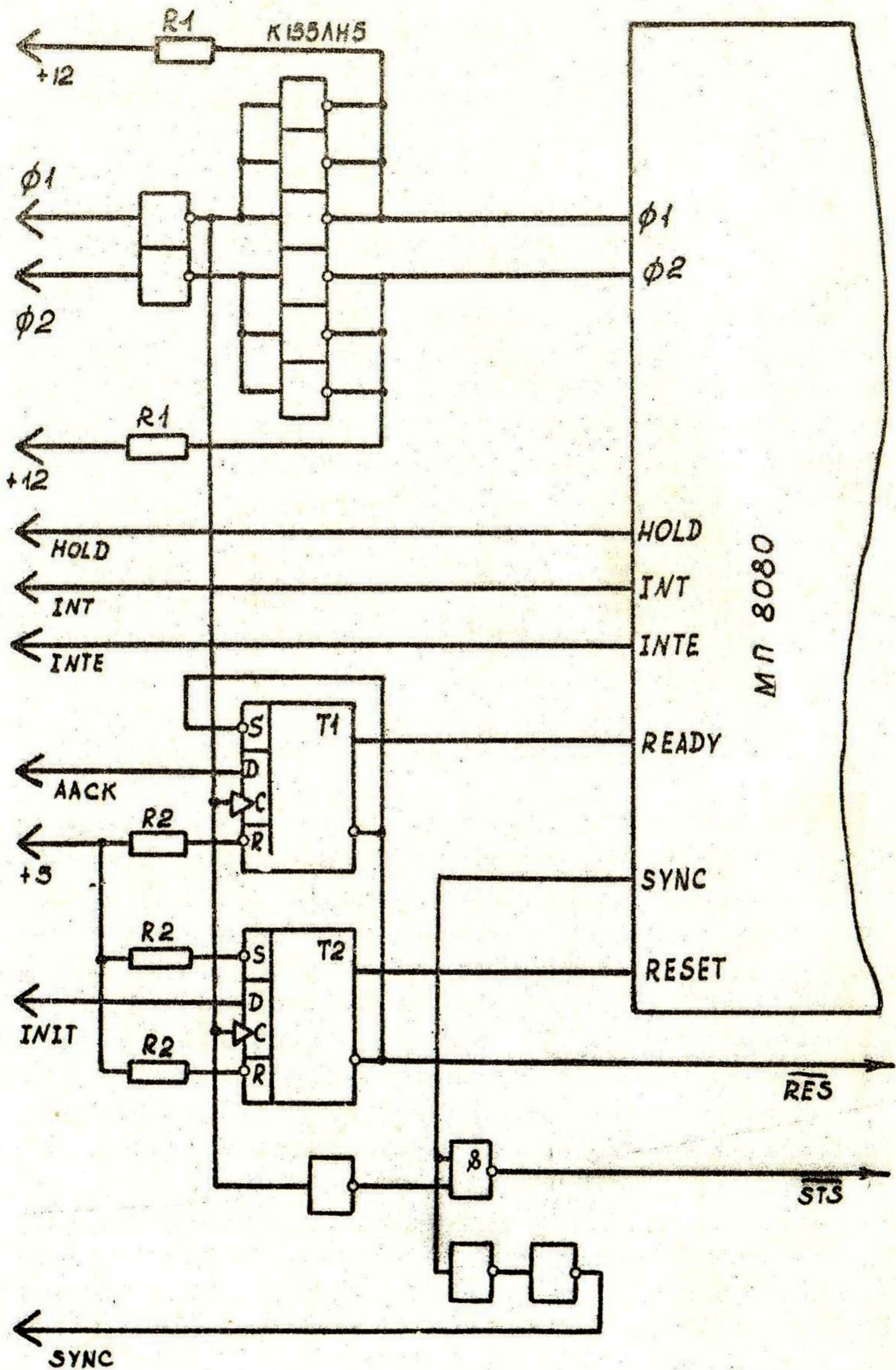


Рис. 3.6. Функциональная схема модуля процессора (1 вариант)



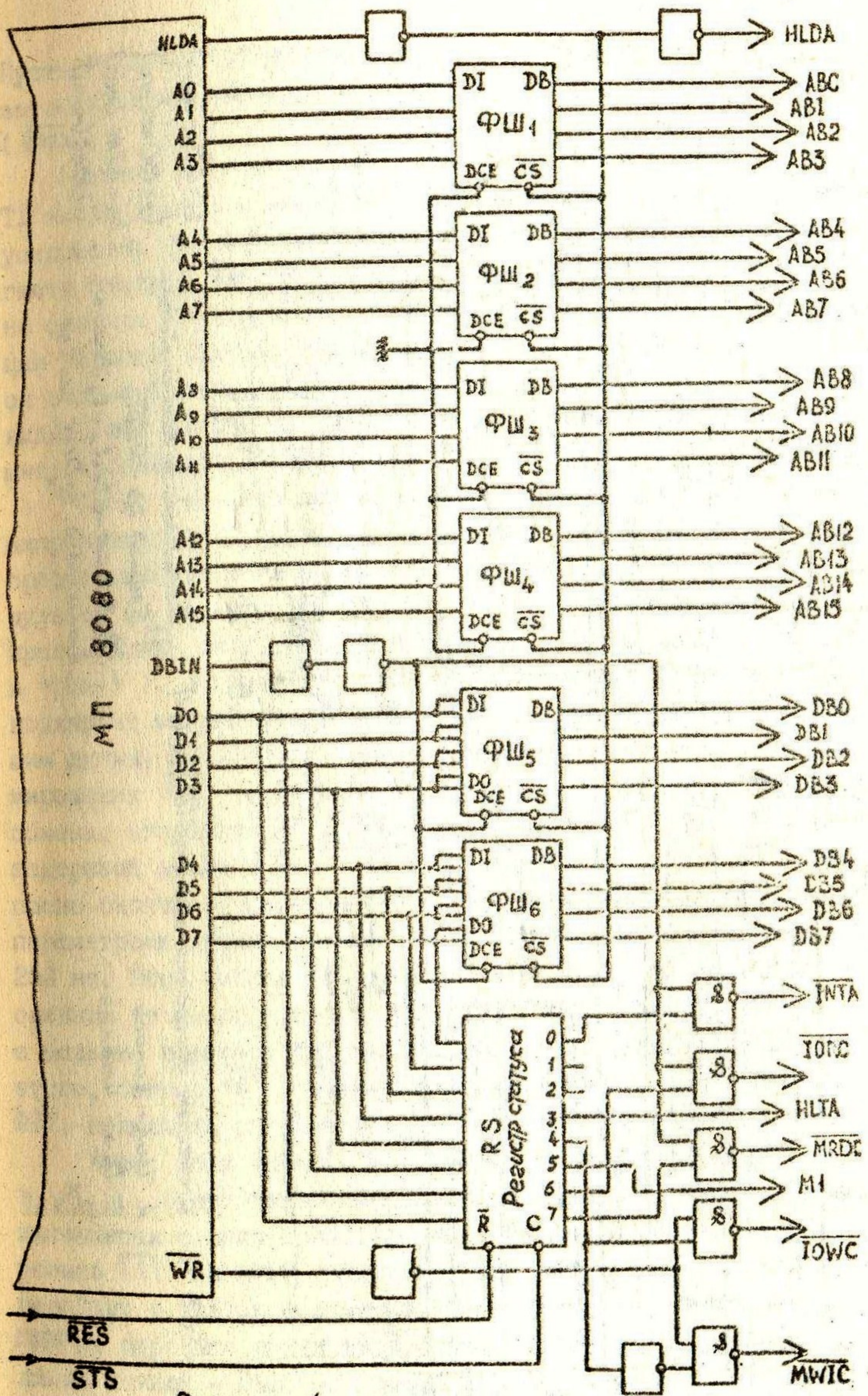
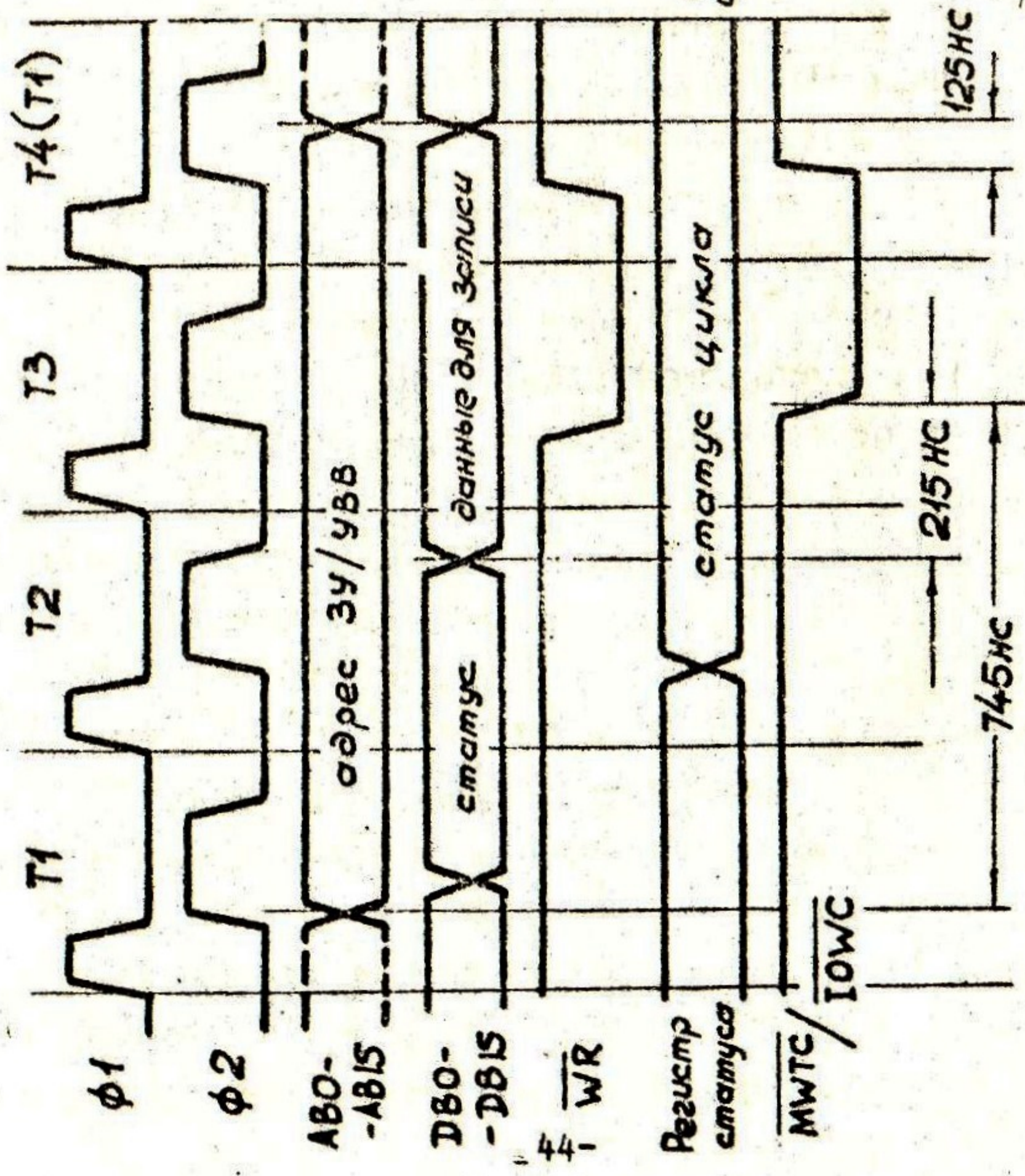
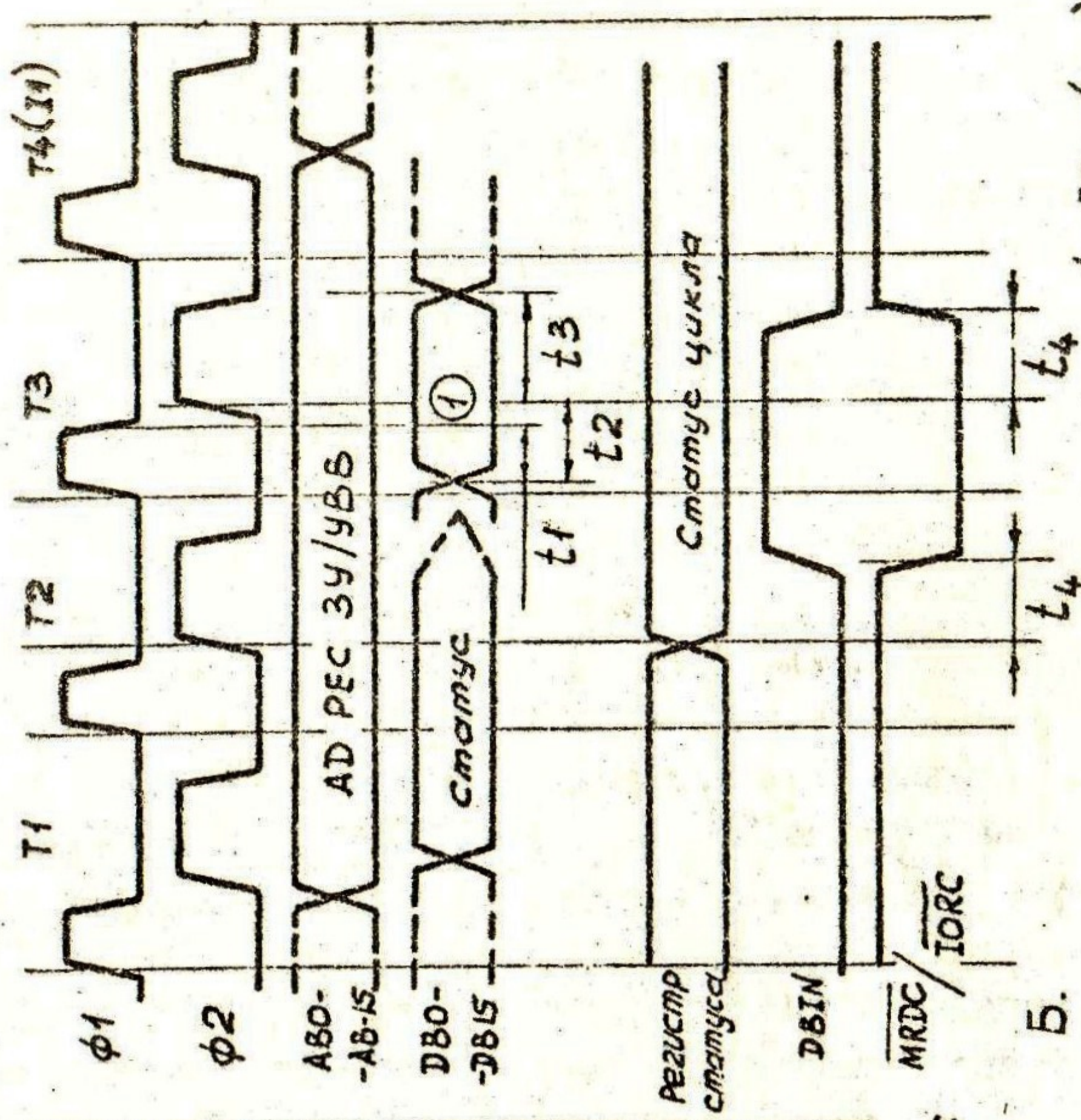


Рис. 3.6. (продолжение) - 43



А.



Б.

- $t_1 = 30 \text{ нс (мин)}$
- $t_2 = 130 \text{ нс (мин)}$
- $t_4 = 35 \text{ нс (мин)}$
- 160 нс (макс)

Данные должны быть стабильны в период T3 · MRDC. Требования на t1, t2 и t3 должны выполняться. t3 50 нс или t4.

Рис.3.7. Временные диаграммы сигналов (вариант 1)

- А. Цикл записи
- Б. Цикл чтения

Пусть "старший" модуль сначала не требует шины  $\overline{BPRM} = 0$ , а затем в некоторый момент пытается получить управление шиной ( $\overline{BPRM} = 1$ ).

Первый цикл записи в модуле начинается с того, что в такте T1 микропроцессор выдает на шину данных статус - слово состояния устройства управления, которое по стробу  $\overline{STS}$  записывается в регистр статуса. Но, кроме этого, разряды  $D_0, D_3$  (соответственно сигналы  $\overline{INTA}, \overline{HLTA}$ ) статуса поступают на схему синхронизации запроса. Запрос формируется как  $REQ = D_0 \vee \overline{D_3}$  и синхронизируется задним фронтом  $\overline{BCLK}$ . С учетом табл. I.1 (из работы [13]), видно, что запрос на шину будет формироваться при любом типе цикла микропроцессора, кроме цикла "Подтверждение состояния останова".

После того как логика захвата шины получит запрос со стороны микропроцессора, проверяются сигналы  $\overline{BPRM}$  и  $\overline{BUSY}$ . В наших предположениях шина в такте T1 свободна ( $\overline{BUSY} = 1$ ) и "старший" модуль ее не требует ( $\overline{BPRM} = 0$ ), т.е. процессорный модуль имеет право занять шину, что он и сделает, сформировав сигналы  $\overline{BUSY} = 0$  и  $\overline{ADEN} = 1$ . По сигналу  $\overline{ADEN}$  сработают формирователи ФШ1-ФШ4 и подключат микропроцессорные линии адреса и данных к соответствующим линиям УМШ. Кроме этого, сигнал  $\overline{ADEN}$  поступит в схему формирования  $\overline{XCY}$ . Сигнал  $\overline{XCY}$  определяет период выполнения цикла обмена, его активный уровень - низкий. Начинается  $\overline{XCY}$  с некоторой задержкой после  $\overline{ADEN}$ , а заканчивается с той же задержкой после окончания сигнала  $\overline{ANY}$ . Величина задержки определяется параметрами времязадающей RC-цепочки и лежит в пределах 30-200 нс. Пока сигнал  $\overline{XCY}$  находится в активном состоянии логика захвата не имеет права отдать шину, даже если ее требует модуль с большим приоритетом, иначе может произойти неверный обмен. Кроме этого, сигнал  $\overline{XCY}$  подается на вход  $\overline{CS}$  шинного формирователя ФШ7, подключая сигналы управления ведомыми модулями к линиям шины.

Итак, если  $\overline{BUSY} = 1$  и  $\overline{BPRM} = 0$  и появился запрос на шину  $D_0 \vee \overline{D_3} = 1$ , будут выработаны сигналы  $\overline{ADEN}$  и  $\overline{XCY}$ . Сигнал  $\overline{XCY}$  закончится с некоторой задержкой после окончания такта T3. Как только  $\overline{XCY}$  и  $\overline{ADEN}$  снимутся, все шинные формирователи модуля перейдут в третье состояние. Во время действия сигналов  $\overline{XCY}$  и  $\overline{ADEN}$  на адресные линии шины будет выставлен код адреса из МП, на линии данных - информационный код, а на линии  $\overline{MWC}$  появится сигнал записи. Таким образом на ведомый модуль поступят все сигналы, необходимые для выполнения операции.

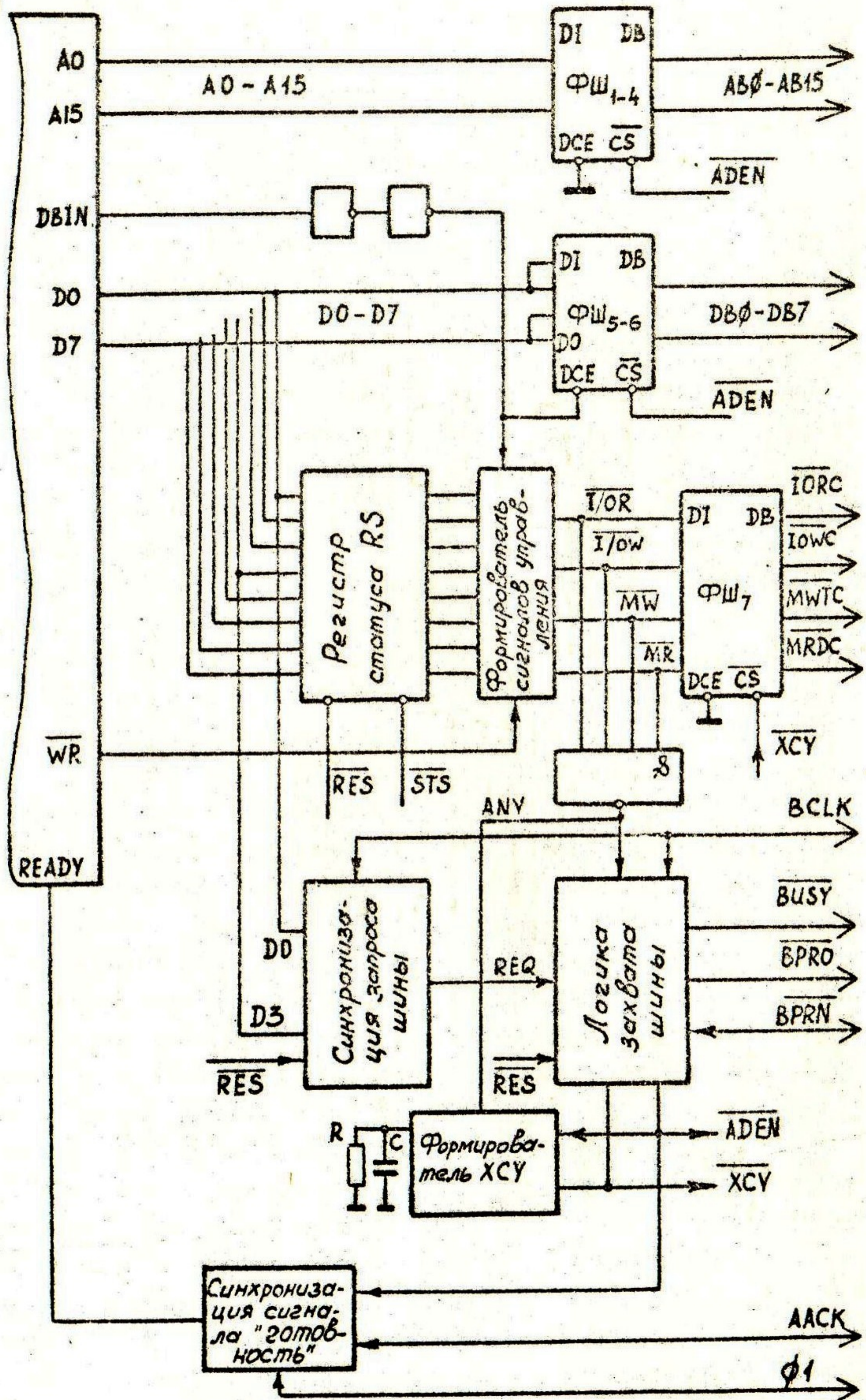


Рис.3.8. Блок-схема процессорного модуля (вариант 2)

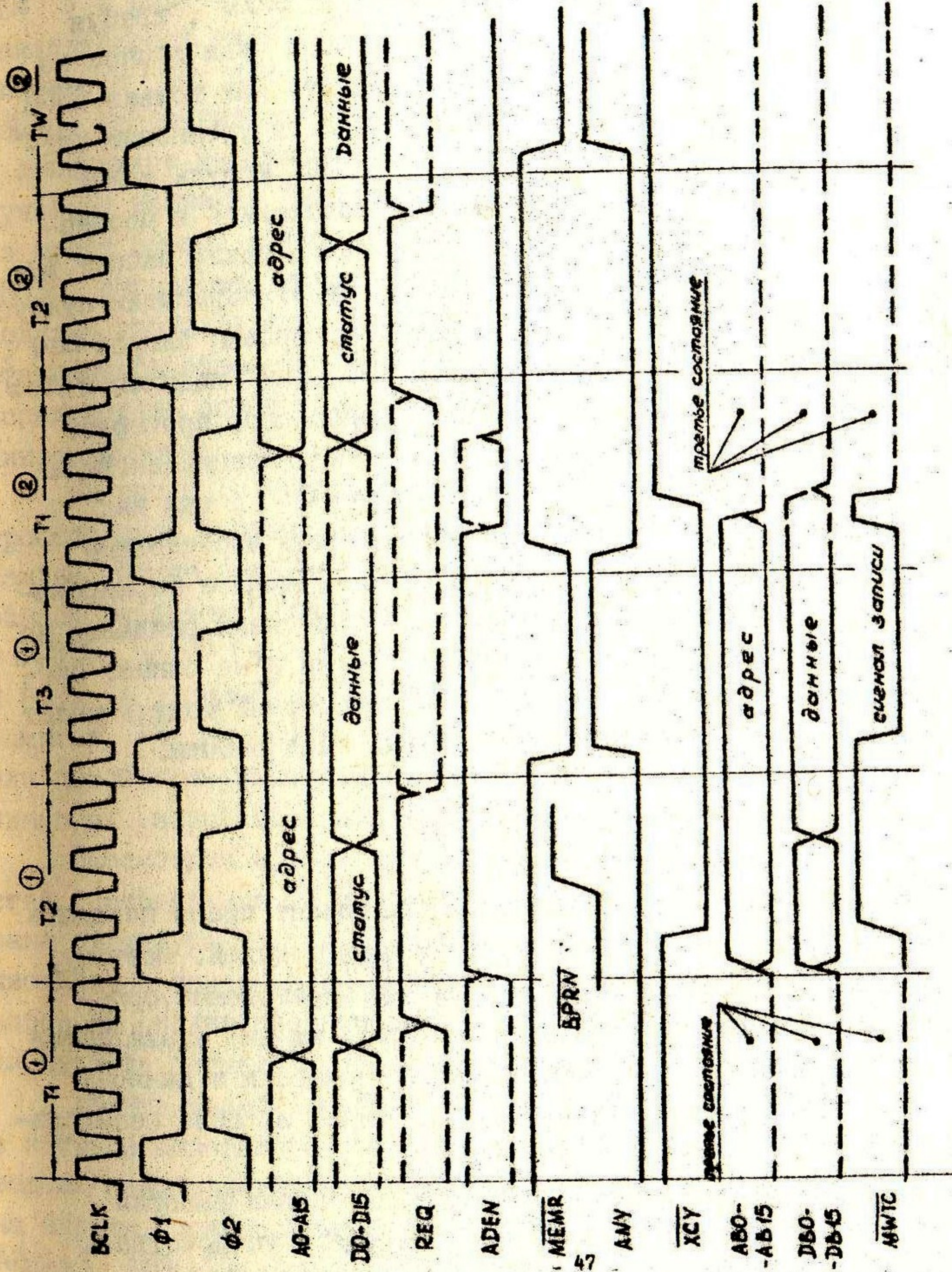


Рис.3.9. Временные диаграммы работы процессорного модуля (вариант 2)

В соответствии со сделанными предположениями, во время такта T2 первого цикла "старший" модуль снимет сигнал  $\overline{BPRN}$ , требуя тем самым у процессорного модуля шину. Однако пока цикл записи не окончен ( $\overline{XCV} = 0$ ), логика захвата шину не отдает. Как только  $\overline{XCV} = 1$ , по очередному заднему фронту  $\overline{BCLK}$  логика модуля установит сигнал  $\overline{ADEN}$  в 0, а  $\overline{BUSY} = 1$ . После этого "старший" модуль может забрать шину (см. рис. 3.5). Но что же будет происходить в процессорном модуле? Процессор после завершения первого цикла начнет выполнять второй. В первом такте второго цикла будет выработан статус, в котором  $D_0 = 0$ ,  $\overline{D}_3 = 1$ , т.е. снова будет сформирован запрос  $REQ$ . Однако теперь сигнал  $\overline{BUSY} = 0$  — шина занята "старшим" модулем и  $\overline{ADEN}$  остается в 0. В такте T2 второго цикла микропроцессор проверяет сигнал  $READY$ , поступающий с выхода схемы синхронизации сигнала готовности. Последняя установит сигнал  $READY = 0$ , так как  $\overline{ADEN} = 0$  и, следовательно, микропроцессор перейдет в состояние  $TW$  — ожидания. Причем, так как  $\overline{ADEN} = 0$  и  $\overline{XCV} = 1$ , шинные формирователи выключены. Процессор будет находиться в состоянии ожидания до тех пор, пока "старший" модуль не завершит обмена и не снимет сигналов  $\overline{BUSY}$  и  $\overline{BPRN}$ . Только после этого процессорный модуль может получить управление шиной и закончить начатый цикл работы.

### 3.6. Структуры ведомых модулей

Ведомый модуль микропроцессорной системы имеет право посылать сигналы в УМШ только в ответ на сигналы ведущих модулей. Поэтому, кроме основных (запоминание информации, ее преобразование, организации обмена с внешними устройствами и т.п.), на них возлагаются дополнительные функции: определение момента обращения к данному модулю, формирование сигналов подключения к шине, и, если необходимо, формирование сигналов  $\overline{XACK}$ ,  $\overline{ACK}$ .

Каждый ведомый модуль должен сформировать сигнал выборки (обозначим его  $MS$ ) при обращении к нему ведущего устройства, которое выставляет соответствующий адрес на линии  $\overline{A}_{15} - \overline{A}_0$  шины. В микропроцессорных системах обычно используется два способа обращения и адресации внешних устройств: при помощи команд ввода-вывода и при помощи команд обмена с ЗУ. В микропроцессоре 8080 имеется только две команды обмена с УВВ, причем прием информации (команда

IN ) и выдача (команда OUT ) происходит исключительно через накапливающий регистр A (выполнение команд ввода вывода МП 8080 описано в [13, п.2.2.2]). Кроме этого, 8-разрядное поле адреса команд ввода-вывода позволяет адресовать только 256 источников и приемников информации. При втором способе обращения к УВВ, получившем название "мэппинг" 8 (Memory Mapped Input/Output ), из всего объема возможных адресов ячеек ЗУ (для МП 8080 - 65536) выделяется некоторое поле адресов, которые присваиваются модулям ввода-вывода. Тогда обращение к ним можно выполнить как стандартное обращение к модулям ЗУ, т.е. появляется возможность использовать все команды обмена с ЗУ и все внутренние регистры микропроцессора.

На рис.3.10 приведен пример распределения полей памяти, микропроцессорной системы. Адресная область разбита на 8 полей по 8К в каждом. Номер поля задается 13, 14 и 15 разрядами адреса. В показанном разбиении для адресации УВВ выделено седьмое поле (адреса с  $E000_{16}$  по  $FFFF_{16}$  ), т.е. если все три разряда адреса  $AB13$ ,  $AB14$  и  $AB15$  - единицы, происходит обмен с внешним устройством, а не с памятью. При данном разбиении возможно обращение к 8192 источникам или приемникам информации. Остальные поля либо отведены для запоминающих устройств, либо выделены в резерв.

Рассмотрим обобщенную структуру модуля запоминающего устройства, приведенную на рис.3.11. На рисунке для определенности показана структура модуля ЗУПВ емкостью 1К байт, который может настраиваться на адреса с  $8000_{16}$  по  $9FFF_{16}$  . В состав модуля входят набор БИС полупроводниковой памяти, шинный формирователь ФШ, формирователь сигналов управления и схема выборки модуля.

Десять младших разрядов адреса выбирают одну из 1024 ячеек, с которой выполняется обмен. Поэтому сигналы с линий  $AB9-AB8$  заведены непосредственно на БИС ЗУ. Так как модуль должен реагировать на адреса, приписанные полю ОЗУ, то при обращении к нему всегда  $AB15=1$ ,  $AB14=0$  (см.рис.3.10). Длина поля ОЗУ принята 16К и, следовательно, есть 16 вариантов размещения адресного поля модуля, которые задаются разрядами  $AB13$ ,  $AB12$ ,  $AB11$ ,  $AB10$  . Например, если требуется, чтобы модуль реагировал на адреса с  $A000_{16}$  по  $A3FF_{16}$ , схема выборки должна генерировать сигнал MS только когда  $AB13=1$ ,  $AB12=1$ ,  $AB11=0$ ,  $AB10=0$  . Сигнал выборки в этом случае образует-

Начальный адрес поля

Полное адресное поле

16 с/с	8 с/с	2 с/с	
0000	000000	00000000000000	8 К
1FFF	017777	00011111111111	монитор
2000	020000	00100000000000	8 К
3FFF	037777	00111111111111	ПЗУ пользователя
4000	040000	01000000000000	8 К
5FFF	057777	01011111111111	стек
6000	060000	01100000000000	8 К
7FFF	077777	01111111111111	Резерв
8000	100000	10000000000000	8 К
9FFF	117777	10011111111111	ОЗУ
A000	120000	10100000000000	8 К
BFFF	137777	10111111111111	ОЗУ
C000	140000	11000000000000	8 К
DFFF	157777	11011111111111	Резерв
E000	160000	11100000000000	8 К
FFFF	177777	11111111111111	УВВ

64 К

Рис. 3.10. Пример распределения шестнадцатиразрядного адресного поля ШИННО-ЭВМ



ся как

$$MS = \overline{AB15} \cdot \overline{AB14} \cdot \overline{AB13} \cdot \overline{AB12} \cdot \overline{AB11} \cdot \overline{AB10} = \\ (\overline{AB15} \cdot \overline{AB14}) \vee (\overline{AB13} \cdot \overline{AB12} \cdot (\overline{AB11} \vee \overline{AB10})).$$

Схема выборки предусматривает возможность ее изменения с помощью переключек (сигналы с адресных линий можно подавать либо на входы схемы "И", либо на входы схемы "ИЛИ"), что и обеспечивает выбор любого расположения адресного поля модуля в поле адресов ОЗУ.

Сформированный сигнал  $\overline{MS}$  поступает на вход  $\overline{CS}$  шинного формирователя, обеспечивая подключение модуля к линиям данных шины, только в том случае, если модуль выбран. Причем направление передачи информации через формирователь - от шины к входам БИС ЗУ, что соответствует операции записи. Только по сигналу  $\overline{MRDC}$  шинный формирователь переключится и соединит выходы БИС ЗУ с линиями данных шины. Схема формирования сигналов управления генерирует в соответствии с электрическими и временными требованиями используемых БИС ЗУ сигналы выборки, чтения и записи, поступающие непосредственно на элементы памяти.

Теперь рассмотрим обобщенную структуру подключения интерфейсного модуля устройства ввода-вывода к шине. На рис. 3.12 показана схема подключения модуля управления устройством вывода. Предполагается, что модуль должен принимать шестнадцатиразрядное слово (побайтно, сначала младший байт, затем старший) и выдавать в процессорный модуль байт состояния.

Модуль, кроме основных схем, включает шинный формирователь ФШ, два регистра для приема и хранения младшего и старшего байтов информационного слова, регистр хранения и выдачи байта состояния, схему выборки и управления. Прием в регистры младшего и старшего байта стробируется соответственно сигналами  $\overline{SLSB}$  и  $\overline{SMSB}$ .

Так как модуль имеет два приемника восьмиразрядных слов и один источник, ему должно быть присвоено не менее двух адресов, лежащих в поле № 7. Следовательно, разряды I3, I4 и I5 адреса модуля всегда I. Для адресации регистров приемников используется младший разряд адреса  $AB\phi$ . Если выполняется операция записи  $\overline{MWTc} = 0$  и  $AB\phi = 0$ , то должна происходить запись в регистр младшего байта, если  $AB\phi = 1$  - запись в регистр старшего байта. Следовательно,

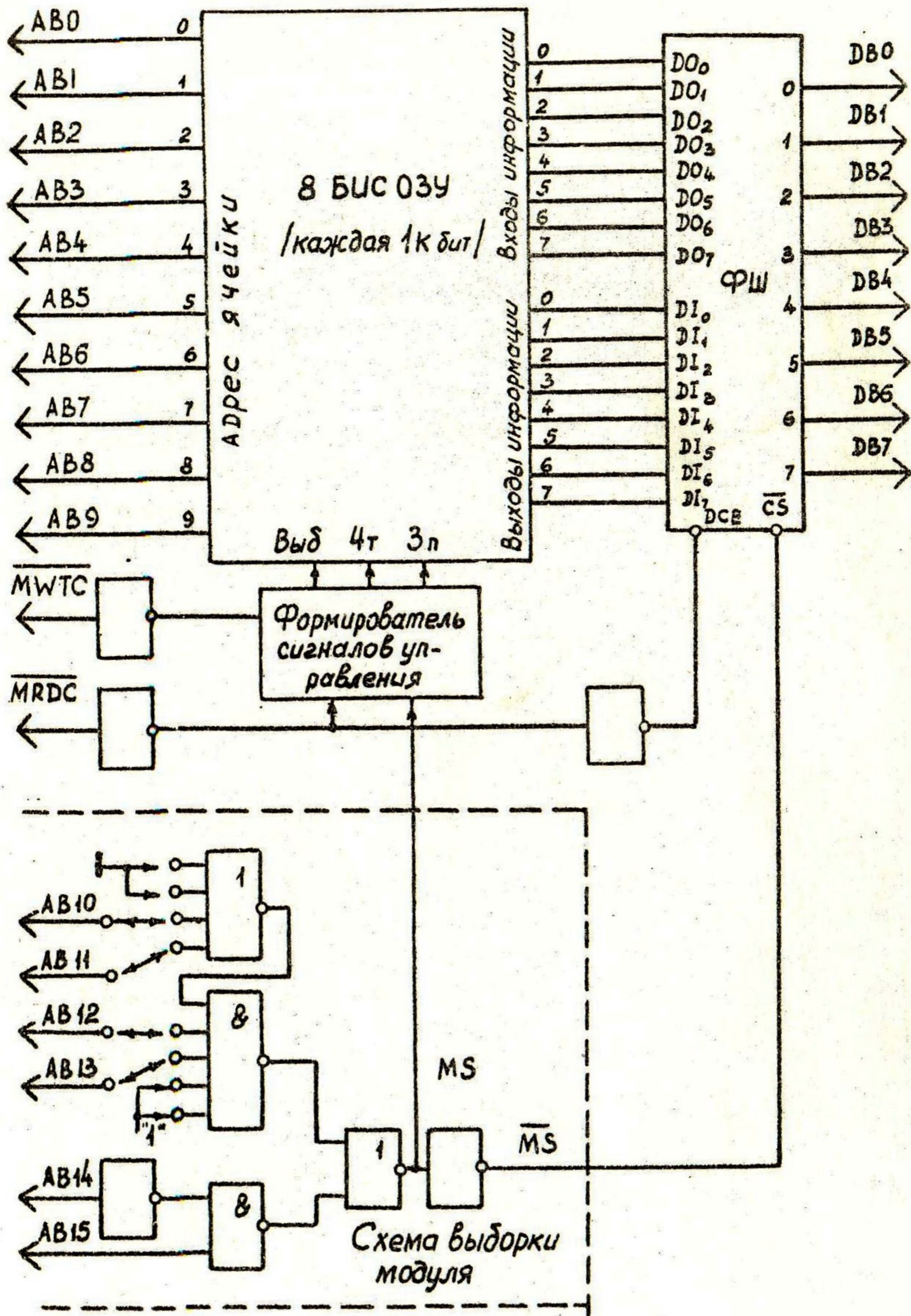


Рис. 3.11. Обобщенная структура модуля ЗУ

$$\overline{SLSB} = MS \cdot \overline{AB\Phi} \cdot MWTС,$$

$$\overline{SMSB} = MS \cdot AB\Phi \cdot MWTС.$$

При выполнении операции чтения  $AB\Phi$  должно равняться 1, и шинный формирователь настроится на выдачу информации с регистра байта состояния на линии данных шины. Для этого сигнал на входе  $DCE$  ФШ формируется как  $AB\Phi - MRDC \cdot MS$ .

Генерация сигнала  $MS$  выполнена так же, как и в модуле ЗУ: предусмотрена возможность установки переключек для соединения адресных линий с входами элементов "И" или "ИЛИ", чем задается конкретный адрес модуля. Сигнал выборки  $\overline{MS}$  заводится на вход  $\overline{CS}$  шинного формирователя, что обеспечивает подключение внутренних информационных цепей модуля к линиям данных шины при выборке модуля.

В заключение отметим, что при описании структур ведомых модулей не рассматривался вопрос формирования сигналов  $\overline{XACK}$ ,  $\overline{AACK}$  и запросов на прерывания, так как их решение зависит от конкретных характеристик элементов ЗУ или устройств ввода-вывода и организации обслуживания внешних устройств.

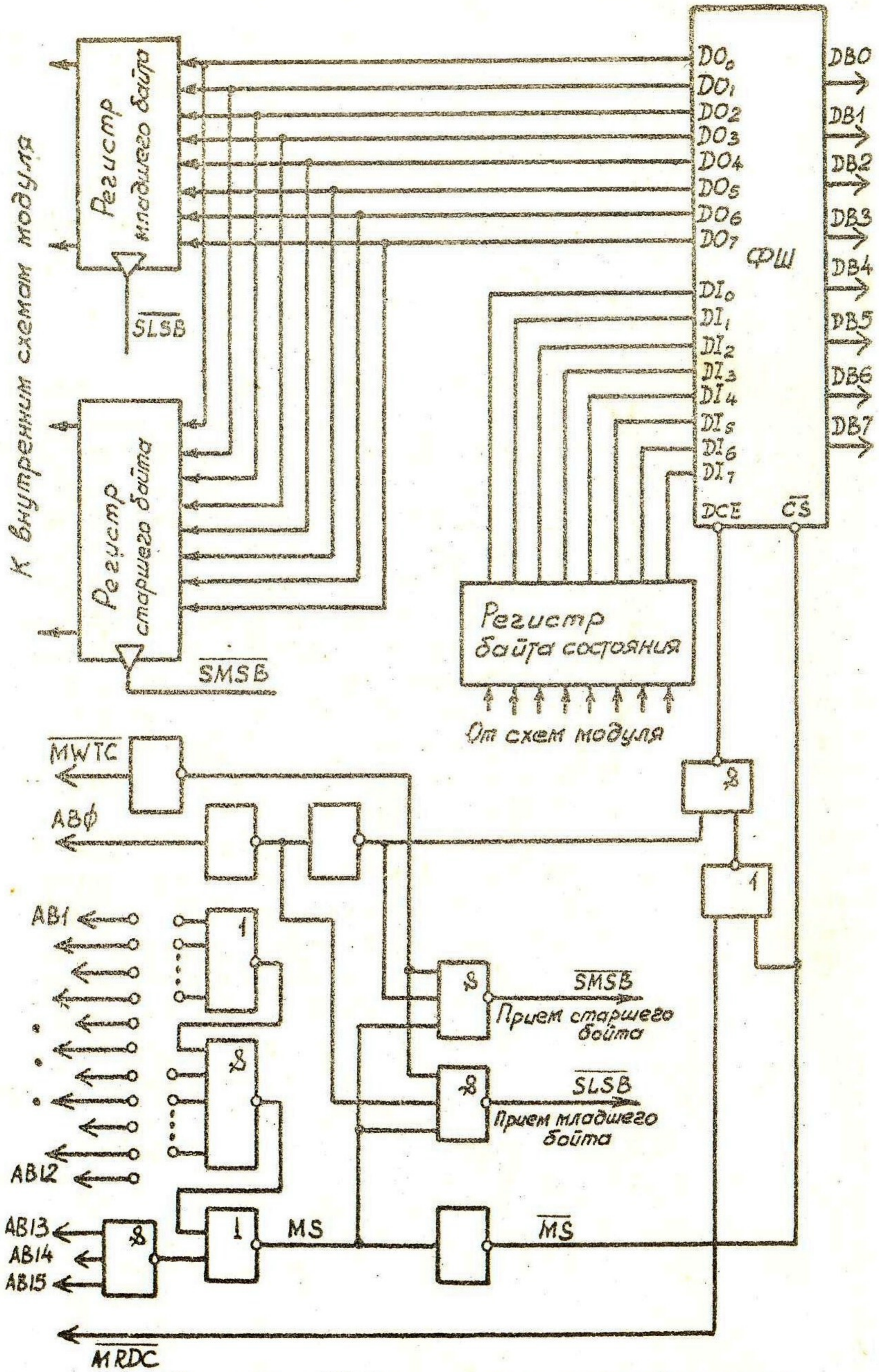


Рис. 3.12. Обобщенная структура подключения модуля вывода к шине