

А.А. Баркалов<sup>1</sup>, д-р. техн. наук, проф.,  
Л.А. Титаренко<sup>1</sup>, д-р. техн. наук, проф.,  
К.Н. Ефименко<sup>2</sup>, канд. техн. наук, доц.,  
И.Я. Зеленева<sup>2</sup>, канд. техн. наук, доц.

<sup>1</sup>Університет Зеленогурський, г. Зелена Гора, Польща,

<sup>2</sup>ГВУЗ «Донецький національний технічний університет», г. Донецьк, Україна

E-mail: A.Barkalov@iie.uz.zgora.pl

## Реализация КМУУ с элементарными цепями на гибридных FPGA

Предлагается метод уменьшения аппаратных затрат в схеме КМУУ с элементарными цепями ориентированный на технологию FPGA. Метод основан на использовании двух источников кодов классов псевдоэквивалентных ЭОЛЦ и технологии гибридных FPGA. Такой подход позволит уменьшить число LUT элементов в схеме адресации КМУУ. Приведен пример применения предложенного метода.

**Ключевые слова:** КМУУ, ГСА, ЭОЛЦ, гибридные FPGA, логическая схема.

### Введение

Задача разработки и усовершенствования устройств управления (УУ) цифровыми системами не утратила своей актуальности и в настоящее время. Одним из путей реализации схемы УУ по линейной граф-схеме алгоритма (ГСА) является использование модели композиционного микропрограммного устройства управления (КМУУ) с элементарными цепями [1,2]. При этом для реализации схем УУ широко используются программируемые логические интегральные схемы (ПЛИС) вида FPGA (field-programmable gate arrays) [3-6]. Основу FPGA составляют макроячейки LUT (look-up table), имеющие ограниченное число входов (4-6) [7,8]. Для оптимизации схемы УУ на FPGA необходимо уменьшить количество аргументов и термов в реализуемых системах булевых функций [9]. В настоящей работе предлагается метод решения этой задачи для КМУУ с элементарными цепями. Метод основан на использовании двух источников кодов классов псевдоэквивалентных элементарных операторных линейных цепей (ЭОЛЦ) и замене LUT-элементов схемой, состоящей из встроенных блоков PLA (programmable logic array). Последнее возможно при использовании технологии гибридных FPGA [10,11], которая активно развивается в настоящее время. Предлагаемый метод является развитием идей из работ [12,13]. Используемые в данной работе алгоритмы управления, представлены в виде граф-схемы алгоритма (ГСА) [9]. Этот выбор определен наглядностью подобного представления и широким применением аппарата ГСА в практике инженерного проектирования

**Целью исследования** является оптимизация схемы КМУУ с элементарными цепями за счет использования блоков PAL гибридных FPGA.

**Задачей исследования** является разработ-

ка метода синтеза КМУУ с элементарными цепями, позволяющего уменьшить число LUT-элементов в комбинационной части КМУУ.

### Базовая информация о КМУУ с элементарными цепями

Пусть ГСА  $\Gamma = \Gamma(V, E)$  представлена множествами вершин  $V$  и соединяющих их дуг  $E$ . Пусть  $V = b_0 \cup b_E \cup E_1 \cup E_2$ , где  $b_0$  – начальная вершина,  $b_E$  – конечная вершина,  $E_1$  – множество операторных вершин и  $E_2$  – множество условных вершин ГСА  $\Gamma$ . В операторных вершинах  $b_q \in E_1$  записываются наборы микроопераций  $Y(b_q) \subseteq Y$ , где  $Y = \{y_1, \dots, y_N\}$  – множество микроопераций. В условных вершинах  $b_q \in E_2$  записываются элементы множества логических условий  $X = \{x_1, \dots, x_L\}$ .

Введем ряд определений, взятых из [2].

**Определение 1.** Операторной линейной цепью (ОЛЦ) ГСА  $\Gamma$  называется конечная последовательность операторных вершин  $\bar{b}_g = \langle b_{g1}, \dots, b_{gF_g} \rangle$  такая, что для любой пары соседних компонент  $b_{gi}, b_{gi+1}$ , где  $i$  – номер компоненты кортежа  $\bar{b}_g$ , существует дуга  $\langle b_{gi}, b_{gi+1} \rangle \in E$ .

**Определение 2.** Вершина  $b_q \in D^g$ , где  $D^g$  – множество вершин, входящих в ОЛЦ  $\bar{b}_g$ , называется входом ОЛЦ  $\bar{b}_g$ , если существует дуга  $\langle b_t, b_q \rangle \in E$ , где  $b_t \notin D^g$ . Элементарная ОЛЦ (ЭОЛЦ) имеет только один вход.

**Определение 3.** Вершина  $b_q \in D^g$ , называ-

ется выходом ОЛЦ  $b_g$ , если существует дуга  $\langle b_q, b_t \rangle \in E$ , где  $b_t \notin D^g$ .

**Определение 4.** ЭОЛЦ  $b_i, b_j$  называются псевдоэквивалентными ЭОЛЦ, если их выходы связаны со входом одной и той же вершины  $b_q \in B$ .

Пусть для некоторой ГСА  $\Gamma$  сформировано множество ЭОЛЦ  $C = \{b_1, \dots, b_G\}$ , определяющее разбиение на множестве  $E_1$  [3], и пусть  $|E_1| = M$ . Поставим в соответствие каждой вершине  $b_q \in E_1$  микрокоманду  $MI_q$  с адресом  $A(b_q)$ , имеющим разрядность

$$R = \lceil \log_2 M \rceil. \tag{1}$$

Пусть  $F_{\max} = \max(F_1, \dots, F_G)$  – максимальное число компонент в ЭОЛЦ. Закодируем каждую ЭОЛЦ  $b_g \in C$  двоичным кодом  $K(b_g)$ , имеющим  $R_1$  разрядов, где

$$R_1 = \lceil \log_2 G \rceil. \tag{2}$$

Для определения любой вершины  $b_q \in D^g$  достаточно  $R_2$  разрядов, представляющих код  $K(b_q)$ .

При этом

$$R_2 = \lceil \log_2 F_{\max} \rceil. \tag{3}$$

Пусть для ГСА  $\Gamma$  выполняется следующее условие:

$$R_1 + R_2 = R. \tag{4}$$

В этом случае для реализации алгоритма  $\Gamma$  целесообразно использовать модель КМУУ с элементарными цепями (рис. 1). В этой модели для кодирования ЭОЛЦ используются переменные  $\tau_t \in \tau$ , где  $|\tau| = R_1$ . Для кодирования компонент ЭОЛЦ используются переменные  $T_t \in T$ , где  $|T| = R_2$ . Коды компонент выбраны так, чтобы выполнялась естественная адресация микрокоманд [1]. Для этого код первой компоненты любой ЭОЛЦ равен 0, второй – 1 и так далее. Естественно, что эти десятичные числа представлены их двоичными  $R_2$ -разрядными эквивалентами.

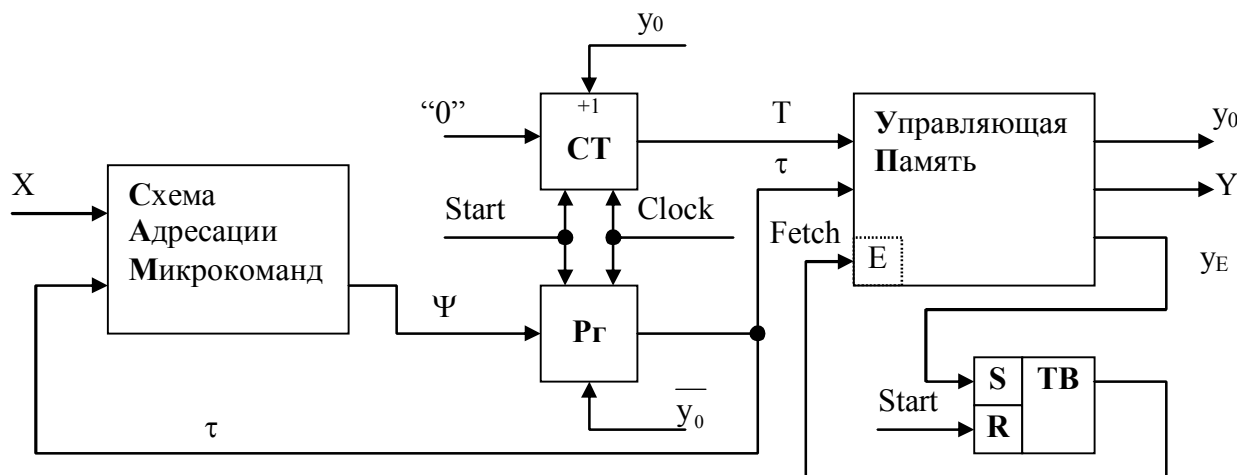


Рисунок 1 – Структурная схема КМУУ с элементарными цепями

Условимся в дальнейшем обозначать КМУУ (рис. 1) символом  $U_1$ .

В КМУУ  $U_1$  схема адресации микрокоманд (САМ) реализует систему функций возбуждения триггера  $Pr$

$$\Psi = \Psi(\tau, X). \tag{5}$$

При этом адрес микрокоманды  $MI_q$  представляется в виде

$$A(b_q) = K(\alpha_g) * K(b_q), \tag{6}$$

где вершина  $b_q$  входит в состав ЭОЛЦ  $b_g \in C$ , \* – знак операции конкатенации.

Принцип функционирования КМУУ  $U_1$  следующий. По сигналу  $Start$  в  $Pr$  и  $CT$  заносится начальный адрес микропрограммы, а триггер выборки  $TB$  устанавливается в единичное состояние. При этом  $Fetch = 1$ , что разрешает выборку команд из управляющей памяти (УП). Если считанная микрокоманда не соответствует выходу

ЭОЛЦ, то одновременно с микрооперациями  $Y(b_q)$  формируется сигнал  $y_0$ . Если  $y_0 = 1$ , то к содержимому  $CT$  прибавляется единица и адресуется следующая компонента текущей ЭОЛЦ. Если выход ОЛЦ достигнут, то  $y_0 = 0$ . При этом адрес входа следующей ЭОЛЦ формируется схемой САМ. При достижении окончания микропрограммы формируется сигнал  $y_E$ , триггер  $TB$  обнуляется, и выборка микрокоманд прекращается.

Число LUT-элементов в схеме САМ зависит от числа аргументов и термов в системе (5). В настоящей работе предлагается метод, позволяющий уменьшить сложность функций в системе (5) и, следовательно, уменьшить аппаратные затраты в схеме САМ.

### Основная идея предлагаемого метода

Пусть ЭОЛЦ  $b_g \in C_1$ , если  $O_g$  не связан с

конечной вершиной ГСА Г. Найдем разбиение  $\Pi_C = \{B_1, \dots, B_l\}$  множества  $C_1$  на классы псевдо-эквивалентных ЭОЛЦ (ПЭОЛЦ). Выполним кодирование  $b_g \in C$  так, чтобы максимально возможное число классов  $B_i \in \Pi_C$ , где  $|\Pi_C| = l$ , представлялось одним обобщенным интервалом  $R_1$ -мерного булева пространства. Пусть  $n_i$  – число обобщенных интервалов, представляющих класс. Представим множество  $\Pi_C$  в виде  $\Pi_C = \Pi_A \cup \Pi_B$ . При этом множества  $\Pi_A$  и  $\Pi_B$  строятся следующим образом:

$$\begin{aligned} (n_i = 1) &\rightarrow B_i \in \Pi_A, \\ (n_i > 1) &\rightarrow B_i \in \Pi_B. \end{aligned} \tag{7}$$

Источником кодов классов  $B_i \in \Pi_A$  является регистр Рг. При этом код класса  $B_i \in \Pi_A$  определяется соответствующим интервалом  $R_1$ -мерного булева пространства.

Закодируем классы  $B_i \in \Pi_B$  двоичными кодами  $S(B_i)$  разрядности  $R_3 = \lceil \log_2(|\Pi_B| + 1) \rceil$ .

Используем для кодирования классов  $B_i \in \Pi_B$  переменные из множества  $Z = \{z_1, \dots, z_{R_3}\}$ . Для формирования кодов  $S(B_i)$  необходим блок преобразователя кодов (БПК). Этот блок реализует систему функций

$$Z = Z(\tau). \tag{9}$$

Очевидно, для реализации схемы БПК необходимы некоторые ресурсы кристалла FPGA. В настоящей работе предлагается уменьшить эти ресурсы за счет использования избыточности встроенных блоков памяти EMB, входящих в состав FPGA [7,8]. Эти блоки имеют фиксированную емкость, однако их конфигурация может меняться.

Для реализации схемы  $Y \cup \{y_0, y_E\}$  необходимо

$$n_f = \left\lceil \frac{N+2}{t_f} \right\rceil \tag{10}$$

блоков EMB, имеющих не менее  $M$  слов. При этом параметр  $t_f$  (число выходов блока) определяется как

$$t_f = \left\lceil \frac{V}{2^R} \right\rceil. \tag{11}$$

Этот параметр затем уточняется как ближайшее меньшее целое к одному из элементов множества фиксированных выходов  $O_f = \{1, 2, 4, 8, 16\}$  [6,7]. Общее число выходов памяти можно найти как

$$t_o = \lceil n_f \cdot t_f \rceil. \tag{12}$$

Если выполняется условие

$$t_o - (N+3) \geq 1, \tag{13}$$

то для реализации схемы устройства управления предлагается модель КМУУ  $U_2$  (рис. 2). В этой модели схема блока CAM реализуется на встроенных блоках PLA.

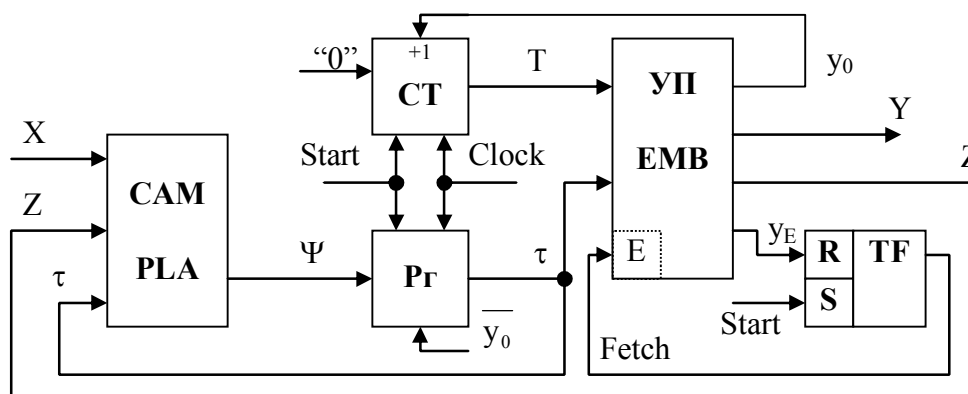


Рисунок 2 – Структурная схема КМУУ  $U_2$

В КМУУ  $U_2$  регистр Рг является источником кодов классов  $B_i \in \Pi_A$ . Коды классов  $B_i \in \Pi_B$  формирует управляющая память. Схема блока CAM реализуется на встроенных PLA, имеющих  $s$  входов,  $t$  выходов и  $q$  термов. При выполнении условий

$$L + R_1 + R_3 \leq s, \tag{14}$$

$$R_1 \leq t, \tag{15}$$

$$H_0 \leq q, \tag{16}$$

блок CAM представляется в виде одного блока PLA.

Блок CAM формирует систему функций

$$\Psi = \Psi(\phi, Z, X). \tag{17}$$

Эта система имеет  $H_0$  термов, где  $H_0$  – число переходов автомата Мили, реализованного по преобразованной ГСА [3].

Итак, в КМУУ  $U_2$  используются следующие ресурсы кристалла гибридной FPGA: LUT-элементы (схемы Рг и СТ), блоки PLA (схема CAM) и EMB (схема УП). Блок УП реализуется на реконфигурируемых блоках памяти EMB [7,8]. Эти блоки имеют строго определенное число выходов, входящих в множество  $\{1, 2, 4, 8, 18, 36\}$ .

При этом имеется высокая вероятность наличие неиспользованных выходов блоков ЕМВ, входящих в состав УП устройства  $U_1$ .

**Особенности реализации схемы КМУУ  $U_2$**

В настоящей работе предлагается метод синтеза КМУУ  $U_2$ , включающий следующие этапы:

1. Формирование для ГСА  $\Gamma$  множеств  $C$ ,  $C_1$ , и  $\Pi_C$ .
2. Оптимальное кодирование ЭОЛЦ  $b_g \in C_1$  и кодирование компонент ЭОЛЦ.
3. Формирование множеств  $\Pi_A$  и  $\Pi_B$ .
4. Кодирование классов  $V_i \in \Pi_B$  кодами  $C(V_i)$ .
5. Формирование таблицы переходов КМУУ.
6. Формирование содержимого управляющей памяти.
7. Синтез схемы КМУУ в заданном базисе.

Этапы 1-4 выполняются по известным методикам [1-3]. Этап 7 связан с разработкой VHDL-моделей КМУУ и использованием стандартных промышленных пакетов [6,7]. Эти этапы не представляют особого интереса для иллюстрации синтеза схемы КМУУ  $U_2$ . В этой связи мы не рассматриваем данные этапы в нашей статье.

Пусть для некоторой ГСА  $\Gamma_1$  получено множество ЭОЛЦ  $C = \{b_1, \dots, b_{16}\}$  и разбиение  $\Pi_C = \{V_1, \dots, V_7\}$ . При этом  $b_{16} \notin C_1$ , а классы  $V_i \in \Pi_C$  определяются следующим образом:  $V_1 = \{b_1\}$ ,  $V_2 = \{b_2, b_3, b_4\}$ ,  $V_3 = \{b_5, b_6\}$ ,  $V_4 = \{b_7, b_8, b_9\}$ ,  $V_5 = \{b_{10}, b_{11}\}$ ,  $V_6 = \{b_{12}\}$ ,  $V_7 = \{b_{13}, b_{14}, b_{15}\}$ . Итак,  $G = 16$ ,  $R_1 = 4$ ,  $\tau = \{\tau_1, \dots, \tau_4\}$ .

Оптимальное кодирование ЭОЛЦ  $b_g \in C_1$  выполняется так, чтобы максимально возможное число классов  $V_i \in \Pi_C$  представлялось одним интервалом  $R_1$ -мерного булева пространства [1]. Один из вариантов кодирования представлен на рис. 3.

	$\tau_3 \tau_4$	00	01	11	10
$\tau_1 \tau_2$	00	$\alpha_1$	$\alpha_2$	$\alpha_3$	$\alpha_4$
	01	$\alpha_5$	$\alpha_6$	$\alpha_{10}$	$\alpha_{11}$
	11	$\alpha_7$	$\alpha_8$	$\alpha_9$	$\alpha_{16}$
	10	$\alpha_{13}$	$\alpha_{14}$	$\alpha_{15}$	$\alpha_{12}$

Рисунок 3 – Коды ЭОЛЦ  $b_g \in C$

Из карты Карно (рис. 3) можно получить следующие интервалы, определяющие классы  $V_i \in \Pi_C$ . Класс  $V_1$  определяется интервалом 0000; класс  $V_2$  – интервалами 00\*1 и 001\*; класс  $V_3$  – интервалом 010\*; класс  $V_4$  – интервалами 110\* и 11\*1; класс  $V_5$  – интервалом 011\*; класс  $V_6$  – интервалом 1010; класс  $V_7$  – интервалами 100\* и 10\*1. Таким образом,  $\Pi_A = \{V_1, V_3, V_5, V_6\}$ , где  $K(V_1) = 0000$ ,  $K(V_3) = 010^*$ ,  $K(V_5) = 011^*$  и  $K(V_6) = 1010$ . Очевидно,  $\Pi_B = \{V_2, V_4, V_7\}$  и для их кодирования необходимо  $R_3 = 2$  разряда. Итак,  $Z = \{z_1, z_2\}$ . Закодируем классы  $V_i \in \Pi_B$  следующим образом:  $C(V_2) = 11$ ,  $C(V_4) = 01$ ,  $C(V_7) = 10$ .

Таблица переходов формируется на основе обобщённых формул переходов [1]. Пусть, например, из ГСА  $\Gamma_1$  можно получить следующие формулы:

$$V_1 \rightarrow x_1 b_3 \vee \overline{x_1} x_2 b_8 \vee \overline{x_1} x_2 b_{12}; \tag{18}$$

$$V_2 \rightarrow x_4 b_{12} \vee \overline{x_4} b_{17}.$$

Для правильного функционирования КМУУ  $U_2$  необходимо, чтобы блок САМ различал множества  $\Pi_A$  и  $\Pi_B$ . С этой целью достаточно использовать код 00, формируемый схемой УП.

Таблица переходов включают столбцы:  $V_i$  (класс разбиения  $\Pi_C$ );  $K(V_i)$ ;  $C(V_i)$ ;  $A(b_q)$  (адрес микрокоманды, соответствующей вершине  $b_q$  в формуле перехода для класса  $V_i$ );  $X_h$  (входной сигнал, определяющий переход из  $V_i$ ; в  $b_q$ );  $\Psi_h$  (набор функций возбуждения триггеров  $P_r$ );  $h$  (номер перехода,  $h = \overline{1, N_0}$ ). Фрагмент таблицы переходов, соответствующий системе (18), приведен в табл.1.

Таблица 1. Фрагмент таблицы переходов для системы (18)

$V_i$	$K(V_i)$	$C(V_i)$	$A(b_q)$	$X_h$	$\Psi_h$	$h$
$V_1$	0000	11	000100	$x_1$	$D_4$	1
			001000	$\overline{x_1} x_2$	$D_3$	2
			010101	$\overline{x_1} x_2$	$D_2 D_4$	3
$V_2$	****	00	010101	$x_4$	$D_2 D_4$	4
			110010	$\overline{x_4}$	$D_1 D_2$	5

Этот фрагмент построен в предположении, что микрокоманды имеют следующие адреса:  $A(b_3) = 000100$ ,  $A(b_8) = 001000$ ,  $A(b_{12}) = 010101$ ,  $A(b_{17}) = 110010$ . Система (17) формируется из таблицы переходов. Например, из табл.1 можно получить функции:  $D_1 = \overline{z_1 z_2} x_4$  (строка 5) и  $D_4 = \overline{\tau_1 \tau_2 \tau_3 \tau_4} z_1 z_2 (x_1 \vee \overline{x_1} x_2) \vee z_1 z_2 x_4$  (строки 1, 3 и 4).

При формировании содержимого УП в ячейки памяти заносятся микрооперации [2] и коды  $C(V_i)$ . Коды заносятся следующим образом. Пусть  $b_q$  – выход ОЛЦ  $b_g \in V_i$ . Если  $V_i \in \Pi_A$ , то

по адресу  $A(b_q)$  заноситься код признака (в рассматриваемом примере это код 00). Если  $V_i \in P_V$ , то по адресу  $A(b_q)$  заноситься код  $C(V_i)$ .

### Заключення

Разработанный метод усовершенствования КМУУ основан на применении технологии гибридных FPGA со встроенными блоками PLA и использовании двух источников кодов классов псевдоэквивалентных ЭОЛЦ, что позволяет гарантированно уменьшить число термов в системе функций возбуждения триггеров регистра и счетчика адресов микрокоманд до максимально возможной величины. Если КМУУ с элементарными цепями рассматривать как автомат Мура, то предлагаемый подход позволяет уменьшить число термов до величины этого параметра у эквивалентного автомата Мили. Применение предложенного метода имеет смысл только при наличии

свободных ресурсов встроенных блоков памяти, входящих в состав микросхемы FPGA. Схема адресации микрокоманд реализуется на встроенных блоках PLA. Такой подход позволяет заменить LUT-элементы встроенными PLA. Это уменьшает число межсоединений, что ведет к уменьшению потребляемой энергии и времени задержки [1].

**Научная новизна** предложенного метода заключается в использовании особенностей КМУУ (наличие классов псевдоэквивалентных ЭОЛЦ) и гибридных FPGA (фиксированное число выходов блоков ЭМВ и наличие встроенных блоков PLA) для уменьшения числа LUT-элементов в схеме КМУУ с элементарными цепями.

**Практическая значимость** метода заключается в уменьшении площади кристалла FPGA, занимаемой схемой КМУУ, что позволяет получить схемы, обладающие меньшей стоимостью, чем известные из литературы аналоги.

### Список использованной литературы

1. Палагин А.В., Баркалов А.А., Титаренко Л.А., Опанасенко В.Н. Проектирование реконфигурируемых цифровых систем. – Луганск: Издательство ВНУ, 2011. – 432 с.
2. Barkalov A., Titarenko L. Logic synthesis for compositional microprogram control units. – Berlin: Springer, 2009. – 272 pp.
3. Баркалов А.А., Титаренко Л.А. Синтез микропрограммных автоматов на заказных и программируемых СБИС. – Донецк: УНИТЕХ, 2009. – 336 с.
4. Barkalov A., Titarenko L. Logic synthesis for FSM-based control units. – Berlin: Springer, 2009. – 233 pp.
5. Maxfield S. The Design Warrior's Guide to FPGAs. – Amsterdam: Elsevier, 2004. – 541 pp.
6. Грушвицкий Р.И., Мурсаев А.Х., Угрюмов Е.П. Проектирование систем на микросхемах с программируемой структурой – С-Пб: БХВ – Петербург, 2006. – 736 с.
7. <http://www.xilinx.com>
8. <http://www.altera.com>
9. Baranov S. Logic and System Design of Digital Systems. - Tallinn: TTU, 2008. – 266 pp.
10. Kaviani F., Brown S. The Hybrid Field Programmable Architecture// IEEE Design & Test of Computers. – 1999, V.16, N4. – pp. 74-83.
11. Sigh S., Singh R., Bhatia V. Performance Evaluation of Hybrid Reconfigurable Computing Architectures over Symmetrical FPGA// International Journal of Embedded Systems and Applications. – 2012, V.2, N3. – pp. 107-116.
12. Баркалов А.А., Титаренко Л.А., Ефименко К.Н., Липински Я.М. Оптимизация схемы КМУУ с общей памятью // УСИМ. – 2011. – №5. – С. 47-52.
13. Баркалов А.А., Титаренко Л.А., Ефименко К.Н., Липински Я.М. Оптимизация схемы КМУУ с преобразователем адреса микрокоманд // Наукові праці ДонНТУ. Серія „Проблеми моделювання та автоматизації проектування” (МАП-2011). Вип.9 (179). – Донецьк: ДонНТУ. – 2011. – с.26-35.

Надійшла до редколегії 15.03.2014

**О.О. БАРКАЛОВ<sup>1</sup>, Л.О. ТИТАРЕНКО<sup>1</sup>, К.М. ЄФІМЕНКО<sup>2</sup>, І.Я. ЗЕЛЕНЬОВА<sup>2</sup>**

<sup>1</sup>Університет Зеленогурський (Польща)

<sup>2</sup>ДВНЗ «Донецький національний технічний університет» (Україна)

### РЕАЛІЗАЦІЯ КМПК ІЗ ЕЛЕМЕНТАРНИМИ ЛАНЦЮГАМИ НА ГІБРИДНИХ FPGA

В роботі запропоновано метод зменшення апаратних витрат у схемі КМПК із елементарними ланцюгами, який орієнтовано на технологію FPGA. Метод засновано на використанні двох джерел кодів класів псевдоеквівалентних ЕОЛЦ та технології гібридних FPGA. Такій підхід дозволить зменшити число LUT елементів у схемі адресації КМПК. Наведено приклад використання запропонованого методу.

**Ключові слова:** КМПК, FGA, ЕОЛЦ, гібридні FPGA, логічна схема

---

**A.A. BARKALOV<sup>1</sup>, L.A. TITARENKO<sup>1</sup>, K.N. EFIMENKO<sup>2</sup>, I.J. ZELENJOVA<sup>2</sup>**

---

<sup>1</sup>University of Zielona góra (Poland)<sup>2</sup>Donetsk National Technical University (Ukraine)**IMPLEMENTING CMCU WITH ELEMENTARY CHAINS BY HYBRID FPGA**

The article is devoted to development of methods of synthesis and optimization of compositional microprogram control units (CMCU) of FPGA (field-programmable logic arrays). For optimization of resources of a system-on-a-chip used at realization of the compositional microprogram control unit the method of a structural reduction. A method for reducing the hardware amount in the circuit of CMCU with code sharing is proposed oriented on FPGA technology. The method is based on the use of two sources of codes classes of pseudoequivalent EOLC and the technology of hybrid FPGAs. Such an approach would reduce the number of LUT elements in the addressing circuit of CMCU. Application of the specified method to the finite state machine of addressing CMCU, under its implementation with FPGA, leads to reduction of the number of LUT-elements in the circuit of the control unit. Results of research of the developed structures are resulted, allowing defining their efficiency and an area of optimum application. An example of the proposed method application is given.

**Key words:** *CMCU, GSA, EOLC, hybrid FPGA, logic circuit*