

АЛГОРИТМ АДРЕСАЦИИ МИКРОКОМАНД КОМПОЗИЦИОННОГО МИКРОПРОГРАММНОГО УСТРОЙСТВА УПРАВЛЕНИЯ

Славомир Хмелевский, асс. Института информатики и электроники¹,
К.Н. Ефименко, доцент кафедры ВМиП²
Университет Зеленогурский, Польша¹,

ГВУЗ «Донецкий национальный технический университет», Украина²

Предложен метод специальной адресации микрокоманд, позволяющий уменьшить число входов схемы адресации композиционного микропрограммного устройства управления (КМУУ). Адресация выполняется таким образом, чтобы каждая операторная линейная цепь КМУУ однозначно идентифицировалась минимальным числом разрядов, являющихся частью адреса микрокоманды, что уменьшает число LUT-элементов в схеме адресации КМУУ. Предложен алгоритм адресации и приведен пример его применения.

Method of special addressing of microinstructions is proposed, permitting to decrease the number of inputs of compositional microprogram control unit (CMCU). Addressing is executed in such a manner that each operational linear chain of CMCU is identified by minimal number of bits from microinstruction address. Such approach permits to decrease amount of LUT – elements in addressing circuit of CMCU. An algorithm of special addressing is proposed and example of its application is given.

Введение

Композиционные микропрограммные устройства управления (КМУУ) являются эффективным средством реализации линейных алгоритмов управления [1,2]. Одной из моделей КМУУ является модель с общей памятью [3], позволяющая при определенных условиях уменьшить аппаратные затраты в схеме адресации микрокоманд. В настоящее время микросхемы типа FPGA (field-programmable gate arrays) широко используются при реализации схем цифровых устройств [4]. Основу этих СБИС представляют макроячейки табличного типа, называемые LUT (look-up table). Как правило, LUT-элементы имеют ограниченное число входов (4-6) [5]. Для уменьшения числа LUT в схеме КМУУ необходимо уменьшить число аргументов и термов в системе функций адресации микрокоманд [1,6]. В настоящей работе предлагается метод и алгоритм специальной адресации микрокоманд, позволяющий решить эту задачу при синтезе КМУУ с идентификацией выходов [7].

Целью исследования является уменьшение числа LUT-элементов в схеме

КМУУ с идентификацией выходов за счет специальной адресации микрокоманд.

Задачей исследования является разработка нового метода синтеза КМУУ с идентификацией выходов, позволяющего оптимизировать схему адресации микрокоманд.

Представление алгоритма управления в виде граф-схемы алгоритма (ГСА) [6] определено наглядностью и широким применением аппарата ГСА в практике инженерного проектирования.

Общие теоретические положения

Пусть алгоритм управления цифровой системы задан в виде ГСА Γ , содержащей начальную b_0 , конечную b_E , операторные и условные вершины. Операторные вершины образуют множество B_1 , имеющее M элементов. В вершинах $b_q \in B_1$ записываются микрокоманды $Y_q \subseteq Y$, где $Y = \{y_1, \dots, y_N\}$ - множество микроопераций. В условных вершинах, образующих множество B_2 , записываются элементы множества логических условий $X = \{x_1, \dots, x_L\}$. Вершины ГСА образуют множество $V = B_1 \cup B_2 \cup \{b_0, b_E\}$, элементы которого связаны дугами из множества E .

Пусть для ГСА Γ найдено разбиение $C = \{\alpha_1, \dots, \alpha_G\}$ множества B_1 на операторные линейные цепи [2] и пусть для каждой пары соседних вершин ОЛЦ $\alpha_g \in C$ выполняется условие

$$A(b_{gi+1}) = A(b_{gi}) + 1 \quad (i=1, \dots, F_g-1) \quad (1)$$

где $A(b_g)$ - адрес микрокоманды, соответствующей вершине $b_g \in B_1$; i - номер компоненты ОЛЦ. В этом случае устройство управления цифровой системы может быть реализовано в виде КМУУ U_1 с идентификацией выходов (Рис. 1).

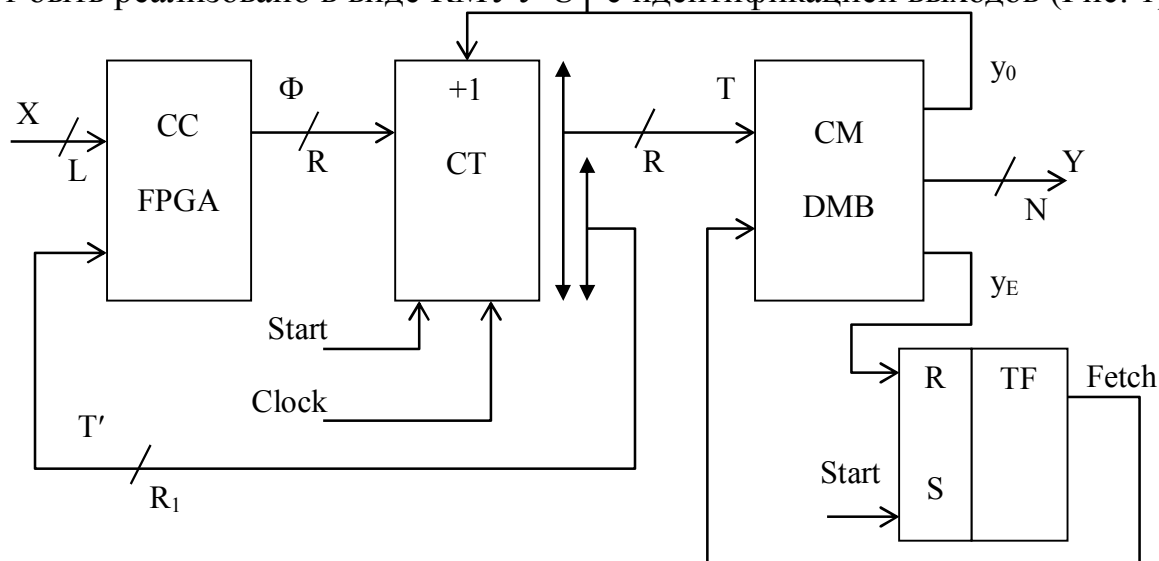


Рисунок 1. Структурная схема КМУУ U_1

Принцип функционирования КМУУ U_1 следующий. По сигналу Start триггер считывания TF устанавливается в единичное состояние (Fetch=1), а в счетчик СТ записывается адрес первой микрокоманд микропрограммы, представленный переменными $T_r \in T = \{T_1, \dots, T_R\}$, где $R = \lceil \log_2 M \rceil$. Если в СТ находится адрес $A(b_q)$ и вершина b_q не является выходом O_g ОЛЦ $\alpha_g \in C$, то одновременно с записанными в этой вершине микрооперациями $Y(b_q) \subseteq Y$ формируется сигнал y_0 . При $y_0=1$ по сигналу Clock содержимое СТ увеличивается на единицу, что соответствует режиму адресации (1). Если $b_q=O_g$, то сигнал $y_0 = 0$ и схема СС формирует функции

$$\Phi = \Phi(T', X), \quad (2)$$

где $T' \subseteq T$, $|T'| = R_1$, $T' = \{T_1, \dots, T_{R_1}\}$ - множество адресных разрядов, достаточное для однозначной идентификации выходов ОЛЦ $\alpha_g \in C'$, где $C' \subseteq C$ - множество ОЛЦ, выходы которых не связаны с входом вершины b_E . Если в СТ находится адрес $A(b_q)$ и $\langle b_q, b_E \rangle \in E$, то формируется сигнал y_E , триггер TF обнуляется и считывание микрокоманд из управляющей памяти СМ прекращается.

Таким образом, переменные $T_r \in T$, где $|T|=R$, используются для адресации микрокоманд. При этом для однозначной идентификации ОЛЦ $\alpha_g \in C$ достаточно $R_1 = \lceil \log_2 G \rceil$ переменных, где $G = |C|$, и при выполнении условия

$$R_1 < R \quad (3)$$

число входов схемы СС минимизируется по сравнению с известными структурами КМУУ [1]. Однако в случае обычной процедуры адресации микрокоманд, адреса выходов имеют случайный характер, и для однозначной идентификации ОЛЦ может потребоваться больше, чем R_1 переменных.

В настоящей работе предлагается метод специальной адресации микрокоманд, позволяющий уменьшить число переменных обратной связи до R_0 , где $R_1 \leq R_0 \leq R$, что приводит к уменьшению числа LUT-элементов в схеме.

Метод и алгоритм специальной адресации микрокоманд

Обозначим КМУУ со специальной адресацией микрокоманд символом U_2 . Структуры КМУУ U_1 и U_2 совпадают, при этом в последнем, для формирования адресов микрокоманд используются переменные $T_r \in T'$, где $T' \subseteq T$ - множество переменных, однозначно идентифицирующих ОЛЦ $\alpha_g \in C$, и $|T'|=R_1$.

Адресация микрокоманд КМУУ U_2 производится следующим образом [6]. Формируется вектор $\alpha = \alpha_1 * \alpha_2 * \dots * \alpha_G$, где $*$ - знак конкатенации, и каждой

компоненте этого вектора ставится в соответствие двоичный код $A(b_q)$, равный уменьшенному на единицу двоичному эквиваленту разрядности R номера этой компоненты (1). Пусть алгоритм управления некоторой цифровой системы задан ГСА Γ_1 (рис. 2).

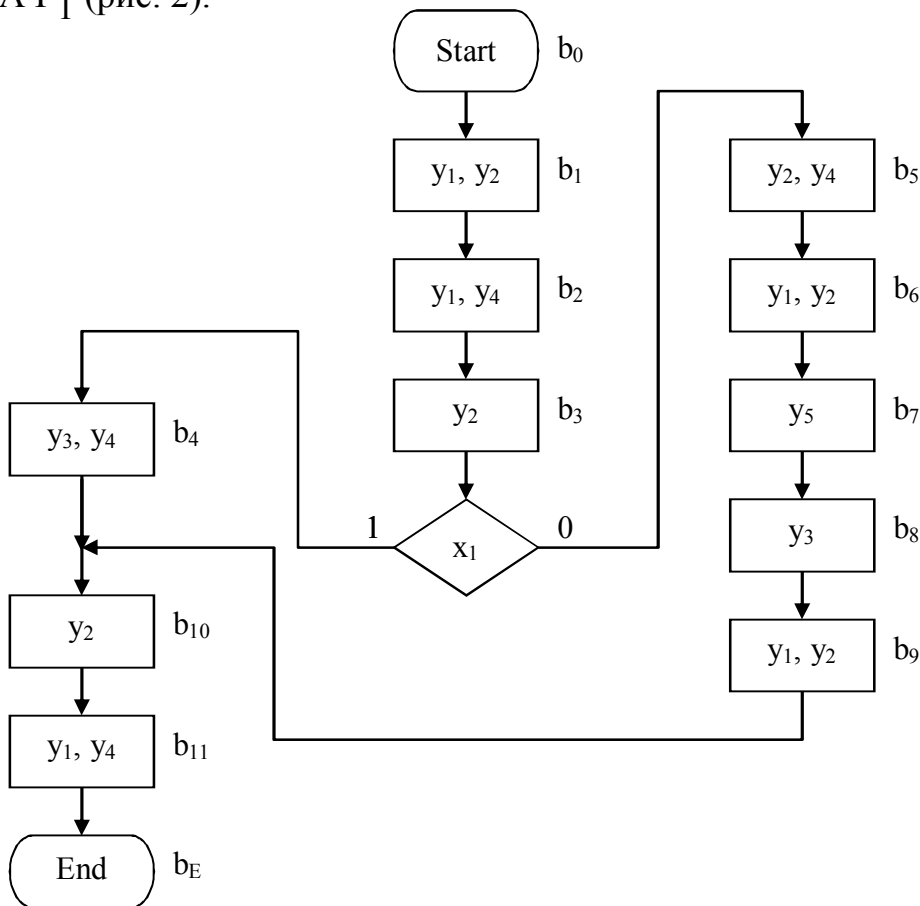


Рис. 2. – Исходная граф–схема алгоритма Γ_1

Множество ОЛЦ ГСА Γ_1 $S=\{\alpha_1, \dots, \alpha_4\}$, где $\alpha_1=\langle b_1, b_2, b_3 \rangle$, $\alpha_2=\langle b_4 \rangle$, $\alpha_3=\langle b_5, b_6, \dots, b_9 \rangle$, $\alpha_4=\langle b_{10}, b_{11} \rangle$. В данном случае $M=11$, $R=4$ и результат адресации показан на рис. 3, где символ $U_2(\Gamma_1)$, означает, что КМУУ U_2 синтезируется по ГСА Γ_1 .

$T_3T_4 \backslash T_1T_2$	00	01	10	11
00	b_1	b_5	b_9	*
01	b_2	b_6	b_{10}	*
10	b_3	b_7	b_{11}	*
11	b_4	b_8	*	*

Рисунок 3. Адресация микрокоманд КМУУ $U_2(\Gamma_1)$

Для однозначной идентификации ОЛЦ $\alpha_g \in S$ достаточно однозначной

идентификации её выхода O_g кодом $K(\alpha_g)$. В случае КМУУ $U_2(\Gamma_1)$ имеем: $A(O_1)=0010$, $A(O_2)=0011$, $A(O_3)=1000$, $A(O_4)=1010$. Анализ этих адресов показывает, что выходы ОЛЦ $\alpha_g \in C$ не могут быть идентифицированы кодами $K(O_g)$ разрядности $R_1 = \lceil \log_2 G \rceil = 2$, так как $K(O_g) = A(O_g)$ для $g=1,2,3,4$. Таким образом, в данном случае число сигналов обратной связи не уменьшается.

В настоящей работе предлагается рассматривать таблицу адресации, как регистр сдвига вправо, имеющий 2^R разрядов. Специальная адресация микрокоманд выполняется при помощи следующей предлагаемой процедуры:

1. Выполнить адресацию микрокоманд, удовлетворяющую (1).

2. $R_0 = R_1$.

3. Построить таблицу адресации микрокоманд, имеющую 2^{R_0} столбцов, отмеченных R_0 старшими переменными адреса, и 2^{R-R_0} строк, отмеченных $R-R_0$ младшими переменными адреса.

4. Если выходы ОЛЦ $\alpha_j, \alpha_i \in C$ находятся в одном столбце таблицы, то осуществим сдвиг информации, начиная с первой вершины ОЛЦ α_j ($j > i$). Освобождающиеся клетки таблицы заполняем символами *. Сдвиг продолжаем до тех пор, пока выходы O_i и O_j не окажутся в разных столбцах таблицы.

5. Если выходы всех ОЛЦ $\alpha_g \in C$ идентифицируются однозначно при помощи R_0 разрядов, то перейти к п.8.

6. Если в процессе сдвига произошел выход какой-либо вершины за пределы таблицы, то $R_0 := R_0 + 1$.

7. Если $R_0 < R$, то перейти к п. 3.

8. Конец.

В случае ГСА Γ_1 , начальное значение $R_0 = 2$ и исходная таблица адресации микрокоманд КМУУ U_2 показана на рис.3. Применение процедуры специальной адресации в данном примере выполняется следующим образом. На первом этапе информация сдвигается на 1 разряд вправо, начиная с вершины b_4 (рис. 4 а). На втором этапе производится сдвиг на 1 разряд вправо, начиная с вершины b_{10} , что приводит к таблице адресации (рис. 4 б).

Теперь $K(O_1)=00$, $K(O_2)=01$, $K(O_3)=10$, $K(O_4)=11$, $T'=\{T_1, T_2\}$ и число сигналов обратной связи уменьшилось с $R_1=R=4$ до $R_1=R_0=2$, что является минимальным значением переменной R_2 .

Отметим, что достижение минимального значения параметра R_1 возможно не всегда и зависит от сочетания таких параметров ГСА, как число ОЛЦ, число компонент в ОЛЦ, число операторных вершин, число несущественных наборов адресных переменных. Авторами было проведено исследование влияния числа вершин ГСА Γ на число LUT-элементов в схеме адресации микрокоманд при различных комбинациях указанных выше параметров. При этом по мере увеличения числа микрокоманд и общего числа ОЛЦ выигрыш постепенно

снижается.

а)

		T_1T_2			
		00	01	10	11
T_3T_4	00	b_1	b_4	b_8	*
	01	b_2	b_5	b_9	*
	10	b_3	b_6	b_{10}	*
	11	*	b_7	b_{11}	*

б)

		T_1T_2			
		00	01	10	11
T_3T_4	00	b_1	b_4	b_8	b_{11}
	01	b_2	b_5	b_9	*
	10	b_3	b_6	*	*
	11	*	b_7	b_{10}	*

Рисунок 4. Специальная адресация микрокоманд КМУУ $U_2(\Gamma_1)$

Заключение

Предлагаемый в работе метод специальной адресации микрокоманд КМУУ позволяет уменьшить число сигналов обратной связи схемы адресации микрокоманд. Это приводит к уменьшению требований к числу входов LUT-элементов, реализующих схему СС. При этом появляется потенциальная возможность уменьшения аппаратных затрат и времени такта КМУУ по сравнению с методом произвольной адресации микрокоманд.

Исследования авторов показали, что при выполнении условия (3) и $R_1=R_0$ число LUT-элементов в схеме СС уменьшается на 6-16%, а число уровней схемы уменьшается на 1-3 по сравнению с известным методом адресации микрокоманд [4]. Таким образом, в данном случае оптимизация аппаратных затрат сопровождается увеличением быстродействия устройств управления.

Литература

1. Barkalov A., Titarenko L. Logic synthesis for compositional microprogram control units. – Berlin: Springer, 2009. -272 pp.
2. Палагин А.В., Баркалов А.А. и др. Проектирование реконфигурируемых цифровых систем. – Луганск: Издательство ВНУ, 2011. – 432 с.
3. Barkalov A., Titarenko L. Logic synthesis for FSM-based control units. –

Berlin: Springer, 2009. -233 pp.

4. Maxfield S. The Design Warrior's Guide to FPGAs. – Amsterdam: Elsevier, 2004. – 541 pp.

5. www.xilinx.com, www.altera.com.

6. Baranov S. Logic and System Design of Digital Systems. - Tallinn: TTU, 2008. - 266 pp.

7. Ковалев С.А., Мальчева Р.В., Ефименко К.Н. Синтез композиционного устройства управления с идентификацией выходов/ Наукові праці ДонНТУ. Серія „ІКОТ”. Випуск 8/ – Донецьк: ДонНТУ, 2007. – С.133-140.