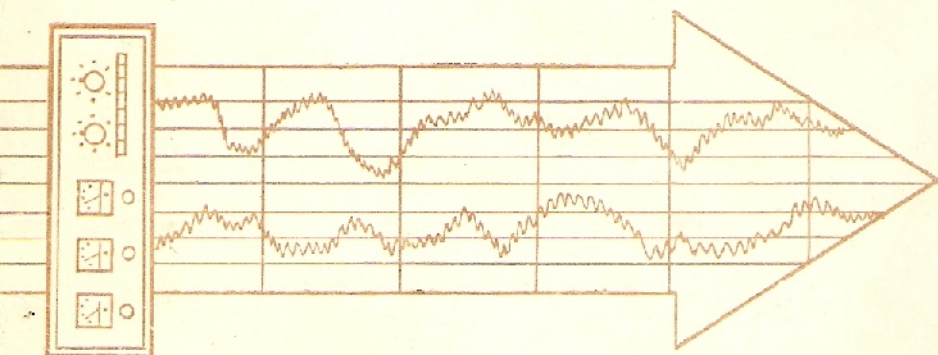


Е. А. БАШКОВ, Ю. В. ГУБАРЬ

**МИКРОПРОЦЕССОРНЫЕ СИСТЕМЫ
ПОВЫШЕННОГО БЫСТРОДЕЙСТВИЯ
С МИКРОПРОГРАММНЫМ УПРАВЛЕНИЕМ**



ДОНЕЦК — 1983

МИНИСТЕРСТВО ВЫСШЕГО И СРЕДНЕГО СПЕЦИАЛЬНОГО ОБРАЗОВАНИЯ
У С С Р

ДОНЕЦКИЙ ОРДЕНА ТРУДОВОГО КРАСНОГО ЗНАМЕНИ ПОЛИТЕХНИЧЕСКИЙ
ИНСТИТУТ

Е.А.Башков, Д.В.Губарь

МИКРОПРОЦЕССОРНЫЕ СИСТЕМЫ ПОВЫШЕННОГО БЫСТРОДЕЙСТВИЯ
С МИКРОПРОГРАММНЫМ УПРАВЛЕНИЕМ

Учебное пособие

Утверждено редакционно-издательским
советом института

Донецк ДПИ 1983

Микропроцессорные системы повышенного быстродействия с микропрограммным управлением: Уч. пособие / Башков Е.А., Губарь Ю.В.
- Донецк: ДПИ, 1983. - 112 с.

Проектирование микровычислителей на основе микропроцессорных комплектов интегральных схем с микропрограммным управлением требует от разработчика системного подхода - одновременного создания как аппаратной части, так и программного обеспечения. В пособии рассматриваются общие вопросы построения процессоров и создания программного обеспечения на микро- и макроуровне. Приводятся два примера построения законченного вычислителя: аппаратного умножителя для микро-ЭВМ и системы управления позиционным электроприводом постоянного тока.

Пособие ориентировано на обучение студентов специальности 0608 "Электронные вычислительные машины". Может быть полезно студентам специальностей 0646 "Автоматизированные системы управления" и 0628 "Электропривод и автоматизация промышленных установок" со специализацией "Системы программного управления промышленными установками и робототехническими комплексами".

Ил. 46 , Табл. 15 , Библ. 21 назв.

Рецензенты

Каргин А.А.

Ладыженский Ю.В.



Донецкий орден Трудового
Красного Знамени политех-
нический институт

О Г Л А В Л Е Н И Е

Стр.

1. Введение	3
2. Общая характеристика секционированных микро- процессорных комплектов	6
3. Этапы проектирования микровычислителей с микро- программным управлением	II
3.1. Организация аппаратной части центрального процессора	13
3.2. Техника микропрограммирования	18
3.3. Техника микропрограммирования	22
4. Модуль аппаратного умножения для микро-ЭЕМ	30
4.1. Общая организация расширителей микро-ЭЕМ	30
4.2. Основные требования к проектируемому модулю	33
4.3. Алгоритмы умножения	34
4.4. Основные этапы проектирования модуля	36
4.5. Предварительная разработка микропрограмм модуля ..	37
4.6. Блок-схема модуля	48
4.7. Полная микропрограмма работы модуля	52
4.8. Синтез схем модуля	61
4.8.1. Постоянное ЗУ микрокоманд	61
4.8.2. Буфер адреса и сигналов управления	63
4.8.3. Схема выборки	63
4.8.4. Буфер шлюза данных	65
4.8.5. Формирователь адреса перехода	65
4.8.6. Формирователь шины К	67
4.8.7. Формирователь сигналов ED, CI	70
4.9. Оценка параметров синхронизирующего сигнала	72
4.10. Формирование импульсного сигнала выборки	74
4.11. Формирователь сигнала готовности	77
4.12. Микропрограмма в двоичных кодах	79
5. Микропроцессорная система управления позиционным электроприводом постоянного тока	81
5.1. Состав и функциональное описание аппаратных средств микропроцессорной системы	84
5.2. Программное обеспечение системы	94
Прикинутый указатель рекомендуемой литературы	104
Приложения. Условные графические обозначения и таблицы микросхем элементов серии К589	106

1. ВВЕДЕНИЕ

Коммунистическая партия и Советское правительство большое внимание уделяют ускорению темпов роста производительности труда и повышению качества продукции. На XXVI съезде КПСС было подчеркнуто, что революционные возможности открывают создание и внедрение миниатюрных электронных управляющих машин, которые должны получить самое широкое применение /1/. В речи на июньском 1983 года Пленуме ЦК КПСС товарищ Ю.В. Андропов отметил, что решающее значение приобретает ныне единая научно-техническая политика. Нам ждет огромная работа по созданию машин, механизмов и технологий как сегодняшнего, так и завтрашнего дня. Предстоит осуществить автоматизацию производства, обеспечить широчайшее применение компьютеров и роботов, внедрение гибкой технологии, позволяющей быстро и эффективно перестраивать производство на изготовление новой продукции. Особую актуальность в этой связи приобретают вопросы разработки и внедрения микропроцессорных систем.

Со времени появления первого микропроцессора (1972 г.) прошло чуть больше 10 лет. За столь короткий промежуток времени сменилось уже три поколения микропроцессоров. В /8/ отмечается, что "микропроцессорная техника развивается в направлении, когда экономически станет возможно спроектировать "интеллектуальное устройство" для работы в любой заданной точке окружающей среды".

Высокие надежность и быстродействие, малое потребление энергии, незначительные размеры, низкая стоимость, достаточная вычислительная мощность делают экономически и практически целесообразным использование микропроцессоров в самых различных отраслях народного хозяйства.

С основными направлениями использования микропроцессоров можно ознакомиться, например, в работах /2, 3/. Здесь хотелось бы особо отметить применение микропроцессоров для цифрового регулирования и управления технологическими процессами и производственными механизмами, в частности промышленными манипуляторами (роботами). Микропроцессорная техника позволяет существенно повысить точность регулирования, улучшить статические и динамические характеристики системы управления и снизить стоимость ее разработки и изготовления.

Развитие микропроцессорной техники в нашей стране идет по двум направлениям. Во-первых, происходит расширение номенклатуры

и улучшение характеристик ранее выпускаемых комплектов. Так, например, микропроцессор КР580ИЖ80А является аналогом ранее выпускавшегося К580ИЖ80. Однако, в отличие от последнего, он обладает более высоким быстродействием и типом корпуса (выполнен в пластмассовом корпусе с двухрядными выводами и шагом 2,5 мм). Кроме того, в составе микропроцессорного комплекта (МПК) КР580 появились новые БИС /13/:

КР580ВИ53 - программируемый таймер;

КР580ВТ57 - программируемый контроллер прямого доступа к памяти;

КР580ВИ59 - программируемый контроллер прерываний;

КР580ВГ75 - программируемый контроллер электронно-лучевой трубки.

Во-вторых, разрабатываются и осваиваются новые микропроцессорные комплекты БИС. В соответствии с новым стандартом, введенным в 1981 году, новые МПК имеют четырехзначный номер серии: 1800, 1801 и т.д. /13/. Например, МПК серии К1800 построен на основе ЭСЛ-технологии. Все БИС этой серии имеют нарастающую разрядность (кратную 4 битам) и обладают сверхвысоким быстродействием (тактовая частота достигает 36 МГц). Это определяет и область применения МПК этой серии - построение высокопроизводительных вычислительных систем, прежде всего ЕС ЭВМ.

Широкое распространение как у нас в стране, так и за рубежом, получили МПК, выполненные на основе биполярной технологии с диодами Шоттки. Такие комплекты отличаются высоким быстродействием (тактовая частота управляющих сигналов может достигать 10 МГц) и, как правило, в них заложен принцип микропрограммного управления. Это позволяет простой заменой управляющей программы настраивать микровычислитель на решение новой задачи.

Отечественной промышленностью выпускаются МПК БИС на основе биполярной технологии с диодами Шоттки К589 серии (первое поколение) /12, 13, 19/ и КР1802, КР1804 серий (второе поколение) /4, 13/. Аналогичные микропроцессорные комплекты получили широкое распространение и за рубежом. Это БИС серии Intel 3000 фирмы Intel Corp. (США) /21/ и БИС серии AM2900 фирмы Advanced Micro Devices (США).

2. ОБЩАЯ ХАРАКТЕРИСТИКА СЕКЦИОНИРОВАННЫХ МИКРОПРОЦЕССОРНЫХ КОМПЛЕКТОВ

Микро-ЭВМ можно классифицировать по системе команд и длине слова обрабатываемой информации. Система команд определяет гибкость применения микро-ЭВМ, ее производительность, объем основной памяти, необходимой для размещения программы решаемой задачи и простоту программирования.

Длина слова обрабатываемой информации влияет на точность вычислений, разрядность параллельно принимаемой и выдаваемой информации и на простоту программирования. Как правило, более длинное слово упрощает программирование задачи.

Однокристалльные микропроцессоры (K580, M6800, TMS 9900 и др.) и эат фиксированную длину слова и постоянный набор команд. Это ограничивает возможность их применения для самого широкого спектра решаемых задач.

Модульные или секционированные микропроцессоры характеризуются следующими признаками.

1. Возможность аппаратного изменения разрядности обрабатываемой информации, кратной разрядности процессорной секции.
2. Использование принципа микропрограммного управления, характеризующегося большой гибкостью. Это делает возможным разработку систем, наилучшим образом приспособленным к условиям их применения, с учетом оптимального решения определенной задачи.
3. Высокое быстродействие и производительность. Это достигается путем применения при изготовлении БИС биполярной технологии (I^2L , ТТЛ, ЭСЛ); параллельной обработкой N -разрядных машинных слов; реализацией принципа конвейерной обработки информации; наличием в процессоре регистров общего назначения (РОН), за счет чего сокращается число обращений к основной памяти. Кроме того, быстродействие системы с микропрограммным управлением выше, так как команды непосредственно выполняют те операции, которые продиктованы спецификой их применения.

Отечественной промышленностью освоены все современные технологические процессы изготовления БИС. Быстродействие микровычислителей во многом зависит от технологии производства микросхем, на которых они выполнены. Так, например, быстродействие микро-ЭВМ с различной технологией изготовления при реализации операции типа регистр-регистр будет составлять $/2/$: р-МОП - 50 тыс.оп./с,

П-МОП - 700 тыс.оп./с, КМДП - 400 тыс.оп./с, И²Л - 1 млн.оп./с,
ТТЛ - 2 млн.оп./с, ЭСЛ - 5 млн.оп./с.

В табл.2.1 приведены основные характеристики секционированных микропроцессорных комплектов (МПК), выпускаемых отечественной промышленностью. Базовый МПК представляет собой функционально полный набор микросхем, изготовленных по единой технологии и предназначенных для совместного использования при построении вычислительных систем различной конфигурации и назначения. Центральной частью базового МПК является БИС арифметико-логического устройства (АЛУ), осуществляющая прием, обработку и выдачу цифровой информации. Для увеличения вычислительной мощности АЛУ обычно снабжают сверхоперативной внутренней памятью, регистрами и счетчиками различного назначения. Кроме БИС АЛУ в состав базового МПК обычно входят БИС микропрограммного управления, предназначенная для управления последовательностью выборки микрокоманд из микропрограммной памяти; БИС ускоренного переноса; БИС приоритетных прерываний; БИС интерфейсных связей.

Помимо базового комплекта иногда разрабатываются дополнительные микросхемы следующего назначения:

1. Расширение функциональных возможностей базового комплекта (БИС арифметического расширителя; БИС прямого доступа к памяти).
2. БИС запоминающих устройств, образующих систему памяти микро-ЭВМ (микросхемы ОЗУ, ПЗУ, ППЗУ, ПЛМ).
3. БИС связи с внешними устройствами (дисплеем, фотосчитывателем, магнитными дисками, телеграфным аппаратом и т.д.).
4. БИС связи с объектом управления (ЦАП, АЦП, компараторы, усилители и т.д.).

В настоящем учебном пособии рассмотрены вопросы системного проектирования микровычислителей на основе МПК К589 серии. Состав и основные характеристики БИС этой серии приведены в табл.2.2. Кроме перечисленных микросхем для построения блоков управляющей памяти часто используют программируемые постоянные запоминающие устройства (ПЗУ) К556 серии: К556РТ5 с организацией 512x8 и К556РТ4 с организацией 256x4.

Все БИС К589 и К556 серий выполнены в пластмассовых корпусах с вертикальным расположением выводов с шагом 2,5 мм и числом выводов 16, 24, 28, 40. Для питания микросхем используется один источник питания +5В ± 5%. Все БИС МПК работают в диапазоне температур от

Таблица 2.1

Основные характеристики секционированных МПК

Тип МПК	Число БИС в МПК	Технология	Процессорная секция			Напряжение питания, В	Число РОН
			Разрядность, бит	Потребляемая мощность, Вт	Выстродей- ствие, мкс		
К583	13	И ² Л	8	0,3	1,0	1,2	10
К584	4	И ² Л	4	0,13	1,0	1,2	10
К587	4	КМОП	4	0,01	2,0	9	6
К588	5	КМОП	16	0,005	2,0	5	16
К589	9	ТТЛМС	2	0,85	0,07	5	11
К1800	4	ЭСЛ	4	> 1,0	0,028	-5,2; -2	-
КР1802	15	ТТЛМС	8	1,0	0,15	5	-
КР1804	6	ТТЛМС	4	1,0	0,11	5	-

Состав и основные характеристики БИС МПК К589 серии

№ пп	Наименование БИС	Обозначение	Число выводов	Мощность рассеивания, Вт	Быстродействие, нс
1.	Блок микропрограммного управления (ЕМУ)	K589MK01	40	1,2	60
2.	Центральный процессорный элемент (ЦПЭ)	K589MK02	28	1	70
3.	Схема ускоренного переноса (СУП)	K589MK03	28	0,6	10
4.	Блок приоритетного прерывания (БПП)	K589MK14	24	0,6	80
5.	Многорегистный буферный регистр (МБР)	K589MP12	24	0,8	40
6.	Шинный формирователь (ШФ)	K589MP16	16	0,7	20
7.	Шинный формирователь с инверсией (ШФИ)	K589MP26	16	0,7	20
8.	Многофункциональное микро-низизирующее устройство (МСУ)	K589MK14	16	0,8	40
9.	Микропрограммное ЗУ на IC24 бита (256x4)	K589PE4	16	0,5	40

-10 до +70°C и полностью совместимы с ТТЛ-схемами (серии K155, K531, K555 и др.).

Производительность и гибкость ЦП на базе МПК К589 серии повышается благодаря трем сравнительно новым техническим решениям /17/. Первое из них - использование линий и логики переноса во время неарифметических операций для выработки признаков нулевого или ненулевого результата. Схемы переноса при этом производят логическую операцию ИЛИ для всех разрядов слова результата, выбранного из арифметического блока. При наличии хотя бы одного разряда ЦПЭ в состоянии логической единицы образуется истинный сигнал переноса из старшего ЦПЭ. Этот выходной сигнал может быть использован ЕМУ при выполнении команд условий переходов.

Второе - это использование микросхем с тремя состояниями

(МБР, ПЗ, ПБИ). Третье состояние можно рассматривать как образ выходной линии. Это позволяет сравнительно легко организовывать магистрали путем объединения выходных линий между собой.

Третья особенность - это, так называемая, условная синхронизация ЦПЭ, позволяющая сэкономить число микрокоманд при выполнении различных проверок по условию. Кратковременная приостановка последовательности тактовых сигналов позволяет выполнить микрооперацию ЦПЭ, но результаты операции из-за отсутствия тактового импульса не будут записаны в регистры ЦПЭ. В то же время сигналы, получаемые при выполнении операции доступны блоку БМУ и могут быть использованы в качестве признаков для команд условных переходов. Таким образом, над регистровыми данными ЦПЭ можно выполнять разнообразные неразрушающие операции проверки. Более детально применение перечисленных особенностей МК будет рассмотрено в последующих разделах.

Подробную информацию о назначении и составе каждой БИС МК К589 серии можно найти в работах /4, 12, 13, 21/. Условные графические обозначения микросхем и основные таблицы, описывающие их работу, приведены в приложении.

В заключение отметим, что использование МК К589 серии будет эффективно в тех случаях, когда необходимо добиться максимальной производительности устройства. Это могут быть различные специализированные микро-ЭЕМ, устройства обработки сигналов в реальном масштабе времени, цифровой фильтрации и т.п.

3. ЭТАПЫ ПРОЕКТИРОВАНИЯ МИКРОВЫЧИСЛИТЕЛЕЙ С МИКРОПРОГРАММНЫМ УПРАВЛЕНИЕМ

В структуре центрального процессора (ЦП) микро-ЭЕМ могут быть выделены две части: арифметико-логическое устройство (АЛУ) и устройство управления (УУ). АЛУ реализует арифметические и логические операции. Устройство управления задает режим работы АЛУ путем формирования определенной последовательности управляющих сигналов.

Устройство управления может быть выполнено в виде управляющего автомата с жесткой логикой (например, автоматы типа Миллс, Мура, на распределителях импульсов) либо в виде управляющего автомата с программируемой логикой. В последнем случае говорят о микровычислителе с микропрограммным управлением. Обобщенная структурная схема такого микровычислителя приведена на рис. 3.1.

Устройство управления задает адрес обращения к управляющей памяти, в которой хранятся микропрограммы, определяющие работу АЛУ, устройств ввода-вывода и основной памяти. Каждая микропрограмма соответствует определенной макрокоманде (например, сложение, умножение и др.) и состоит из последовательности микрокоманд. Микрокоманда обычно разбивается на поля. Каждое поле определяет микрооперацию того блока микровычислителя, для управления которым оно было введено. Наряду с другими в слове микрокоманды имеется поле, которое поступает в УУ для формирования адреса следующей макрокоманды.

В основной памяти микровычислителя хранятся макропрограммы и данные. Макропрограмма состоит из последовательности макрокоманд. Каждая макрокоманда содержит код операции, которую необходимо выполнить. Как правило, код операций определяет начальный адрес соответствующей микропрограммы в управляющей памяти.

После получения из основной памяти кода операции УУ совместно с управляющей памятью организует выполнение заданной микропрограммы. После завершения микропрограммы из основной памяти выбирается код операции новой макрокоманды и все повторяется.

В микровычислителях с микропрограммным управлением существует два уровня управления и соответственно два уровня программирования. Разработка программы на макроуровне выполняется в виде последовательности макрокоманд, находящихся в основной памяти, и определяется основными приемами программирования на языке команд. Разработка микропрограмм, соответствующих определенному списку макрокоманд, производится в виде последовательностей микрокоманд, расположенных в управляющей памяти.

Обобщенная структурная схема микровычислителя с микропрограммным управлением
внешние управляющие сигналы

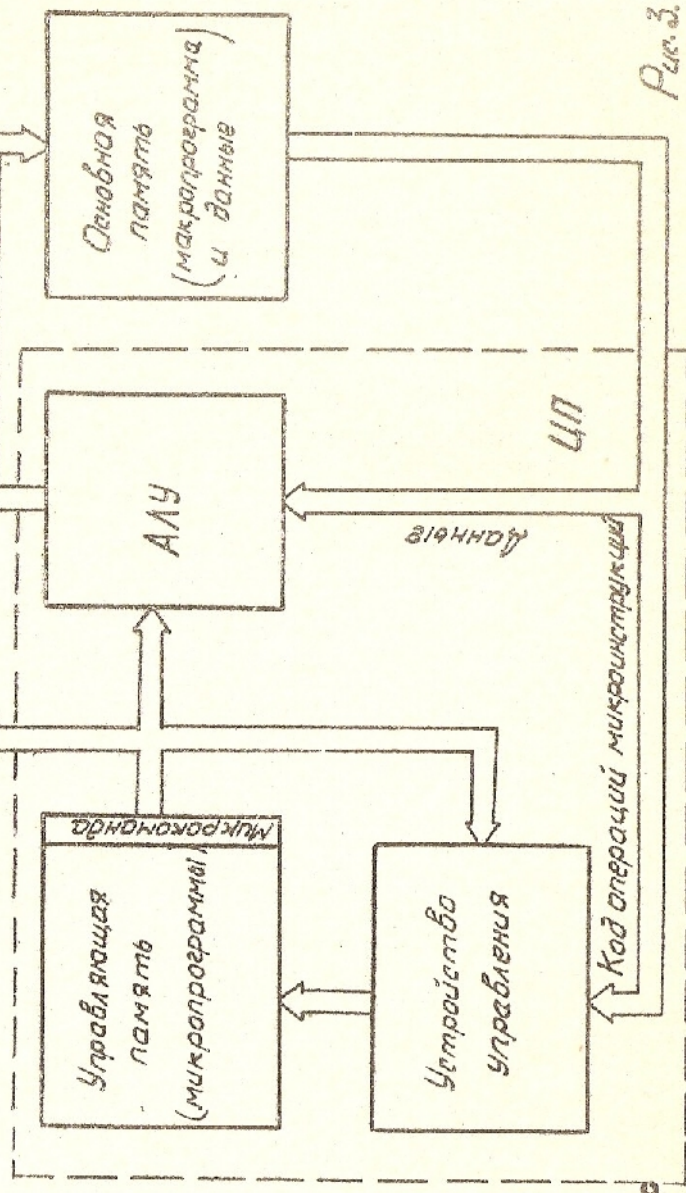


Рис. 3.1

Достоинством микропрограммного управления является то, что макрокоманды любой сложности могут быть реализованы в виде последовательностей относительно простых микрокоманд. Более того, если возникнет необходимость в изменении или увеличении списка макрокоманд, пользователь всегда может это сделать путем перепрограммирования управляющей памяти. Аппаратная часть микровычислителя остается при этом без изменений.

Проектирование микровычислителей на базе БИС К589 серии осуществляется в несколько этапов /4/:

- а) определение организации аппаратной части ЦП;
- б) определение списка макрокоманд процессора;
- в) разработка микропрограмм, реализующих заданный список макрокоманд, и размещение их в управляющей памяти.

3.1. Организация аппаратной части центрального процессора

Типичная организация центрального процессора на базе БИС К589 серии приведена на рис.3.2. Массив элементов ЦПЗ выполняет арифметические и логические операции, а также операцию хранения информации в регистрах общего назначения (РОН). БМУ совместно с управляющей памятью выполняет функции устройства микропрограммного управления.

БМУ реализован на базе одной БИС К589ИКО1 и выполняет пять основных функций:

- 1) управляет последовательностью выборки микрокоманд из управляющей памяти;
- 2) управляет двумя триггерами признаков (флажков), которые могут быть использованы для организации условных переходов;
- 3) управляет входными и выходными сигналами схемы признаков;
- 4) обеспечивает возможность загрузки кода макрокоманды;
- 5) производит анализ запросов на прерывание и инициирует ответ.

Поскольку в БМУ поступает 8-разрядный код операции, предпочтительно иметь 8-разрядный код операции в макрокоманде. В этом случае может быть реализовано 256 различных макрокоманд.

Структурную схему и подробное описание работы БМУ можно найти в /4, 12, 13, 21/. Здесь же напомним, что в состав БМУ входят логическая схема формирования следующего адреса (СФСА), регистр адреса (РА), два триггера флажка С и Z и F-триггер типа "защелка".

СБСА формирует 9-разрядный адрес следующей микрокоманды и засылает его в РА. С РА адрес поступает на выходную адресную шину MA_0-MA_8 в виде 4-разрядного адреса столбца и 5-разрядного адреса строки.

Формирование адреса следующей микрокоманды осуществляется в СБСА по информации, поступающей по шине UA_0-UA_6 из управляющей памяти с учетом текущего адреса микрокоманды, состояния флажков S , Z и F -триггера и состояния регистра команд (ПК). На вход СБСА может поступать сигнал, который запоминается в F -триггере, откуда он может быть переписан в триггеры S и Z . Содержание флажков S и Z может быть выдано на внешний выход Φ_8 . Управление приемом и выдачей признаков условий производится по 4-разрядной шине UF_0-UF_3 .

Вход загрузки адреса (ЗМ) обеспечивает возможность непосредственной записи кода операции микрокоманды из основной памяти в РА и имеет приоритет перед командами формирования адреса следующей микрокоманды, поступающим по шине UA_0-UA_6 . Однако сигнал ЗМ не влияет на загрузку регистра команд, выполнение команд управления флажковыми триггерами и на выдачу сигнала разрешения прерывания (СРП).

В устройствах микропрограммного управления применяются разнообразные форматы микрокоманд. Каждая микрокоманда состоит из ряда полей, количество и разрядность которых определяет разработчик системы. Часть полей является, как правило, обязательной, другая часть зависит от конфигурации системы и принятого списка микроинструкций. К числу обязательных полей микрокоманды относят следующие:

- 7-разрядный код для управления операциями центрального процессора $F_6 - F_0$;
- 7-разрядный код для формирования адреса следующей микрокоманды БМУ UA_6-UA_0 ;
- 4-разрядный код для управления признаками в БМУ UF_3-UF_0 .

Остальные поля в микрокоманде вводятся разработчиком системы. Это могут быть, например, следующие поля:

- поле для управления основной памятью ;
- поле для управления устройствами ввода-вывода ;
- одноразрядное поле условной синхронизации ЦПЭ ;
- поля маски ЦПЭ ;
- поле программного останова и др.

При проектировании центрального процессора на базе БИС К589 серии обычно используются конвейерная или стандартная организации структур /4,21/ (рис.3.2). Для построения процессора с конвейерной обработкой информации необходимо между выходами управляющей памяти и схемами, управляемыми от этих выходов, установить регистр, выполненный на триггерах со срабатыванием по фронту (например, К155 ИР1, К155ТМ8, К155ТМ2). Шина U_A , по которой в БМУ из управляющей памяти передается информация, необходимая для выборки очередной микрокоманды, заводится непосредственно на входы БМУ, минуя конвейерный регистр. В результате такой организации удается совместить выполнение текущей микрокоманды в блоках ЦПЭ и основной памяти с выборкой следующей микрокоманды. За счет этого существенно повышается быстродействие микровычислителя.

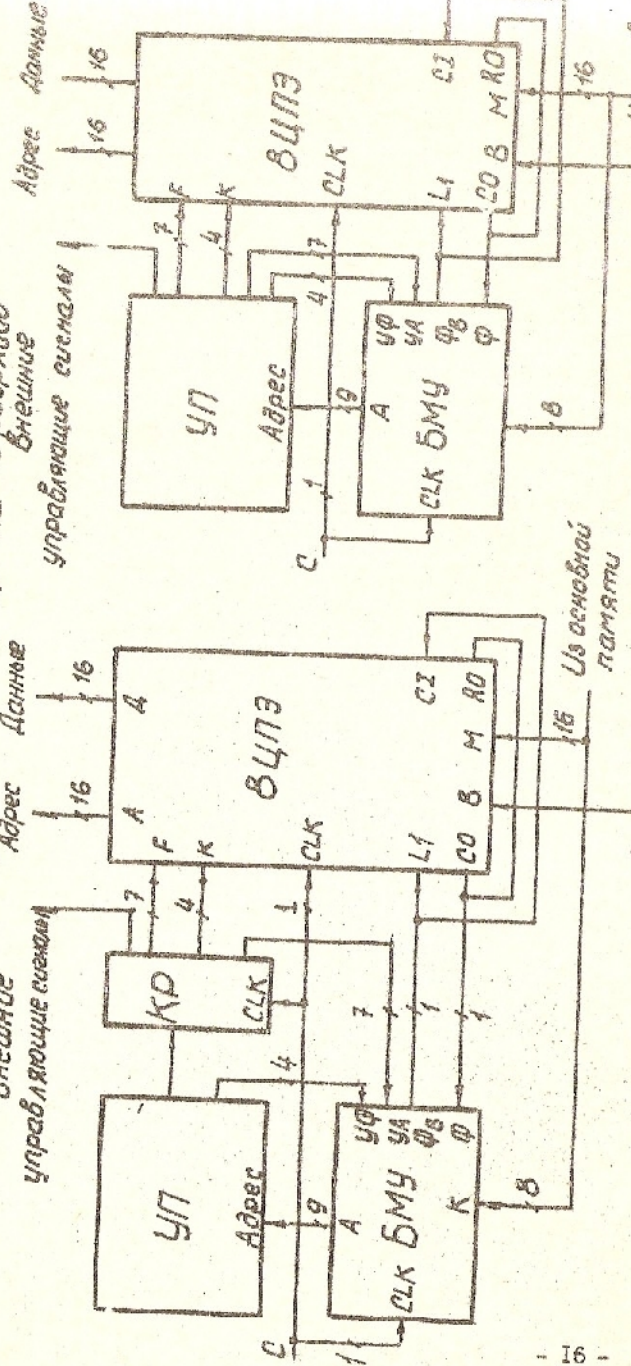
Отличия в структурах конвейерной и стандартной конфигураций ЦП наносят свой отпечаток и на микропрограммы, реализующие заданный набор макрокоманд. Основное отличие связано с выполнением команд условного перехода по результатам арифметических и логических операций, выполняемых ЦПЭ. В процессоре с конвейерной организацией эти результаты вырабатываются с использованием отдельной микрокоманды, и, следовательно, условный переход должен быть задержан, по крайней мере, на одну микрокоманду перед выполнением. Более подробно этот вопрос будет рассмотрен ниже в примерах, посвященных микропрограммированию.

На рис.3.2 показаны все 6 магистралей ЦПЭ, которые используются при построении микро-ЭВМ:

1. Шина микрофункций F .
2. Адресная шина A для обращения к основной памяти,
3. Шина данных D для передачи информации к основной памяти и внешним устройствам.
4. Шина маски K .
5. Шина M для приема информации из основной памяти.
6. Шина B для подключения внешних устройств.

В зависимости от кода на шине F массив ЦПЭ может выполнять арифметические и логические операции: двоичное сложение в дополнительном коде, инкремент и декремент, поразрядное логическое И, ИЛИ, исключающее ИЛИ, дополнение. Результат операции может быть записан в аккумулятор, в регистры $R_0 - R_9$, или в регистр T . Вход L_1 (левый) и выход R_0 (правый) используются для операции сдвига

Структурные схемы ЦП на 16 разрядов



а) конвейерная организация
 б) стандартная организация

Рис. 3.2.

справа. Вход переноса C_1 и выход переноса C_0 обеспечивают нормальное распространение сигнала переноса. Выходы C_0 и R_0 имеют три состояния, причем разрешается выдача либо сигнала C_0 (при выполнении арифметических и логических операций), либо сигнала R_0 (при сдвиге), что позволяет объединять их в единую линию. Кроме этого, в ЦПЭ имеются выходы X и Y (на структурах не показаны), которые позволяют использовать стандартные схемы ускорения переноса (КБ891КОЗ) и организовать ускоренный перенос для любой разрядности обрабатываемой информации. При выполнении логических операций схема переноса используется для получения логической сборки (ИЛИ) всех разрядов выхода АЛУ с целью анализа на "0" результата выполнения операции.

Шина K служит для маскирования различных полей обрабатываемого слова. По шине K также могут передаваться константы в массив ЦПЭ. Разрядность шины K не обязательно должна быть точно такой, как у информационных шин процессора. Часто необходимость маскирования заключается в выделении младшего и старшего информационных байтов, знака и абсолютной величины информационного слова и для проверки младшего разряда. В этом случае можно обойтись 4 разрядами шины K (см. рис.3.3 и табл.3.1).

Таблица 3.1

Пример использования четырех маскирующих разрядов

K_3	K_2	K_1	K_0	Код на магистрали K (в 16 с.с.)	Функция маскирования
1	1	1	1	0000	-
1	1	1	0	0001	Выделение младшего бита
1	1	0	0	00FF	Выделение младшего байта
0	0	1	1	FF00	Выделение старшего байта
1	0	0	0	7FFF	Выделение модуля числа
0	1	1	1	8000	Выделение знака числа
0	0	0	0	FFFF	Выделение полного слова

В заключение рассмотрим пример использования дополнительной логики для улучшения свойств ЦП путем введения в слово микрокоманды дополнительного разряда для организации условной синхронизации /4,12/. В этом случае массив ЦПЭ синхронизируется не непосредственно от генератора, а через логическую схему ИЛИ (рис.3.4), на второй вход которой подается сигнал с регистра микрокоманд, запре-

дающий тактирование. Условная синхронизация позволяет осуществлять неразрушающую проверку регистров ЦПЭ, необходимую для выполнения микроопераций проверки по условию. Это объясняется тем, что схема АЛУ, вырабатывающая сигналы признаков для БМУ, является чисто комбинационной. Поэтому к ней возможен асинхронный доступ. Запись результата выполненной в ЦПЭ микрооперации может произойти только по заднему фронту тактового сигнала. Если с помощью разряда условной синхронизации кратковременно заблокировать поступление тактовых сигналов, то результат микрооперации не будет занесен в регистровую память. Однако, вырабатываемые во время микрооперации признаки могут быть восприняты БМУ для выполнения команд условного перехода. Этот прием экономит память (и соответствующее число рабочих тактов), необходимых для выполнения микроопераций проверки по условию. Пример применения условной синхронизации приводится ниже.

Условные графические обозначения элементов К589 серии, а также соответствующие таблицы их работы, приведены в приложении.

3.2. Техника макропрограммирования

Напомним, что каждая макрокоманда представляет собой определенную последовательность микрокоманд, реализующих заданную операцию. Совокупность некоторых макрокоманд, расположенных в последовательных ячейках основной памяти микро-ЭВМ, образует макропрограмму определенного алгоритма.

3.2.1. Дешифрация макрокоманд

Шина команд БМУ представлена восьми битовым полем, поэтому дешифрация кода макрокоманды наиболее просто выполняется для восьми битового кода операции макрокоманды. Различают два способа дешифрации макрокоманд.

Первый способ. 8-разрядный код макрокоманды поступает на шину К БМУ. В БМУ выполняется операция JRX, по которой происходит один из 16 возможных переходов, определяемых четырьмя битами K_4-K_7 , а также запоминание четырех битов K_0-K_3 в регистре команд (РК) БМУ для последующей дешифрации с помощью команд JPR, JLL или JRL (см. табл. II. I приложения). Результатом дешифрации каждой макрокоманды является выбор начального адреса нужной последовательности микрокоманд. Для эффективного использования микрокода желательно ко-

Пример организации шины К

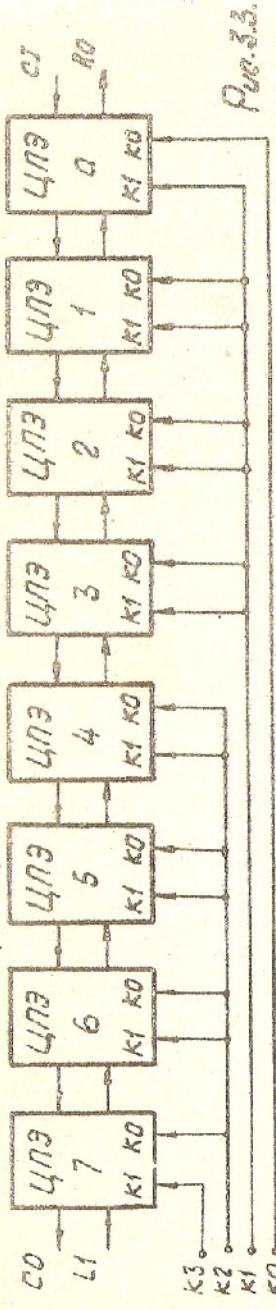


Рис. 3.3.

Организация условной синхронизации ЦПЭ

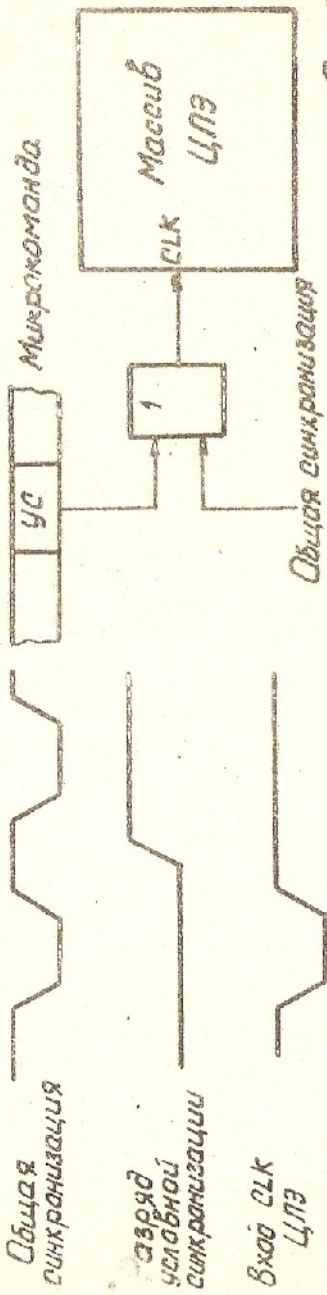


Рис. 3.4

дировать операции таким образом, чтобы было как можно больше общих сегментов микропрограммы в различных макрокомандах. Код операции макрокоманды можно, например, закодировать так, чтобы проверяемые операцией JRX первые четыре бита определяли первоначальную стадию выполнения команды. После первой стадии выполнения макрокоманды наступает последующая обработка по значениям разрядов PK.

Иногда с помощью битов K_4-K_7 определяют номер группы операций, а битов K_0-K_3 - тип операции, входящей в данную группу. Например, можно выделить следующие группы операций: работа с основной памятью, условных переходов, ввода-вывода, арифметических операций и др. В свою очередь группа арифметических операций может включать, например, следующие операции: сложение, вычитание, деление и др. Запомненный в PK код операции может быть использован уже в следующем такте для выделения выполняемой операции.

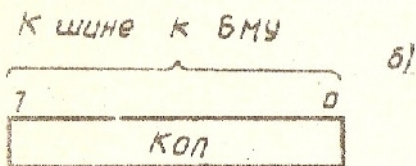
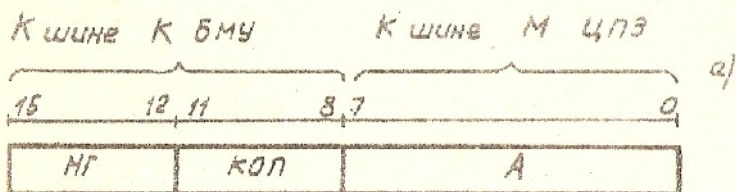
Второй способ основан на использовании признака "загрузка машины" (ЗМ), для которого в слове микрокоманды необходимо отвести один разряд. При поступлении сигнала ЗМ на одноименный вход БМУ 9-разрядный адрес следующей микрокоманды будет сформирован на основе кода команды на линии K_7-K_0 БМУ (см. табл. П.1 приложения). Этот код при наличии сигнала ЗМ обладает приоритетом перед сигналами на линии $УА_6-УА_0$. В этом случае удается сразу определить один из 256 возможных начальных адресов требуемой макрокоманды.

3.2.2. Форматы макрокоманд.

На рис.3.5 приведены некоторые возможные форматы макрокоманд 16-разрядного процессора. В формате команды рис.3.5а старшие восемь разрядов поступают из основной памяти на шину К БМУ, а младшие восемь разрядов - на шину М блока ЦПЗ, где они могут быть использованы как адресная часть команды, смещение или как непосредственно данные. Над старшими разрядами выполняются действия по дешифрации кода команды, описанные выше.

Безадресный формат макрокоманды (рис.3.5б) обычно используется при построении специализированных микро-ЭВМ, в которых местонахождение операндов заранее определено и зафиксировано. Поэтому достаточно указать лишь начальный адрес микропрограммы (код операции), которую необходимо выполнить.

Возможные форматы макрояснанд процессора



а) адресная команда;

б) безадресная команда;

НГ - номер группы операций

КОП - код операции

А - адрес операнда

Рис. 3.5.

3.2.3. Выборка очередной макрокоманды.

Макрокоманды располагаются в основной памяти в последовательных ячейках. После выполнения текущей макрокоманды необходимо выбрать следующую. Для задания адреса макрокоманд необходим счетчик адреса команд (СЧАК). В качестве СЧАК обычно используют один из регистров общего назначения ЦПУ, например, R_0 . Следует отметить, что РОИ могут быть также использованы для задания индексного регистра, указателя стека, регистра слова состояния и других.

Процедура выборки очередной макрокоманды заключается в следующем:

- а) содержимое СЧАК засылается в РА ЦПУ и после этого увеличивается на единицу;
- б) считывание макрокоманды по адресу РА из основной памяти и выдача на шину К БМУ кода операции;
- в) дешифрация кода макрокоманды по одному из двух описанных выше способов.

Процедура выборки очередной макрокоманды должна присутствовать во всех макрокомандах программы. Поэтому ее обычно выделяют в общую часть и после завершения выполнения основной части макрокоманды передают управление на начало этой процедуры. Для этого начальную микрокоманду процедуры помещают в одну из ячеек нулевого ряда, доступную для любой ячейки управляющей памяти при помощи команды JZR (переход в нулевую строку).

После выполнения каждой макрокоманды микровычислитель проверяет состояние схемы прерывания, чтобы определить, нет ли запроса на прерывание. Если такой запрос имеется, процессор должен приостановить выполнение текущей программы и перейти к обработке прерываний. Анализ запросов на прерывание происходит с помощью сигнала разрешения прерывания (СРП), который вырабатывается при передаче управления в 0 строку 15 столбца управляющей памяти.

3.3. Техника микропрограммирования

После выбора структуры центрального процессора и определения списка макрокоманд проектировщик может приступить к составлению микропрограмм для системы. Это можно легко сделать, если у него в распоряжении имеется система автоматизации микропрограммирования, подобная системе CROMIS фирмы Intel/21/. Если же подобной системы нет, разработку микропрограмм приходится выполнять вручную.

Процесс разработки микропрограмм можно разбить на два этапа:

1. Составление микропрограмм относительно к их размещению в управляющей памяти.

2. Размещение микрокоманд в управляющей памяти и окончательная запись микропрограмм.

Составление микропрограмм может быть выполнено в кодах микроопераций ЦП, или с помощью "ручного" микроассемблера.

Рассмотрим особенности программирования с помощью символического микроассемблера. Каждый оператор микропрограммы определяет микрооперации, выполняемые в данной микрокоманде. Оператор определяет либо непосредственно, либо косвенно содержимое каждого управляющего поля выполняемой микрокоманды. Как уже отмечалось выше, микрокоманда состоит из стандартных полей и полей, которые определяет разработчик системы. Для определения микроопераций стандартных полей используются принятые изготовителем обозначения (см. приложение). Каждое дополнительное поле, введенное разработчиком системы, должно быть определено и описано.

Например, пусть необходимо описать 1-о разрядное поле управления основной памятью. Если назвать это поле ОП и обозначить символом 1 - состояние, соответствующее READ (чтения), а 0 - состояние, соответствующее WRITE (запись), то поле ОП будет полностью определено.

Рассмотрим некоторые фрагменты микропрограмм.

Фрагмент 1. Чтение содержимого нулевой ячейки основной памяти, в аккумулятор может быть осуществлено при помощи операторов:

1. CLR (R₀), K0000;
2. LMI (R₀), FF1, K0000;
3. ACM (AC), READ, K0000;

Первой операцией очищается нулевой регистр массива ЦП, второй - производится загрузка содержимого R₀ в адресный регистр памяти ЦП и увеличение содержимого R₀ на 1, третьей операцией осуществляется чтение содержимого основной памяти по нулевому адресу на шину M и загрузка содержимого этой шины в AC. Код на шине маски K0000 задан в 16 системе счисления (во всех разрядах магистрали K выставлен нули).

Фрагмент 2. Проверка знака аккумулятора.

Если используется стандартная организация процессора, то про-

верка знака АС может быть осуществлена при помощи одного оператора

$TZR(AC)$, FFO , $K8000$, $JFL(M1, M2)$;

$M1: \dots$; $M2: \dots$;

Запись $K8000$ соответствует двоичному коду $1000\ 0000\ 0000\ 0000$ на К шине. По микрооперации $TZR(AC)$ разряды АС будут подвергнуты операции логическое "ИЛИ". Результат операции (0 или 1) будет записан в триггер F БМУ. Функция JFL осуществит переход по содержанию этого триггера на метку $M1$ ($F = 1$) или $M2$ ($F = 0$). Функция FFO означает, что на выход Φ_8 БМУ будет выдан 0.

Эта же самая проверка в процессоре с конвейерной организацией будет выглядеть так

$TZR(AC)$; FFO ; $K8000$;

NOP ; $JFL(M1, M2)$;

$M1: \dots$; $M2: \dots$;

Отличие от предыдущего случая состоит в том, что микрокоманда условного перехода проверяет результаты предыдущей микрокоманды. Оператор NOP означает, что в массиве ЦПЭ операция отсутствует.

Особенности формирования следующего адреса в БМУ накладывают определенные ограничения на размещение микрокоманд в управляющей памяти. Поэтому при размещении микропрограммы в памяти необходимо соблюдать следующие правила /4/:

1. Микропрограмма записывается без учета адресного распределения. После этого размещаются микрокоманды условных переходов при помощи команд условных переходов БМУ (JFL , JCF , JZF , JPR , JRL , JLL , JRX), помечая номерами рядов и колонок матрицы ПЗУ микрокоманд последовательность возможных мест назначения для условных переходов.

2. Составляется диаграмма размещения микрокоманд в памяти в виде матрицы из 32 строк и 16 столбцов. На диаграмме отмечаются места условных переходов.

3. Первыми необходимо разместить условные переходы, причем многонаправленные условные переходы должны быть размещены прежде, чем одиночные (изолированные) условные переходы. Длинные цепочки безусловных переходов размещаются в последнюю очередь. По мере заполнения управляющей памяти, на диаграмме отмечаются места, занимаемые каждой микрокомандой. По окончании заполнения управляющей памяти, адреса микрокоманд переписываются в соответствующие

места микропрограммы.

Иногда бывает полезной информация о связи состояний. Для этого на диаграмме обозначают связи рассматриваемой ячейки со всеми соседними ячейками. В этом случае могут быть достаточно просто прослежены последовательности выполнения микрокоманд.

Если необходимо произвести перераспределение управляющей памяти, первыми следует перераспределять последовательности безусловных переходов, так как их наиболее просто передвигать.

При заполнении управляющей памяти ячейки нулевой строки необходимо использовать бережно, т.к. только к ним возможен доступ из любого места памяти, с помощью функции перехода JZR . Наконец, в управляющей памяти существует 64 пары ячеек для организации условных переходов JFL , JCF , JZF , так как по всем этим командам управление передается в ячейки колонок 2 и 3 или IO и II . Поэтому важно обеспечить достаточное количество пар ячеек для организации всех условных переходов, используемых в микропрограмме.

Рассмотрим пример составления микропрограммы.

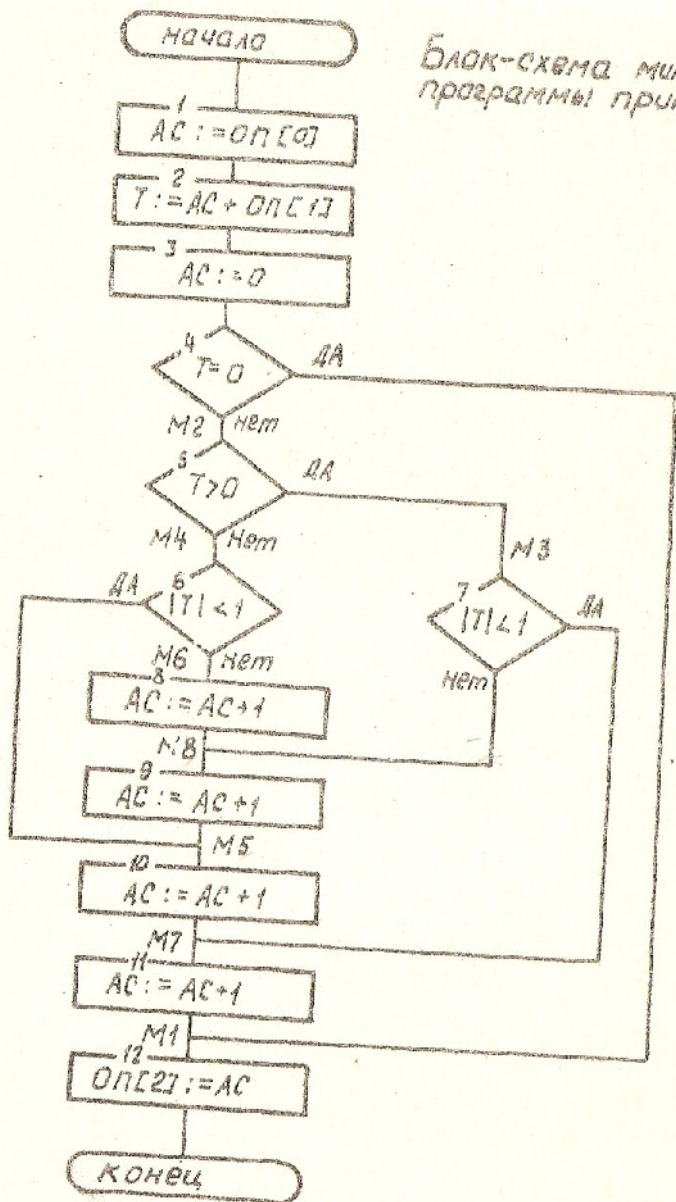
Пример I. Для микровычислителя с организацией, показанной на рис.3.2б, необходимо разработать микропрограмму и разместить ее в управляющей памяти в соответствии со следующим алгоритмом: два числа a и b заданы в дополнительном коде, причем оба по модулю меньше единицы. Числа расположены в 0 и I ячейках основной памяти. Необходимо найти сумму этих чисел и в зависимости от результата во вторую ячейку основной памяти записать:

- 0, если $(a+b)=0$;
- 1, если $1 > (a+b) > 0$;
- 2, если $0 > (a+b) > -1$;
- 3, если $(a+b) \geq 1$;
- 4, если $(a+b) \leq -1$.

При решении задачи будем полагать, что числа 16-разрядные, старший разряд знаковый. Для фиксации результата, который по модулю больше единицы, после знакового разряда отведем разряд целых. Будем считать, что запятая фиксируется после этого разряда.

Блок-схема программы решения поставленной задачи приведена на рис.3.б. Как видно из блок-схемы, исходные числа извлекаются из 0 и I ячеек основной памяти (ОП) и складываются. Сумма оказывается в регистре T массива ЦПЭ. Далее производятся проверки содержимого этого регистра и в аккумуляторе (АС) формируется код, который затем записывается во вторую ячейку ОП.

Блок-схема микро-
программы примера 1



Введем следующие дополнительные поля:

а) двухразрядное поле работы с основной памятью;

I* ~ хранение информации;

00 ~ запись (ЗП);

01 ~ чтение (ЧТ).

Крайний левый разряд этого поля означает сигнал выборки кристалла памяти, крайний правый - режим работы блока ОП (запись или чтение).

б) 4-разрядному полю маски К соответствует 16-разрядный код на магистрали К ЦПЭ

K0000 ~ 0000 0000 0000 0000

K1111 ~ 1111 1111 1111 1111

K1000 ~ 1000 0000 0000 0000

K0100 ~ 0100 0000 0000 0000

в) одноразрядное поле останова (ОСТ). Если в этом поле окажется код 1, произойдет программный останов микро-ЭВМ;

Программа решения задачи на языке символического микроассемблера приведена на рис.3.7а. При описании полей, относящихся к блокам ЦПЭ и БМУ, использованы стандартные mnemonicские обозначения микрофункций, которые приведены в приложении. На рис.3.7а, в колонках 3 и 8 соответственно приведены адреса текущей и следующей микрокоманды в 16-й системе счисления. Например, адрес 4-В означает, что микрокоманда расположена в 4-й строке и в колонке с адресом В. Обозначения меток в колонке I совпадают с аналогичными обозначениями меток рис.3.6 при выполнении условных переходов. В примечании достаточно подробно описаны действия, выполняемые в каждой микрокоманде.

На рис.3.7б эта же программа представлена в кодах микрофункций соответствующих блоков микровычислителя. Она получена путем замены mnemonicских обозначений, описывающих работу определенных полей, на соответствующие микрокоды.

На рис.3.8а показано размещение микрокоманд для примера I в управляющей памяти. На пересечении соответствующих строки и колонки проставляется номер микрокоманды, которая расположена по этому адресу.

На рис.3.8б показано размещение микрокоманд для этого же примера, но с учетом связей с соседними микрокомандами. В каждой ячейке в числителе отмечается адрес микрокоманды, откуда произошел переход, а в знаменателе - куда будет передано управление. Обозначение ЗМ означает, что переход в ячейку произошел по коду команды, поданному на соответствующую шину БМУ.

Программа решения задачи примера 1

Метка	№ МК	Адрес 16сс.	Операция ЦПЗ (F)	Упр. Флаг.	Дополн. поля	Управл. адр (УА)	След.адр. 16сс.	Примечание
START	1	0-1	CLR (R0)					
	2	1-0	LMI (R0)	FFI			1-0	R0 := 0
	3	2-0	ACM (AC)		47		2-0	RA := R0; RO := RO + 1
	4	2-1	LMI (R0)	FFI			2-1	47.00; AC := M
	5	3-1	AMA (AC)		47, K1111		3-1	RA := R0; RO := RO + 1
	6	3-0	SAR (R4)	FFI	K1111		3-0	47.00; AC := AC + M
	7	4-0	SAR (R5)	FFI	K1111		4-0	R4 := AC
	8	4-1	SAR (T)	FFI	K1111		4-1	R5 := AC
	9	5-1	CLR (AC)				5-1	T := AC
	10	5-0	TEA (T)				5-0	R5 := AC
M1	11	1-2	NOP	FFI	K1111		1-2/3	AC := 0
	12	1-1	NOP	FFI	3л		1-1	Если T=0, то лими 3л. 0л
M2	13	1-3	TEA (T)				-	
M3	14	2-2	TER (R4)		K1000		2-2/3	Останов
M7	15	0-2	INA (AC)	FFI	K0100		0-2/3	Если T=0, то M3
M8	16	0-3	INA (AC)	FFI			1-2	Если R4=1, то M7
M4	17	2-3	TER (R5)				3-3	AC := AC + 1; 5л. M4
M5	18	3-3	INA (AC)	FFI	K0100		3-2/3	AC := AC + 1; 5л. M5
M6	19	3-2	INA (AC)	FFI			0-2	Если R5=1, то M5
							0-3	AC := AC + 1; 5л. M6

a)

Намер МК	Адрес МК (16сс.)	Микрокоманда																	
		F					OCT		OP		K		Флаг		УА				
		с	з	2	1	0	0	1	10	3	2	1	0	1	0	3	2	1	0
1	0-1	1	0	0	0	0	0	1	1	0	0	0	0	0	1	1	0	0	0
2	1-0	0	0	1	0	0	0	0	1	0	0	0	0	1	1	0	0	0	0
3	2-0	0	0	0	1	0	1	0	0	1	0	0	0	0	1	1	0	0	0
4	2-1	0	0	1	0	0	0	0	1	0	0	0	0	1	1	0	1	0	0
5	3-1	0	0	0	1	0	1	0	0	1	1	1	1	0	1	1	0	0	0
6	3-0	0	1	0	0	1	0	0	1	1	1	1	1	0	1	1	0	0	0
7	4-0	0	1	0	0	1	0	1	1	1	1	1	1	1	0	0	0	1	0
8	4-1	0	1	0	1	1	0	0	1	1	1	1	1	1	0	1	1	0	0
9	5-1	1	0	0	1	1	0	0	1	1	1	1	1	1	0	0	0	1	0
10	5-0	1	0	1	1	1	0	0	1	1	1	1	0	1	1	0	1	0	0
11	1-2	1	1	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0
12	1-1	1	1	0	0	0	0	1	1	0	0	0	1	1	1	1	0	0	0
13	1-3	1	0	1	1	1	0	0	1	1	0	0	1	1	1	0	0	0	0
14	2-2	1	0	1	0	1	0	0	1	1	0	0	0	1	1	1	0	0	0
15	0-2	0	1	1	1	1	1	0	1	1	0	0	0	1	1	1	0	0	0
16	0-3	0	1	1	1	1	1	0	1	1	0	0	0	1	1	1	0	0	0
17	2-3	1	0	1	0	1	0	1	1	0	1	0	0	1	1	1	0	0	0
18	3-3	0	1	1	1	1	1	0	1	1	0	0	0	1	1	1	0	0	0
19	3-2	0	1	1	1	1	1	0	1	1	0	0	0	1	1	1	0	0	0

б)

- а) на мнемоническом микроассемблере
- б) в кодах микрофункций

Рис. 3.7

Размещение микрокоманд в управляющей памяти для примера 1

	0	1	2	3	4
0	1		15	16	
1	2	12	11	13	
2	3	4	14	17	
3	6	5	19	18	
4	7	8			
5	10	9			

а)

	0	1	2	3	4
0	3M 1-0		2-2	2-2	
1	0-0 1-2	1-2	5-0	1-2	2-2 3-3
2	1-0 2-1	2-0	007	1-1	5-0 2-2/3
3	3-1 4-0	2-1	2-0	1-3 0-2/3	1-3 3-2/3
4	3-0 4-1	4-0	3-0	2-3	2-3 0-2
5	5-1 1-2/3	4-1	5-1		
			5-0		

б)

а) размещение микрокоманд б) переходы между микрокомандами

Рис. 3.8.