

УДК 004.274

Применение идентификации выходов при синтезе устройства управления с преобразователем адреса микрокоманд

К.Н. Ефименко

Донецкий национальный технический университет
ekn_don_20.10@mail.ru

Abstract

Efimenko K.N. Using Identification of Outputs for Design of Control Unit with Transformation of Microinstruction Address. A method of decreasing the amount of feedback signals in compositional microprogram control unit is proposed. The method is based on the use of part of microinstruction address for coding of classes of pseudoequivalent operational linear chains. The proposed method does not require new structural elements and has no influence on the performance of digital system with compositional microprogram control unit. An example of application of the proposed method is given.

Введение

Постоянное развитие рынка изделий микроэлектроники выдвигает все более жесткие требования к эффективности, миниатюризации и энергопотреблению разрабатываемых устройств. Наиболее широкое распространение получили ПЛИС типа «система-на-кристалле» (SoPC – system-on-a-programmable-chip), позволяющие реализовать сложные цифровые системы на базе одной СБИС [1-3]. В состав SoPC входят средства для реализации произвольной логики (FPGA или CPLD), средства для реализации памяти, встроенные микропроцессоры, встроенные средства реконфигурации. Производительность таких ПЛИС определяется эффективностью взаимодействия всех встроенных компонентов [4].

Устройство управления, являющееся одним из важнейших блоков цифровой системы [2,3], может быть реализовано как композиционное микропрограммное устройство управления (КМУУ) [5]. При реализации КМУУ в составе SoPC схема адресации микрокоманд реализуется на FPGA (field-programmable gate array) – программируемых матрицах логических вентилей, состоящих из миллионов элементов табличного типа (LUT-элементов) [3,4], а различные табличные функции реализуются на встроенных блоках памяти DMB. Ограниченное (до 6) число входов LUT-элементов приводит к необходимости декомпозиции реализуемых булевых функций [6,7], что увеличивает число LUT-элементов в схеме адресации КМУУ. В связи с этим актуальной остается задача разработки новых и совершенствования известных методов синтеза КМУУ. В данной работе предлагается при синтезе КМУУ с преобразователем адреса микрокоманд [8] использовать метод идентификации выходов [9].

Общие теоретические положения

Пусть алгоритм управления цифровой системы задан в виде граф-схемы алгоритма

(ГСА) Γ [5], содержащей начальную b_0 , конечную b_E , операторные и условные вершины. Операторные вершины образуют множество V_1 , имеющее M элементов. В вершинах $b_q \in V_1$ записываются микрокоманды $Y_q \subseteq Y$, где $Y = \{y_1, \dots, y_N\}$ – множество микроопераций. В условных вершинах, образующих множество V_2 , записываются элементы множества логических условий $X = \{x_1, \dots, x_L\}$. Вершины ГСА образуют множество $V = V_1 \cup V_2 \cup \{b_0, b_E\}$, элементы которого связаны дугами из множества E .

Введем ряд определений [5], необходимых для дальнейшего изложения материала.

Определение 1. Операторной линейной цепью (ОЛЦ) ГСА Γ называется конечная последовательность операторных вершин $\alpha_g = \langle b_{g_1}, \dots, b_{g_{F_g}} \rangle$, для любой пары соседних компонент которой существует дуга $\langle b_{g_i}, b_{g_{i+1}} \rangle \in E$, где $i = 1, \dots, F_g - 1$ – номер компоненты.

Определение 2. Вершина $b_q \in D^g$, где $D^g \subseteq V_1$ – множество вершин, входящих в ОЛЦ α_g , называется входом ОЛЦ α_g , если существует дуга $\langle b_t, b_q \rangle \in E$, где $b_t \notin D^g$.

Определение 3. Вершина $b_q \in D^g$, называется выходом ОЛЦ α_g , если существует дуга $\langle b_q, b_t \rangle \in E$, где $b_t \notin D^g$.

Определение 4. Операторные линейные цепи $\alpha_i, \alpha_j \in C$ называются псевдоэквивалентными ОЛЦ, если их выходы связаны с входом одной и той же вершины ГСА Γ , и образуют множество классов псевдоэквивалентных ОЛЦ $P_C = \{V_1, \dots, V_1\}$.

Пусть для ГСА Γ найдено разбиение $C = \{\alpha_1, \dots, \alpha_G\}$ множества V_1 на операторные линейные цепи и пусть для каждой пары соседних вершин ОЛЦ $\alpha_g \in C$ выполняется условие

$$A(b_{g_{i+1}}) = A(b_{g_i}) + 1 \quad (i = 1, \dots, F_g - 1), \quad (1)$$

где $A(b_g)$ – адрес микрокоманды, соответствующей вершине $b_g \in V_1$. В этом случае устройство управления цифровой системы может быть реализовано в виде КМУУ U_1 с преобразователем адреса микрокоманд (Рис. 1) [8].

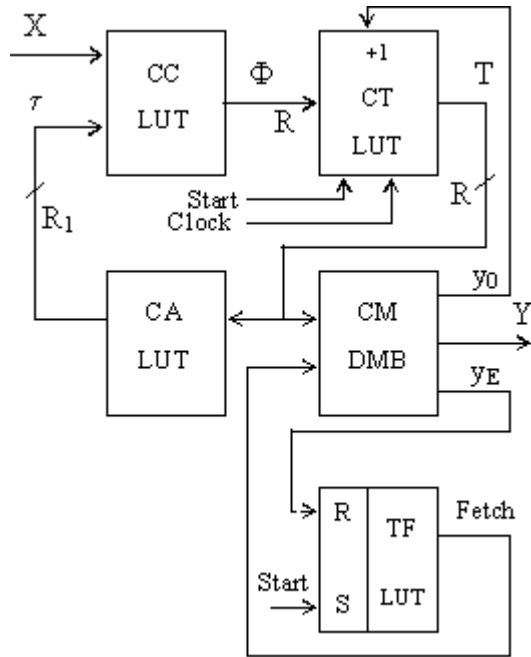


Рисунок 1 – Структурная схема КМУУ U_1

Здесь комбинационная схема адресации микрокоманд CC , схема преобразователя адреса микрокоманд CA и счетчик CT образуют автомат адресации микрокоманд; счетчик CT , управляющая память CM и триггер TF образуют микропрограммное устройство управления с естественной адресацией микрокоманд. На рис. 1 также показан элементный базис, используемый для реализации указанных схем.

Принцип действия КМУУ U_1 основан на кодировании классов псевдоэквивалентных ОЛЦ. Схема преобразователя адреса CA , формирует функции

$$\tau = \tau(T), \quad (2)$$

выполняя тем самым преобразование адресов выходов ОЛЦ $\alpha_g \in C$ в коды $K(B_i)$ классов псевдоэквивалентных ОЛЦ $B_i \in P_C$. Для кодирования классов $B_i \in P_C$ достаточно $R_1 = \lceil \log_2 I \rceil$ разрядов, где $I = |P_C|$. Схема CC формирует функции

$$\Phi = \Phi(\tau, X), \quad (3)$$

задающие адрес входа следующей ОЛЦ, разрядности $R = \lceil \log_2 M \rceil$.

В работе [8] предлагается следующий метод синтеза КМУУ U_1 :

1. Формирование множества ОЛЦ, адресация микрокоманд и формирование содержимого управляющей памяти.
2. Формирование разбиения множества ОЛЦ на классы псевдоэквивалентных ОЛЦ.
3. Кодирование классов псевдоэквивалентных ОЛЦ.
4. Формирование таблицы переходов КМУУ.
5. Формирование таблицы преобразователя адреса.
6. Формирование систем функций Φ и τ .

7. Синтез логической схемы КМУУ.

Использование КМУУ U_1 , основанного на кодировании классов псевдоэквивалентных ОЛЦ, позволяет увеличить быстродействие цифровой системы в рамках одного кристалла SoPC, благодаря уменьшению числа входов схемы CC , а соответственно и числа уровней LUT-элементов, формирующих адрес перехода по сравнению с КМУУ с общей памятью.

Основная идея метода

В настоящей работе предлагается при выполнении условия

$$R_2 < R, \quad (4)$$

где $R_2 = \lceil \log_2 G \rceil$, применить для КМУУ U_1 метод идентификации выходов при преобразовании адресов выходов ОЛЦ $\alpha_g \in C$ в коды $K(B_i)$ классов псевдоэквивалентных ОЛЦ $B_i \in P_C$. Так как система (2) существенно зависит только от переменных $T_r \in T' \subseteq T$, где $|T'| = R_2$, то число входных переменных системы (2) может быть уменьшено. Это позволяет представить систему (2) в виде

$$\tau = \tau(T'), \quad (5)$$

что приводит к уменьшению числа LUT-элементов в схеме преобразователя адреса CA . Такой подход порождает структуру КМУУ U_2 (рис. 2) с преобразователем адреса микрокоманд и идентификацией выходов.

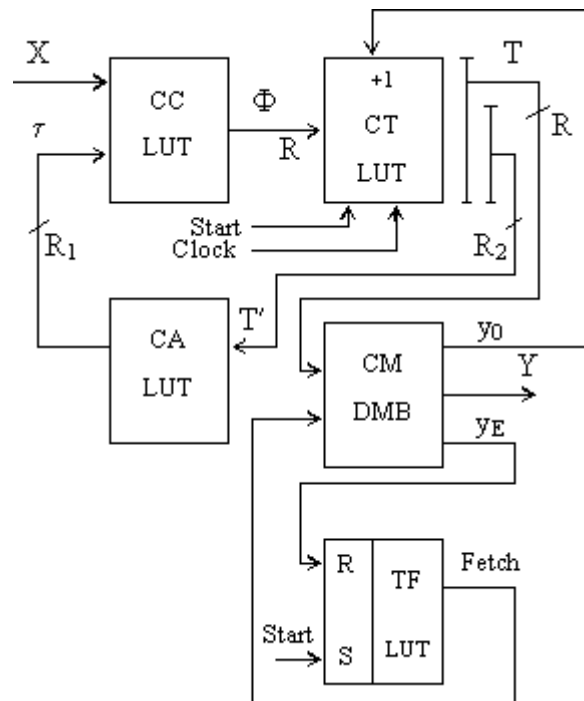


Рисунок 2 – Структурная схема КМУУ U_2

В настоящей работе предлагается метод синтеза КМУУ U_2 .

Метод синтеза КМУУ U_2

Рассмотрим метод синтеза КМУУ U_2 на примере ГСА Γ_1 (рис. 3), описывающей алгоритм управления некоторой цифровой системы.

1. Формирование множества ОЛЦ, адресация микрокоманд и формирование содержимого управляющей памяти. Используем методы [8] и получим для ГСА Γ_1 множество ОЛЦ $C = \{\alpha_1, \dots, \alpha_8\}$, где $\alpha_1 = \langle b_1, b_2 \rangle$, $I_1^1 = b_1, O_1 = b_2$; $\alpha_2 = \langle b_3, b_4 \rangle$, $I_2^1 = b_3, O_2 = b_4$; $\alpha_3 = \langle b_5 \rangle$, $I_3^1 = b_5, O_3 = b_5$; $\alpha_4 = \langle b_6, b_7 \rangle$, $I_4^1 = b_6, O_4 = b_7$; $\alpha_5 = \langle b_8, b_9 \rangle$, $I_5^1 = b_8, O_5 = b_9$; $\alpha_6 = \langle b_{10}, b_{11} \rangle$, $I_6^1 = b_{10}, O_6 = b_{11}$; $\alpha_7 = \langle b_{12}, b_{13} \rangle$, $I_7^1 = b_{12}, O_7 = b_{13}$; $\alpha_8 = \langle b_{14}, b_{15} \rangle$, $I_8^1 = b_{14}, O_8 = b_{15}$, $G = 8, M = 15, R = 4$. Здесь I_g^j означает j -й вход ($j \leq F_g$), а O_g – выход ОЛЦ $\alpha_g \in C$. Выполнив адресацию микрокоманд (1), получим $A(b_1) = 0000, A(b_2) = 0001, \dots, A(b_{15}) = 1110$.

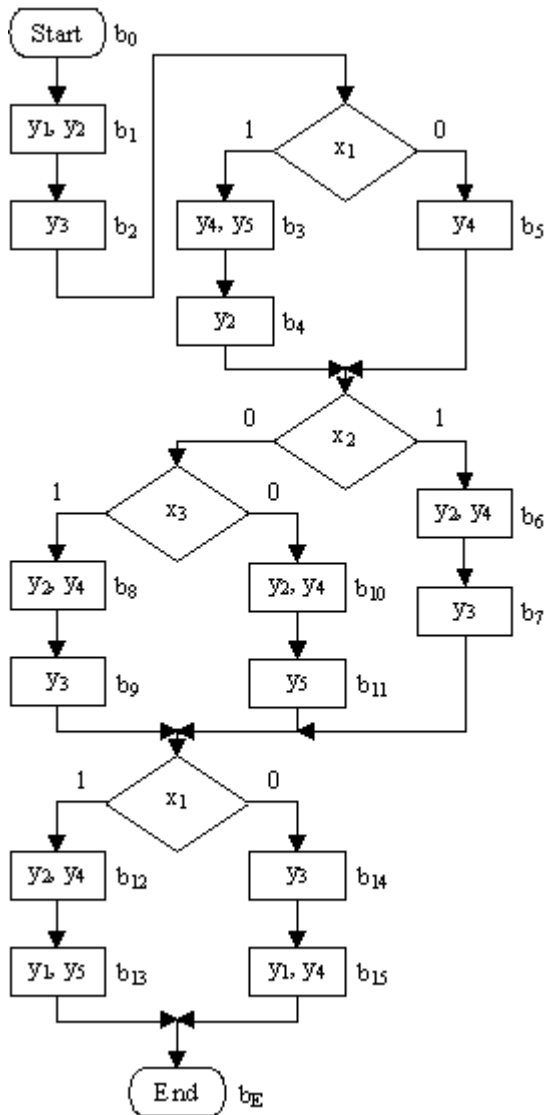


Рисунок 3 – Граф-схема алгоритма Γ_1

2. Формирование разбиения множества ОЛЦ на классы псевдоэквивалентных ОЛЦ. Для ГСА Γ_1 имеем $\Pi_C = \{B_1, \dots, B_4\}$, где $B_1 = \{\alpha_1\}$, $B_2 = \{\alpha_2, \alpha_3\}$, $B_3 = \{\alpha_4, \alpha_5, \alpha_6\}$, $B_4 = \{\alpha_7, \alpha_8\}$, $I=4$.

3. Кодирование классов псевдоэквивалентных ОЛЦ. Для КМУУ U_2 $K(B_1) = 00, K(B_2) = 01, K(B_3) = 10, K(B_4) = 11, R_1 = 2$, и для кодирования классов псевдоэквивалентных ОЛЦ достаточно $\tau = \{\tau_1, \tau_2\}$.

4. Формирование таблицы переходов КМУУ. Эта таблица является основой для формирования системы функций (3) и последующего синтеза схемы СС. Таблица переходов КМУУ U_2 содержит следующие столбцы: $B_i, K(B_i), I_q^j, A(I_q^j), X_h, \Phi_h, h$, где $B_i \in \Pi_C$; I_q^j – вход ОЛЦ $\alpha_q \in C$, в который имеется переход из выхода ОЛЦ $\alpha_g \in B_i$ под действием сигнала X_h ; $\Phi_h \subseteq \Phi$ – множество функций возбуждения счетчика СТ, принимающих единичное значение для записи в СТ адреса $A(I_q^j)$ входа I_q^j .

Для КМУУ U_2 (Γ_1) таблица переходов (табл. 1) составлена для классов $B_i \in \Pi_C$ таких, что выходы ОЛЦ $\alpha_g \in B_i$ не включают сигнал y_E .

Таблица 1. Таблица переходов КМУУ U_2 (Γ_1)

B_i	$K(B_i)$	I_q^j	$A(I_q^j)$	X_h	Φ_h	h
B_1	00	I_2^1	0010	x_1	D_3	1
		I_3^1	0100	$\overline{x_1}$	D_2	2
		I_4^1	0101	x_2	D_2, D_4	3
B_2	01	I_5^1	0111	$\overline{x_2 x_3}$	D_2, D_3, D_4	4
		I_6^1	1001	$\overline{x_2 x_3}$	D_1, D_4	5
		I_7^1	1011	x_1	D_1, D_3, D_4	6
B_3	10	I_8^1	1101	$\overline{x_1}$	D_1, D_2, D_4	7

5. Идентификация выходов и формирование таблицы преобразователя адреса. Анализ адресов дает следующие результаты: выход O_1 однозначно определяется набором 000, O_2 –001, O_3 –010, O_4 –011, O_5 –100, O_6 –101, O_7 –110, O_8 –111. Таким образом, для преобразования адреса достаточно использовать только три переменных $T' = \{T_1, T_2, T_3\}, R_2 = 3$.

Таблица преобразователя адреса (табл. 2) включает следующие столбцы: $O_g, K(O_g), B_i, K(B_i), \tau_g, g$. Здесь $K(O_g)$ – старшие R_2 разряда адреса выхода $\alpha_g \in B_i$, достаточные для его однозначной идентификации; $\tau_g \subseteq \tau$ – переменные, принимающие единичное значение в коде $K(B_i)$; g – номер строки ($g \leq G$).

Таблица 2. Таблица преобразователя адреса
КМУУ U_2 (Γ_1)

O_g	$K(O_g)$	B_i	$K(B_i)$	τ_g	g
O_1	000	B_1	00	–	1
O_2	001	B_2	01	τ_2	2
O_3	010	B_2	01	τ_2	3
O_4	011	B_3	10	τ_1	4
O_5	100	B_3	10	τ_1	5
O_6	101	B_3	10	τ_1	6

6. Формирование систем функций Φ и τ .

Система функций (3) формируется по таблице переходов КМУУ U_2 в виде

$$\varphi_r = \bigvee_{h=1}^H C_{rh} E_i^h X_h \quad (r = \overline{1, R_1}) \quad (6)$$

где C_{rh} – булева переменная, равная единице, если и только если в h -й строке таблицы записана переменная $\varphi_r = 1$; E_i^h – конъюнкция переменных $\tau_r \in \tau$, соответствующая коду $K(B_i)$ класса $B_i \in P_C$ из h -й строки таблицы переходов ($h = \overline{1, \dots, H}$). Система функций (5) формируется по таблице преобразователя адреса в виде

$$\tau_r = \bigvee_{g=1}^G C_{rg} A_g \quad (r = \overline{1, R_2}) \quad (7)$$

где C_{rg} – булева переменная, равная единице, если и только если в g -й строке таблицы записана переменная $\tau_r = 1$; g – номер строки ($g = \overline{1, \dots, G}$), A_g – конъюнкция переменных $T'_r \in T$, соответствующая коду адреса $K(O_g)$.

Использование выражения (6) для КМУУ $U_2(\Gamma_1)$ дает, например: $D_2 = \overline{\tau_1} \tau_2 x_2 x_3 \vee \tau_1 \tau_2$.

Использование выражения (7) приводит к системе (5) в виде:

$$\tau_1 = T_1 \vee T_2 T_3, \quad \tau_2 = \overline{T_1} T_2 T_3 \vee T_2 \overline{T_3}.$$

7. Синтез логической схемы КМУУ.

Синтез сводится к реализации систем (3) и (5) на LUT-элементах и реализации управляющей памяти на DMB. Вторая из этих задач является тривиальной, а первая достаточно полно рассмотрена в литературе [3,7].

Литература

1. Грушницкий Р.И. Проектирование систем на микросхемах программируемой логики / Р.И.Грушницкий, А.Х.Мурсаев, Е.П.Угрюмов. – Петербург: БХВ – 2002. – 636 с.
2. Maxfield C. the Design Warrior's Guide to FPGAs.- Elsevier: Amsterdam, 2004. – 541 pp.
3. Зотов Ю.В. Проектирование встраиваемых микропроцессорных систем на основе ПЛИС фирмы Xilinx / Ю.В. Зотов. – М.: Горячая линия – Телеком, 2006. – 520 с.
4. Кузьмин М.О.Современные семейства ПЛИС фирмы Xilinx / М.О.Кузьмин, Д.А.Кнышев, В.Ю.Зотов. – М.: Горячая линия – Телеком, 2004. – 440 с.
5. Баркалов А.А. Синтез устройств управления на программируемых логических устройствах / А.А.Баркалов.- Донецк:ДонНТУ, 2002.- 262 с.
6. Баркалов А.А. Принципы оптимизации логической схемы микропрограммного автомата Мура / А.А.Баркалов // Кибернетика и системный анализ. – 1998, №1. – С.65-72.
7. Synteza układów cyfrowych/ Praca zbiorowa pod redakcją prof. Tadeusza Łuby – Warszawa: WKŁ, 2003. – 228 pp.
8. Баркалов А.А. Реализация композиционного микропрограммного устройства управления на FPGA / А.А.Баркалов, Р.Вишневецкий, К.Н.Ефименко // Радиоелектроніка. Інформатика. Управління. - 2005. - №2. - С.127-131.
9. Ковалев С.А., Мальчева Р.В., Ефименко К.Н. Синтез композиционного устройства управления с идентификацией выходов / С.А.Ковалев, Р.В.Мальчева, К.Н.Ефименко // Наукові праці ДонНТУ. Серія: Інформатика, кібернетика і обчислювальна техніка. – 2007. – Вип. 8 (120) – С.133-140.
10. S. Baranov. Logic Synthesis for Control Automata, Kluwer Academic Publishers, 1994. – 301 pp.

Поступила в редакцію 02.03.2010

На рис. 4 показаны результаты моделирования метода синтеза КМУУ U_2 , основанного на работе [10]. Было проведено исследование влияния K (число вершин ГСА) на число LUT-элементов в схеме адресации микрокоманд КМУУ U_2 по отношению к КМУУ U_1 при различных комбинациях параметров ГСА.

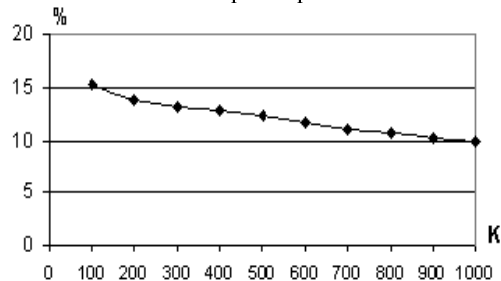


Рисунок 4 – Выигрыш от применения к схеме СА метода идентификации выходов

Заключение

Предлагаемый в работе подход позволяет уменьшить число LUT-элементов в схеме преобразователя адреса микрокоманд КМУУ за счет уменьшения числа переменных, используемых для кодирования классов псевдоэквивалентных ОЛЦ. Метод не связан с увеличением времени такта КМУУ, так как не вводятся новые структурные элементы. Более того, уменьшение числа аргументов системы функций, выполняющих преобразование адресов выходов ОЛЦ в коды классов псевдоэквивалентных ОЛЦ, приводит к уменьшению времени такта, если уменьшается число уровней комбинационной схемы. Экономия ресурсов от применения метода идентификации выходов растет по мере роста отношения R/R_2 . Исследования автора показали, что при $R_2 < R$ выигрыш в схеме КМУУ U_2 по сравнению с КМУУ U_1 может достигать 10-15%.