

СИНТЕЗ МПА МУРА СО СМЕШАНЫМ КОДИРОВАНИЕМ СОСТОЯНИЙ

Цололо С.А., Баркалов А.А.

Донецкий национальный технический университет

Одной из проблем проектирования микропрограммных автоматов (МПА) с использованием архитектуры FPGA является ограниченное число входов КЛБ, которое в большинстве случаев оказывается меньшим, чем число аргументов реализуемых БФ. Поэтому подобный синтез требует модификации известных или разработки новых методов [1,2]. В данной статье описывается метод синтеза МПА Мура на FPGA, основанный на использовании нестандартного способа кодирования состояний МПА.

БФ в FPGA реализуются на КЛБ, которые имеют t входов. В зависимости от модели FPGA $t = \overline{2,5}$, тогда как число аргументов БФ проектируемых систем на порядок выше. Поэтому число аргументов БФ по возможности должно находиться в указанных пределах.

При проектировании МПА БФ с наибольшим количеством входов в состав СФФВ (БФ для каждого из разрядов $\{D_0, \dots, D_R\}$). В качестве аргументов БФ для СФФВ используются элементы множества состояний МПА $A = \{a_1, \dots, a_m\}$ и множество логических условий $X = \{x_1, \dots, x_L\}$. В состав каждого КЛБ входит D-триггер, поэтому целесообразно выполнить кодирование состояний A таким образом, чтобы коды содержали как можно меньше единиц. Кроме того, необходимо по возможности упростить реализацию DC за счет неопределенностей.

Оптимальным с этой точки зрения минимизации количества единиц является способ унитарного кодирования, но при его использовании разрядность R будет равна количеству состояний M и будет слишком велика в сложных МПА. С другой стороны, оптимальным с точки зрения разрядности является способ максимального кодирования, но данный способ не удовлетворяет условию минимизации количества единиц. В связи с этим целесообразно сочетать два эти метода.

Пусть необходимо закодировать множество состояний МПА $A = \{a_1, \dots, a_m\}$ кодами с разрядностью R . Представим код состояния в виде двух частей (i и j) так, как это показано на рис. 1. Группу i (с 0 по k) разрядов кодируем с помощью максимального кодирования, группу j (с $k+1$ по R) разрядов – унитарным кодированием. Общий вид такого смешанного кодирования приведен в таблице 1. Применение данного способа кодирования позволяет закодировать не более $2^i \cdot j$ состояний, при этом в коде каждого состояния будет максимум $(i+1)$ единиц. Следует также отметить, что при данном способе смешанного кодирования возможно варьирование значений i и j , что позволяет получить оптимальное соотношение между количеством разрядов и количеством единиц в коде.

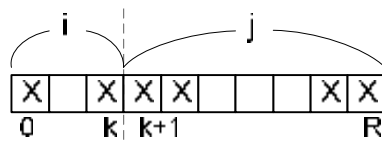


Рис. 1. Разделение разрядности R

Смешанное кодирование в общем виде

A	i-е разряды			j-е разряды			
	Q ₀	...	Q _k	Q _{k+1}	Q _{k+2}	...	Q _R
a ₀	0	...	0	0	0	...	1
a ₁	0	...	0	1	0	...	0
⋮	⋮		⋮				⋮
a _{M-1}	1	...	1	0	0	...	1
a _M	1	...	1	1	0	...	0

Кроме того, данный способ кодирования позволяет упростить реализацию дешифратора DC, формирующего состояния A. В этом случае для первых I разрядов строится максимальный дешифратор, каждый выход которого при умножении на соответствующий j-й разряд формирует один из кодов состояний множества A (рис. 2)

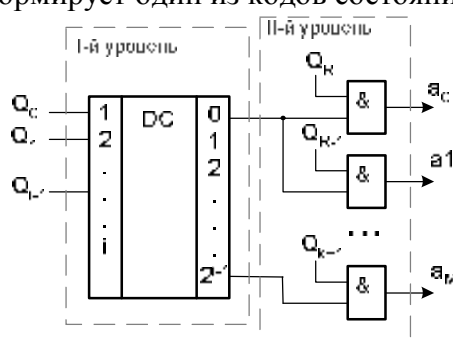


Рис. 2. Общий вид дешифратора состояний

Исследования авторов показали, что использование смешанного способа кодирования позволяет уменьшить аппаратные затраты на 18-24% и увеличить быстродействие на 20-26% при реализации схемы на FPGA по сравнению с максимальным кодированием.

Литература

- [1] Баркалов А. А. Синтез устройств управления на программируемых логических устройствах. – Донецк: ДонНТУ, 2002 – 262 с.
- [2] Баркалов А.А., Палагин А.В. Синтез микропрограммных устройств управления. - Киев: ИК НАН Украины, 1997 – 135с.