

ISSN 1817-9908

КОМП'ЮТЕРНІ ЗАСОБИ, МЕРЕЖІ ТА СИСТЕМИ

КОМП'ЮТЕРНІ ЗАСОБИ, МЕРЕЖІ ТА СИСТЕМИ

6 / 2007

УДК 681.3

Розглянуто результати досліджень у застосуванні онтологій в організаційних і знання-орієнтованих системах, нові технології побудови інформаційно-обчислювальних систем та інформаційних мереж, методи створення комп'ютерних засобів і систем.

Для науковців та інженерів, які працюють у галузі комп'ютерних засобів, систем та мереж.

Рассмотрены результаты исследований применения онтологий в организационных и знание-ориентированных системах, новые технологии построения информационно-вычислительных систем и информационных сетей, методы создания компьютерных средств и систем.

Для научных работников и инженеров, работающих в области компьютерных средств, систем и сетей.

РЕДАКЦІЙНА КОЛЕГІЯ

Відповідальний редактор
О.В. ПАЛАГІН

Заступники відповідального
редактора
В.О. РОМАНОВ
В.П. БОЮН

Відповідальний секретар
Л.В. ТЕСЛЕНКО

Т.К. ВІНЦЮК

І.Д. ВОЙТОВИЧ

А.О. МОРОЗОВ

С.Д. ПОГОРІЛИЙ

Ю.С. ЯКОВЛЕВ

Затверджено до друку вченою радою Інституту кібернетики
ім. В.М. Глушкова НАН України

Свідоцтво про державну реєстрацію KB № 6541 від 19.09.2002

Збірник "Комп'ютерні засоби, мережі та системи" внесено до переліку
фахових видань ВАК України

Адреса редколегії:

03680, МСП, Київ 187, проспект Академіка Глушкова, 40
Інститут кібернетики ім. В.М. Глушкова НАН України

www.icyb.kiev.ua

aik @ public.icyb.kiev.ua

НАЦІОНАЛЬНА АКАДЕМІЯ НАУК УКРАЇНИ
ІНСТИТУТ КІБЕРНЕТИКИ ІМЕНІ В.М. ГЛУШКОВА

КОМП'ЮТЕРНІ ЗАСОБИ, МЕРЕЖІ ТА СИСТЕМИ

ЗБІРНИК НАУКОВИХ ПРАЦЬ • ЗАСНОВАНИЙ У ВЕРЕСНІ 2002 р. • ВИХОДИТЬ ОДИН РАЗ НА РІК • КИЇВ 2007

ЗМІСТ

БРЮХОВИЧ Е.И. Теорема Гёделя в расширении познавательного ресурса науки и Computer Science	3
ПАЛАГИН А.В., ПЕТРЕНКО Н.Г., СЕВРУК А.О. Об одном подходе к формализованному представлению онтологии текстового документа	14
ЯКОВЛЕВ Ю.С. О построении онтологии предметной области «реконфигурируемые PIM-системы»	21
ПЛЕСКАЧ В.Л., РОГУШИНА Ю.В. Элементы онтологического анализа у цифровой экономике	29
ХОДАКОВСКИЙ Н.И. Исследование принципов использования информационных нанотехнологий при создании онтолого-управляемых обучающих систем	38
БАРКАЛОВ А.А., МАТВИЕНКО А.В., ЦОЛОЛО С.А. Оптимизация логической схемы автомата Мура на CPLD	46
РОМАНОВ В.О., ГАЛЕЛЮКА І.Б. Тестування та оцінювання параметрів швидкодіючих АЦП	52
БРАЙКО Ю.А., ИМАМУТДИНОВА Р.Г. Проектирование интеллектуальных приборов для систем экологического и промышленного мониторинга	61
ПИСАРЕНКО В.Г., ВАРАВА І.А. Информационные модели теплофизических процессов при измерениях временной динамики температуры кристаллизующегося расплава металла	67

ЗАКОРЧЕНИЙ О.В., МІНОВ Ю.Д., БУДНИК М.М. Вибір оптимальної конструкції вхідної антени СКВІД-магнітометра для вимірювань у неекранованому приміщенні	75
ЛУКАШ С.И., ВОЙТОВИЧ И.Д., АЛЕРС Х. Особенности работы матричных полупроводниковых сенсоров в системе „электронный нос”. Ч. 1.....	80
ЗИНЧЕНКО В.П., ЗИНЧЕНКО С.В., ГОРИН Ф.Н., ЧУМАКОВ В.Г. Средства реализации информационных технологий аэродинамических испытаний	89
ШЕВЧУК Б.М., ПОТАПЕНКО А.Ф., ЧУМАКОВА Н.Ф. Ефективні методи фільтрації-стиску сигналів і зображень у задачах визначення інформаційних станів об'єктів тривалого моніторингу	96
КУРЗАНЦЕВА Л.И. О построении интеллектуального интерфейса компьютерной системы со свойствами адаптации	104
ГРОМОВСКИЙ А.В. Алгоритм маршрутизации EXZRP в интегрированных сетях нового поколения	111
ОКСЮК О.А. Составление оптимального расписания передачи пакетов потокового видео в сети с потерями данных	119
МАРЧЕНКО В.А. Формализованная технология проектирования системы защиты информации	126
КУК Ю.В., ЛАВРИКОВА Е.И. Спектральный метод распознавания состояний динамических систем	133
КАЛЕНЧУК-ПОРХАНОВА А.О., ВАКАЛ Л.П. Побудова найкращих рівномірних наближень функцій багатьох змінних	141
ИВАНЕШКИН А.И. Модификация матрицы расстояний метода ветвей и границ в решении вопроса оптимизации структуры очереди заявок	149
БОЮН В.П., САБЕЛЬНИКОВ Ю.А. Порівняння двомірних зображень об'єктів за формою їх контурів	155

КОМП'ЮТЕРНІ ЗАСОБИ, МЕРЕЖІ ТА СИСТЕМИ

A.A. Barkalov, A.V. Matvienko,
S.A. Tsololo

OPTIMIZATION OF LOGIC CIRCUIT OF MOORE FSM ON CPLD

Method of decrease of number of PAL macrocells in the circuit of Moore FSM is proposed. Method is based on usage of free outputs of embedded memory blocks to represent the codes of the classes of the pseudoequivalent states. Proposed approach permits to decrease the hardware amount without decrease of digital system performance.

Предлагается метод уменьшения числа макроячеек PAL в логической схеме микропрограммного автомата Мура. Метод основан на использовании свободных выходов встроенных блоков памяти для представления кодов классов псевдоэквивалентных состояний. Предлагаемый подход позволяет уменьшить аппаратные затраты без уменьшения производительности цифровой системы.

© А.А. Баркалов, А.В. Матвиенко,
С.А. Цололо, 2007

УДК 681.324

А.А. БАРКАЛОВ, А.В. МАТВИЕНКО, С.А. ЦОЛОЛО

ОПТИМИЗАЦИЯ ЛОГИЧЕСКОЙ СХЕМЫ АВТОМАТА МУРА НА CPLD

Устройство управления (УУ) является важной частью любой цифровой системы, координирующим взаимодействие всех блоков системы [1, 2]. Для представления УУ на практике часто используется модель микропрограммного автомата (МПА) Мура [3, 4]. В настоящее время успехи в развитии микроэлектроники позволяют реализовать достаточно сложную цифровую систему, используя единственную микросхему типа «система-на-кристалле» (SoC, system-on-a-chip) [5, 6]. При этом системы булевых функций могут быть реализованы, используя макроячейки PAL (programmable array logic) микросхемы SoC, если последняя использует технологию CPLD (complex programmable logic devices) [7]. В то же время табличные функции могут быть реализованы с использованием встроенных блоков памяти EMB (embedded memory blocks) микросхемы SoC [3]. Одной из актуальных проблем в области проектирования УУ в этом базисе является минимизация аппаратных затрат [4]. Решение данной проблемы позволяет уменьшить площадь кристалла, занимаемую схемой УУ, и тем самым дает возможность увеличения числа функций системы в рамках одного кристалла. Для решения этой задачи необходимо учитывать как особенности элементного базиса, так и особенности модели УУ [3]. Особенности PAL являются большой коэффициент объединения по входу (достигающий сотен) и крайне ограниченное число термов в макроячейке [8, 6]. Особенности МПА Мура являются наличие псевдоэквивалентных состояний и регулярный характер системы микроопераций, что позволяет реализовать схему формирования микроопераций на блоках EMB микросхемы SoC [9, 10].

В настоящей работе предлагается метод оптимизации числа макроячеек PAL в логической схеме МПА Мура, основанный на учете вышеотмеченных особенностей.

Пусть алгоритм управления цифровой системы представлен в виде граф-схемы алгоритма (ГСА) [4] $\Gamma = \Gamma(B, E)$, где $B = \{b_0, b_E\} \cup E_1 \cup E_2$ – множество вершин; E – множество дуг. Здесь b_0 – начальная вершина; b_E – конечная вершина; E_1 – множество операторных вершин; E_2 – множество условных вершин. Вершина $b_q \in E_1$ содержит набор микроопераций $Y(b_q) \subseteq Y$, где $Y = \{y_1, \dots, y_N\}$ – множество микроопераций операционного автомата цифровой системы [6]. Вершина $b_q \in E_2$ содержит логическое условие $x_c \in X$, где $X = \{x_1, \dots, x_L\}$ – множество логических условий [1]. Начальная и конечная вершины ГСА соответствуют начальному состоянию $a_1 \in A$, где $A = \{a_1, \dots, a_M\}$ – множество внутренних состояний МПА Мура. Каждая операторная вершина $b_q \in E_1$ соответствует уникальному состоянию $a_m \in A$, при этом $Y(b_q) = Y(a_m)$. Логическая схема МПА Мура U_1 задается системой булевских функций:

$$\Phi = \Phi(T, X), \quad (1)$$

$$Y = Y(T), \quad (2)$$

где $T = \{T_1, \dots, T_R\}$ – множество внутренних переменных, кодирующих состояния $a_m \in A$, $R = \lceil \log_2 M \rceil$; $\Phi = \{D_1, \dots, D_R\}$ – множество функций возбуждения триггеров регистра памяти МПА.

Структурная схема МПА Мура U_1 показана на рис. 1.

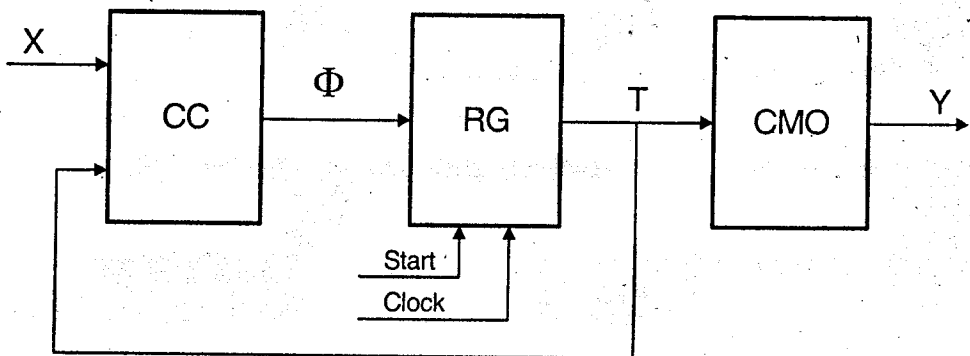


РИС. 1. Структурная схема микропрограммного автомата Мура U_1

В этой структуре комбинационная схема СС формирует функции (1), которые представляют собой функции возбуждения D триггеров регистра RG. Схема формирования микроопераций СМО реализует систему (2). Одиночный импульс Start используется для загрузки кода исходного состояния МПА в регистр RG, синхроимпульс Clock используется для изменения содержимого RG из кода $K(a_m)$ текущего состояния $a_m \in A$ в код $K(a_s)$ состояния перехода $a_s \in A$. В случае микросхемы SoC, ориентированной на технологию CPLD, схема СС реализуется на макроячейках PAL, а схема СМО реализуется на встроенных блоках памяти EMB [6].

Основой для формирования систем (1), (2) является прямая структурная таблица (ПСТ) автомата Мура со столбцами: a_m – текущее состояние МПА; $K(a_m)$ – код текущего состояния, имеющий R разрядов; a_s – состояние перехода, $K(a_s)$ – код состояния перехода; X_h – конъюнкция некоторых элементов множества X (или их отрицаний), вызывающая переход $\langle a_m, a_s \rangle$; $\Phi_h \subseteq \Phi$ – набор функций возбуждения, принимающих единичное значение для переключения регистра RG из $K(a_m)$ в $K(a_s)$; h – номер перехода ($h = 1, \dots, H_1(\Gamma)$). Кроме того, столбец a_m содержит набор микроопераций $Y(a_m) \subseteq Y$, формируемых в этом состоянии.

Как правило, число переходов $H_1(\Gamma)$ превышает число переходов $H_2(\Gamma)$ эквивалентного МПА Мили [9]. Это приводит к росту числа макроячеек PAL (аппаратурных затрат), а иногда – и к росту числа уровней в схеме СС автомата Мура по сравнению с этими характеристиками эквивалентного автомата Мили [4]. Величина $H_1(\Gamma)$ может быть уменьшена за счет учета наличия псевдоэквивалентных состояний (ПЭС) автомата Мура [1]. Состояния $a_m, a_s \in A$ называются ПЭС, если выходы отмеченных ими вершин ГСА связаны с входом одной и той же вершины ГСА Γ . Пусть $\Pi_A = \{B_1, \dots, B_I\}$ – разбиение множества состояний A на классы ПЭС ($I \leq M$). Закодируем каждый класс $B_i \in \Pi_A$ двоичным кодом $K(B_i)$, имеющим $R_i = \lceil \log_2 I \rceil$ разрядов. Используем для такого кодирования переменные $\tau_i \in \tau$, причем $|\tau| = R_i$.

В этом случае в схему МПА U_1 может быть введен специальный преобразователь кодов ТС, который формирует коды классов $K(B_i)$ на основе кодов состояний $K(a_m)$, где $a_m \in B_i$. В этом случае схема СС формирует функции

$$\Phi = \Phi(\tau, X), \quad (3)$$

а схема ТС формирует функции

$$\tau = \tau(T). \quad (4)$$

В силу регулярного характера системы (4) схема ТС реализуется с использованием блоков EMB, входящих в SoC [3].

В работе [9] доказано, что система (3) имеет $H_2(\Gamma)$ термов. Однако такой подход имеет один недостаток: для реализации схемы преобразователя кодов необходимы дополнительные блоки памяти EMB.

В настоящей работе предлагается метод синтеза МПА Мура, позволяющий минимизировать аппаратные затраты в схеме СС без введения преобразователя кодов. Предлагаемый метод основывается на следующих особенностях базиса CPLD [6 – 8]:

- коэффициент объединения по входу макроячейки PAL значительно превышает максимально возможное число литералов в термах системы (1), определяемый как $L + R$;

- число выходов блока EMB может быть фиксировано и выбрано из множества $\{1, 2, 4, 8\}$.

Пусть t_F – фиксированное число выходов блока EMB и пусть q – число слов блока при $t_F = 1$. Величина t_F для МПА U_1 определяется следующим образом:

$$t_F = \lceil q / M \rceil.$$

Общее число выходов t_S всех блоков EMB схемы СМО определяется следующим образом:

$$t_S = \lceil N / t_F \rceil * t_F.$$

В этом случае

$$\Delta_i = t_S - N \tag{5}$$

выходов не используются для представления микроопераций $y_n \in Y$.

Представим множество Π_A как $\Pi_A = \Pi_B \cup \Pi_C$, где $B_i \in \Pi_B$, если выполняется условие

$$|B_i| > 1,$$

в противном случае $B_i \in \Pi_C$. Очевидно, что блок ТС должен формировать только коды классов $B_i \in \Pi_B$. Закодируем каждый класс $B_i \in \Pi_B$ двоичным кодом $K(B_i)$, имеющим

$$R_2 = \lceil \log_2(M_1 + 1) \rceil \tag{6}$$

разрядов, где $M_1 = |\Pi_B|$ и единица в формуле (6) добавляется для учета ситуации, когда $B_i \notin \Pi_B$. Используем для такого кодирования переменные $z_r \in Z$, где $|Z| = R_2$. Рассмотрим случай выполнения условия

$$\Delta_i \geq R_2. \tag{7}$$

При этом для интерпретации ГСА Γ предлагается МПА Мура U_2 (рис. 2).

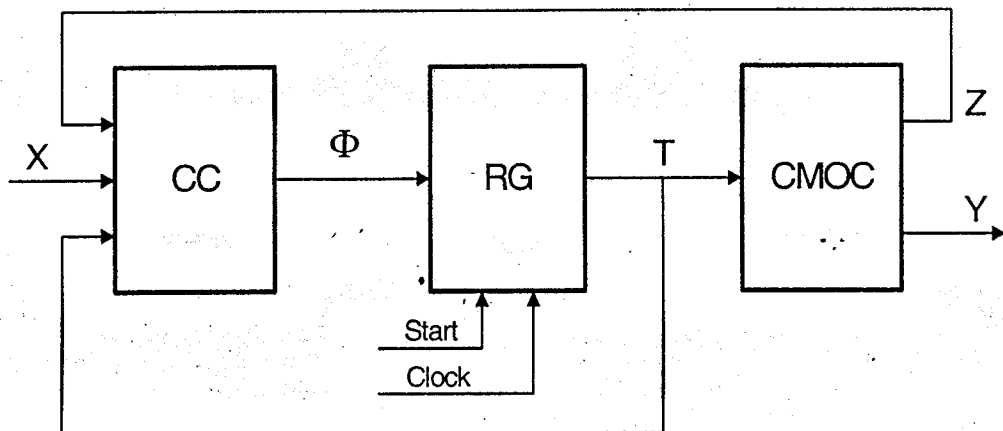


РИС. 2. Структурная схема автомата Мура U_2

В этой структуре схема CC формирует функции

$$\Phi = \Phi(T, Z, X), \quad (8)$$

а схема CMOS формирует функции (2) и функции

$$Z = Z(T).$$

Переменные $T_r \in T$ представляют коды состояний $K(a_m)$, где $a_m \in B_i$ и $B_i \in \Pi_C$. Такой подход позволяет уменьшить число термов в системе функций Φ до $H_2(\Gamma)$, причем число блоков ЭМВ в схемах СМО и CMOS совпадает. Как можно видеть, схема МПА U_2 не включает блок ТС. Число входов в макроячейках PAL автомата U_2 увеличивается до $L + R + R_2$, но это не приводит к увеличению аппаратных затрат в схеме СС по сравнению с МПА Мура с блоком ТС. В худшем случае времена циклов для автоматов U_1 и U_2 совпадают. В лучшем случае схема СС автомата U_2 имеет меньше уровней, чем схема СС автомата U_1 , при этом время цикла МПА U_2 будет меньше времени цикла МПА U_1 . Следовательно, предлагаемый подход позволяет уменьшить аппаратные затраты без уменьшения производительности цифровой системы.

Метод проектирования логической схемы МПА U_2 отличается от метода проектирования схемы МПА U_1 [4] только в некоторых деталях. Эти отличия связаны с необходимостью определения параметров (5) – (7) и формирования модифицированной ПСТ для формирования системы функций (8).

Предложенный в настоящей работе метод позволяет уменьшить число макроячеек PAL в схеме формирования функций возбуждения триггеров регистра памяти МПА Мура. Исследования авторов показали, что это уменьшение пропорционально значению коэффициента

$$\eta = H_1(\Gamma) / H_2(\Gamma).$$

Необходимо отметить, что величина параметра $H_2(\Gamma)$ равняется числу переходов эквивалентного автомата Мили. При этом автоматы являются эквивалентными в том смысле, что они интерпретируют одну и ту же ГСА. Применение предложенного метода имеет смысл только при выполнении условия (7). Это условие справедливо, если блоки схемы CMOS имеют достаточное число свободных выходов для представления кодов классов псевдоэквивалентных состояний. Наши исследования показали, что в рассматриваемых примерах аппаратные затраты в схеме МПА $H_2(\Gamma)$ были на 26–28 % меньше, чем в схеме МПА $U_1(\Gamma)$.

1. *Adamski M., Barkalov A.* Architectural and Sequential Synthesis of Digital Devices. – Zielona Gora: University of Zielona Gora Press, 2006. – 199 p.
2. *De Micheli G.* Synthesis and Optimization of Digital Circuits. – New York: McGraw Hill, 1994. – 578 p.
3. *Barkalov A., Wegrzyn W.* Design of Control Units with Programmable Logic. – Zielona Gora: University of Zielona Gora Press, 2006. – 150 p.
4. *Baranov S.* Logic Synthesis for Control Automata. – Boston: Kluwer Academic Publishers, 1994. – 312 p.
5. *Maxfield C.* The Design Warrior's Guide to FPGA. – New Jersey: Elsevier, 2004. – 542 p.
6. *Соловьев В.В.* Проектирование цифровых схем на основе программируемых логических интегральных схем. – М.: Горячая линия-ТЕЛЕКОМ, 2001. – 636 с.
7. *Грушницкий Р.И., Мурсаев А.Х., Угрюмов Е.П.* Проектирование систем на микросхемах программируемой логики. – Петербург: БХВ, 2002. – 636 с.
8. *Kania D.* Synteza logiczna przeznaczona dla matrycowych struktur programowalnych typu PAL. – Gliwice: Zeszyty naukowe Politechniki Śląskiej, 2004. – 240 p.
9. *Баркалов А.А.* Принципы оптимизации логической схемы микропрограммного автомата Мура // Кибернетика и системный анализ. – 1998. – № 1. – С. 65–72.
10. *Баркалов А.А.* Синтез устройств управления на программируемых логических устройствах. – Донецк: ДНТУ, 2002. – 262 с.

Получено 10.05.2007

Наукове видання

Комп'ютерні засоби, мережі та системи

Збірник наукових праць
Російською та українською мовами

Редактори: В.П. Замула
Г.Ф. Трохимець

Комп'ютерна верстка: Л.В. Тесленко

Підп. до друку 11.09.2007. Формат 70×100/16. Папір офс. Офс. друк.
Ум.-друк. арк. 13,17. Ум. фарбо-відб. 14,22. Обл.-вид. арк. 10,00.
Зам. 146. Тираж 100 прим.

Редакційно-видавничий відділ з поліграфічною дільницею
Інституту кібернетики імені В.М. Глушкова НАН України
03680 МСП, Київ 187, проспект Академіка Глушкова,40