

УДК 681.3

Д.Д. Моргайлов, Ю.В. Ладыженский, Моатаз Юнис
Донецкий национальный технический университет, г. Донецк
кафедра прикладной математики и информатики
e-mail: kolleganin@yandex.ru, ly@cs.dgtu.donetsk.ua

ОЦЕНКА ЭФФЕКТИВНОСТИ АРХИТЕКТУР СЕТЕВЫХ ПРОЦЕССОРОВ

Моргайлов Д.Д., Ладыженский Ю.В., Моатаз Юнис. Оценка эффективности архитектур сетевых процессоров. Описано назначение и приведена обобщенная структура сетевых процессоров. Рассмотрена и программно реализована марковская модель для оценки эффективности гетерогенных архитектур многоядерных сетевых процессоров. Исследованы зависимости показателей эффективности архитектуры от интенсивности входного потока пакетов и других параметров.

Ключевые слова: сетевой процессор, эффективность, производительность, цепи Маркова

Постановка проблемы. Сетевые процессоры (СП) в настоящее время активно используются на различных уровнях стека протоколов. Однако их главным назначением является маршрутизация высокоскоростных потоков пакетов в ядре Интернет. В условиях повышения требований к пропускной способности компьютерных сетей необходимо, чтобы обработка потоков осуществлялась со скоростью канала, к которому подключен маршрутизатор.

Кроме того, сетевые процессоры, как и процессоры общего назначения, предоставляют широкие возможности по программированию. Программируемость архитектуры, возможности параллельной и конвейерной обработки позволяют расширить области применения многоядерных СП.

Производительность сетевых процессоров полностью зависит от эффективного выбора параметров архитектуры, разработки быстрых адаптируемых алгоритмов анализа пакетов, оптимального использования аппаратных ресурсов системы. Это делает актуальной задачу разработки комплекса аналитических и имитационных моделей для исследования характеристик архитектур сетевых процессоров, а также обработки и анализа полученных оценок.

Анализ литературы. Использование моделирования позволяет изучить свойства предполагаемой архитектуры, получить оценки производительности сетевого процессора и на основании анализа экспериментальных данных выбрать оптимальные архитектурные и программные решения. В работе [1] описываются тенденции развития и функциональные возможности сетевых процессоров, приведена их обобщенная архитектура.

Задачи, критерии и проблемы проектирования СП рассмотрены в [2-4]. Выделяется несколько направлений в моделировании СП. Методики и подходы к моделированию многоядерных сетевых процессоров, а также модели архитектур предложены в [5-8]. К настоящему времени не существует единой методологии проектирования СП.

Цель статьи – оценка эффективности гетерогенной архитектуры сетевых процессоров с использованием аналитической модели.

Структура сетевых процессоров. Типичный сетевой процессор состоит из множества программируемых пакетных процессоров (ядер обработки данных) с высоко параллельной архитектурой, программируемого процессора общего назначения (центрального процессора), аппаратных сопроцессоров (ускорителей) для обычных сетевых операций, высокоскоростных интерфейсов памяти и высокоскоростных сетевых интерфейсов [1] (рис. 1).

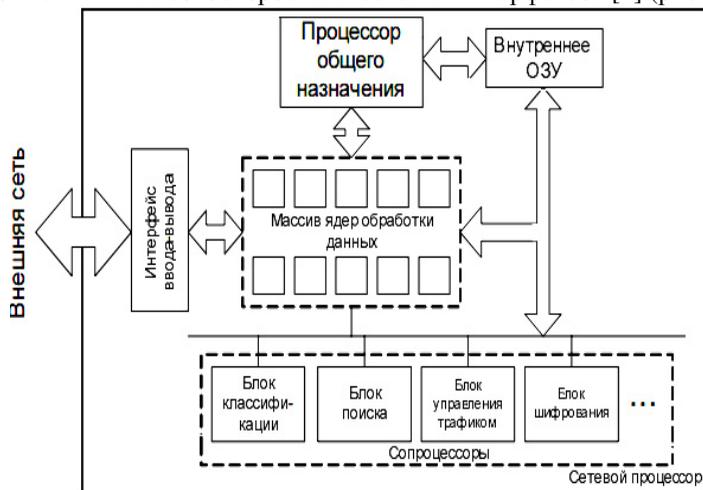


Рис. 1 – Обобщенная архитектура сетевого процессора

Центральный процессор предназначен для выполнения инструкций управления: обработка ошибок, сбор статистики, обновление маршрутных таблиц. Пакетные процессоры имеют ограниченный набор команд и используются для быстрой параллельной и конвейерной реализации алгоритмов пересылки, фильтрации, работы с заголовками, преобразования протоколов и контроля безопасности. Сопроцессоры предоставляют специфические функции для выполнения общих задач, поэтому их аппаратная реализация ускоряет обработку данных. Количество и функциональные возможности сопроцессоров зависят от области использования конкретной модели сетевого процессора.

Существует несколько возможных схем распределения потоков по процессорным элементам. Однако наиболее эффективным является гетерогенное распределение, при котором трафик поступает на процессоры равномерно. Потоки процессора при этом принадлежат к разным типам и, предположительно, принимают равную нагрузку при обработке пакетов.

Преимуществами традиционных многопоточных-многопроцессорных архитектур сетевых процессоров являются значительное увеличение вычислительной мощности путем соединения нескольких процессорных элементов, разделение ограниченного ресурса памяти с другими элементами и формирование распределенной общей памяти, снижение накладных расходов на доступ к памяти за счет многопоточности [8].

Подсистема памяти, как правило, является узким местом системы ввиду длительных задержек доступа к ней. Однако современный уровень информационных технологий делает возможным расположить несколько процессоров и блоков памяти на одном чипе, что значительно снижает эту задержку.

Реализация марковской модели мультипроцессорного СП. Модель системы СП состоит из I процессоров, каждый из которых имеет J потоков [8]. Когда пакет поступает в свободный поток, данный поток помещается в очередь готовых к выполнению потоков процессора или переходит в активное состояние, если в текущий момент на процессоре нет активного потока. Поток может запрашивать доступ к памяти, например, для работы с дескриптором пакета или маршрутной таблицей. После обслуживания в памяти поток помещается в очередь готовых к выполнению либо вновь поступает на процессор, если данная очередь пуста. Обычно поток снова становится свободным после того, как пакет будет обслужен и передан следующему потоку. Однако если следующий поток занят обслуживанием пакета, текущий поток переходит в состояние «завершен».

Пространство состояний модели есть:

$$S = (S_{00}, \dots, S_{0j}, \dots, S_{ij}), \quad 0 \leq i < I, 0 \leq j < J, \quad (1)$$

где $S_{ij} \in \{\text{свободен (0), активен (1), запрос-к-памяти (2), готов (3),}$

$\text{завершен(4)}\}$ представляет собой состояние T_{ij} j -го потока i -го процессора.

Строится непрерывная марковская модель для расчета вероятностей состояний и характеристик производительности СП. Моделирование выполняется только для множества достижимых состояний, что существенно сокращает затраты памяти и время моделирования.

Пример системы на двух процессорах показан на рис. 2.

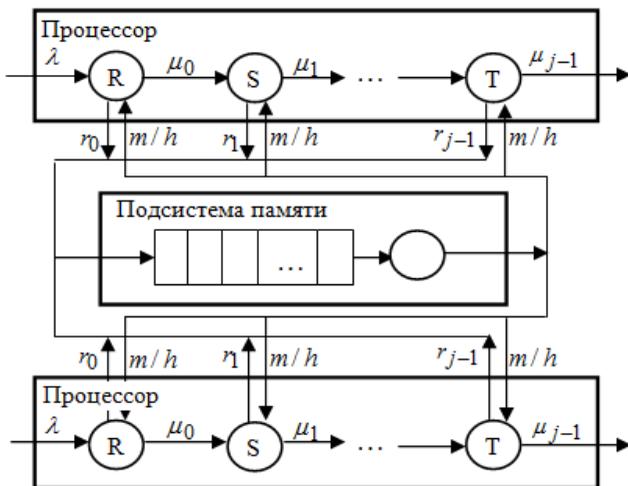


Рис. 2 – Схема моделируемой системы на двух процессорах

Здесь λ – интенсивность поступления пакетов на процессор, μ_j – интенсивность обслуживания j -го потока, r_j – интенсивность обращения к памяти для j -го потока, m – интенсивность обслуживания запросов подсистемой памяти, h – длина очереди запросов к памяти; R, S, T – выполняемые над пакетом операции. Интенсивности с одинаковым индексом потока на всех процессорах характеризуется равными значениями в связи с гомогенным характером данных потоков. В качестве механизма обслуживания очередей запросов к памяти и готовых к выполнению потоков была выбрана дисциплина RSS (Random Selection for Service). Это позволило значительно сузить пространство состояний, не снижая при этом корректность аналитических результатов. Изменение состояния системы происходит, когда свое состояние изменяют один или более потоков. Такой переход осуществляется при возникновении активизирующего события на одном из потоков каждого процессора. Остальные потоки под действием активизирующего события выполняют подчиненный переход.

Переход считается действительным, если на процессоре возникает только одно активизирующее событие, которое включает в себя активизирующий переход и возможно несколько связанных с ним подчиненных переходов. Например, активизирующими являются переходы, связанные с поступлением на обслуживание нового пакета: *свободен* → *активени свободен* → *готов*.

После расчета вероятностей состояний вычисляются показатели эффективности: среднее число работающих процессоров, коэффициенты использования процессора и памяти, среднее число обращений к памяти, среднее число готовых к выполнению потоков на процессоре.

Анализ эффективности гетерогенной архитектуры сетевых процессоров. Пусть моделируемая архитектура задается следующими параметрами: $I = 1, J = 2, \mu_0 = \mu_1 = 2,16$ pkt/c, $r_0 = r_1 = 3,4$ обр/с. На рис. 3 и рис. 4 приведены зависимости характеристик загрузки памяти и процессоров от интенсивности потока пакетов и производительности памяти СП для указанных значений исходных данных.

Качество роста исследуемых оценок определяется величиной интенсивности обслуживания заявок подсистемой памяти. При малых ее значениях показатели эффективности быстрее достигают устойчивости, которая на практике выражается в наличии существенной доли отказов в обслуживании. В то же время увеличение производительности памяти приводит к снижению коэффициента ее использования и возрастанию загрузки процессора. Как следствие, пропускная способность системы увеличивается.

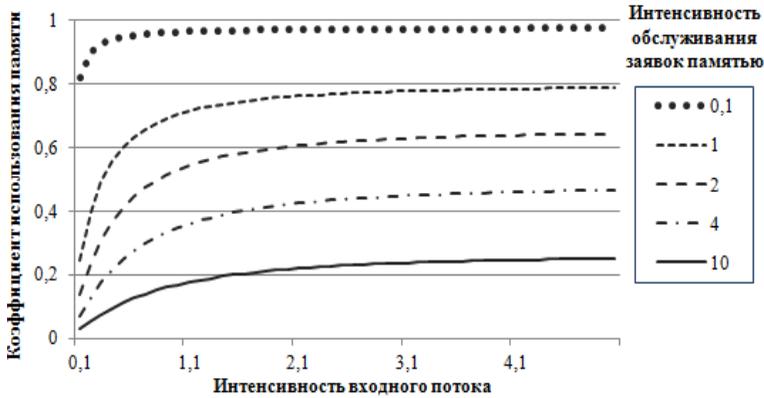


Рис. 3 – Изменение коэффициента использования памяти

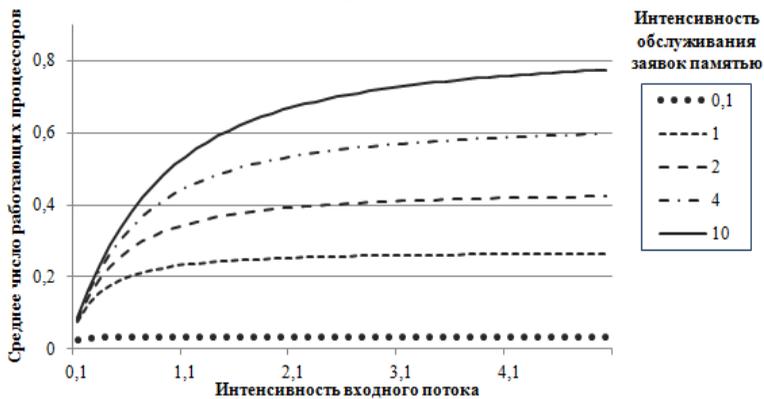


Рис. 4 – Изменение среднего числа работающих процессоров

Таким образом, полученные графики подтверждают тезис о том, что подсистема памяти является «узким местом» рассматриваемой архитектуры.

Выводы. Описано назначение и приведена обобщенная структура сетевых процессоров. Рассмотрена и программно реализована марковская модель для оценки эффективности гетерогенных архитектур многоядерных сетевых процессоров. Исследованы зависимости показателей эффективности архитектуры от интенсивности входного потока пакетов и других параметров.

Результаты проведенных экспериментов показывают, что эффективность сетевого процессора в значительной мере зависит от производительности подсистемы памяти. Ограничение ресурсов памяти может привести к снижению коэффициента загрузки процессоров и проявляться в появлении отказов системы при сравнительно небольших интенсивностях входного потока.

Список литературы

1. В.И. Грищенко, Ю.В. Ладыженский, Моатаз Юнис. Основные направления развития современных сетевых процессоров // Наукові праці Донецького національного технічного університету, серія «Інформатика, кібернетика та обчислювальна техніка», вип. 14 (188), Донецьк, ДонНТУ, 2011. – С.123-127.

2. Кучерявый Е.А. Управление трафиком и качество обслуживания в сети Интернет. – СПб.: Наука и Техника, 2004. – 336с.

3. Юнис М., Ладыженский Ю.В. Архитектуры и тенденции развития сетевых процессоров.// Информационные управляющие системы и технологии и компьютерный мониторинг – 2011 / Материалы II всеукраинской научно-технической конференции. – 12 апреля 2011.– Донецк, ДонНТУ.— 2011.– С. 259-262.

4. Орлов С.А., Цилькер Б.Я. Организация ЭВМ и систем. 2-е изд. – СПб.: Питер, 2011. – 688с.

5. В.И. Грищенко, Ю.В. Ладыженский, Моатаз Юнис. Влияние выделенного кэша команд на производительность сетевого процессора // Наукові праці Донецького національного технічного університету, серія «Інформатика, кібернетика та обчислювальна техніка», вип. 13 (185), Донецьк, ДонНТУ, 2011. – С. 85-91.

6. В.И. Грищенко, Ю.В. Ладыженский. Моделирование маршрутизаторов на многоядерных сетевых процессорах // Наукові праці Донецького національного технічного університету, серія «Інформатика, кібернетика та обчислювальна техніка», вип. 12(165), Донецьк, ДонНТУ, 2010. – С.169-176.

7. Fakhraldeen H. Ali, Omar F. Ahmed, «Modeling and Analysis of IXP425 Network Processor», Al-Rafadain Engineering Journal, vol. 20, issue 2, pp. 116-130, April 2012.

8. Yi-Neng Lin, Ying-Dar Lin, and Yuan-Cheng Lai, «Thread Allocation in CMP-based Multithreaded Network Processors», Parallel Computing, vol. 36, issues 2-3, pp. 104-116, Feb./March 2010.