

РАЗРАБОТКА И ИССЛЕДОВАНИЕ ФУНКЦИОНАЛЬНОЙ VHDL – МОДЕЛИ МИКРОСХЕМЫ ДВУХПОРТОВОЙ СИНХРОННОЙ ПАМЯТИ

Горохов И. В., Губарь Ю. В.

Донецкий национальный технический университет г.Донецк

Кафедра компьютерной инженерии

E-mail: mef-driver@yandex.ru

Аннотация

Горохов И.В., Губарь Ю.В. Разработка и исследование функциональной VHDL – модели микросхемы двухпортовой синхронной памяти. В работе рассмотрены вопросы разработки функциональной модели двухпортовой синхронной памяти. Проведено математическое моделирование работы двухпортовой памяти в режимах записи и считывания информации и выявлены основные закономерности и особенности ее работы.

Общая постановка проблемы. Многопортовые оперативные запоминающие устройства (ОЗУ) позволяют организовать одновременный и независимый доступ к памяти нескольким устройствам. [1 – 4]. Это свойство позволяет существенно упростить создание многопроцессорных вычислительных систем, где многопортовое ОЗУ выступает в роли общей или совместно используемой памяти. В рамках одной вычислительной машины многопортовое ОЗУ может обеспечивать обмен информацией между центральным процессором (ЦП) и устройством ввода – вывода (УВВ) намного эффективнее, чем прямой доступ к памяти [3]. В этой связи приобретают особую актуальность вопросы создания и верификации функциональных моделей многопортовой памяти, позволяющих выявить особенности и “узкие места” при проектировании вычислительных систем.

Постановка задач исследования. Разработчики микросхем, боясь утечки “секретов”, не дают потребителям свои синтезательные модели и разрабатывают функциональные модели отдельно, часто независимо от синтезательных, и соответственно не всегда полностью функционально совместимые с реальными схемами [4]. Многие другие компании предоставляют подобные модели лишь платно [2]. Целью данной работы является разработка и верификация функциональной VHDL – модели [5 – 7] двухпортовой памяти синхронного типа с контролем временных соотношений, а также тестовой программы, позволяющей имитировать различные режимы и особенности работы такой памяти. Предполагается использование разработанных программ в качестве лабораторного практикума при изучении соответствующих разделов учебного курса “Организация устройств памяти”.

Решение задачи и результаты исследований. В настоящее время серийно выпускаются двух – и четырехпортовые микросхемы памяти [1], среди которых наиболее распространены первые. Поскольку архитектурные особенности в обоих случаях схожи, дальнейшее изложение будем вести применительно к двухпортовой памяти.

В двухпортовой памяти возможен одновременный доступ к ячейкам с двух направлений от двух разных ЦП или УВВ (рис.1). Она имеет два идентичных порта “А” и “В” адреса, данных и управления с соответствующим набором сигнальных шин:

ADR_A, ADR_B - адресные сигналы каждого порта;

DIO_A, DIO_B - сигналы двунаправленных шин данных;

$R/\bar{W}_A, R/\bar{W}_B$ - сигналы режима чтения – записи;

$\overline{CS_A}$, $\overline{CS_B}$ - сигналы выбора кристалла;
 $\overline{OE_A}$, $\overline{OE_B}$ - сигналы управления выходом данных;
 CLK_A , CLK_B - тактовые сигналы синхронизации.

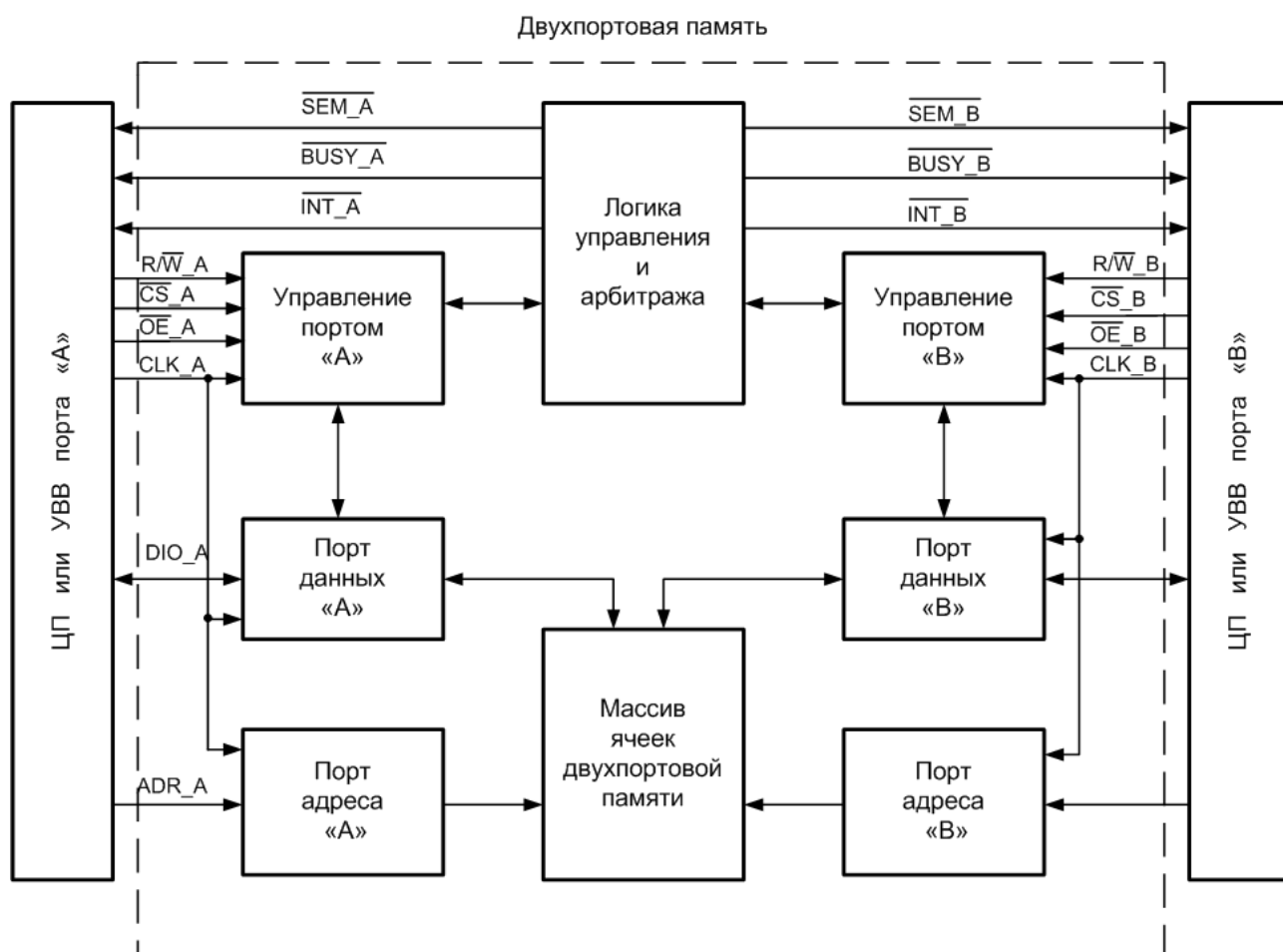


Рис.1. Структурная схема двухпортовой памяти

Каждый порт обеспечивает доступ к общему массиву ячеек памяти. Имеется возможность производить одновременные операции записи (или считывания) информации через оба порта. Если адреса ADR_A и ADR_B различны, то никаких конфликтов не возникает. Проблема возможна, если оба устройства обращаются по одному адресу и одно из них пытается выполнить операцию записи. В этом случае вероятно считывание недостоверной информации. В случае одновременного ввода в ячейку информации от двух устройств может быть занесена неопределенная комбинация из записываемых слов. Несмотря на то, что вероятность такой ситуации по оценкам [3] не превышает 0,1%, такой вариант необходимо учитывать. Для этого в двухпортовой памяти имеется система арбитража (реализована аппаратным способом) с использованием сигналов занятости $\overline{BUSY_A}$ и $\overline{BUSY_B}$.

Кроме возможности доступа к ячейкам с двух направлений, двухпортовая память имеет средства для обмена сообщениями между подключенными к ней устройствами. Для этой цели в ее состав включена система прерываний (используются сигналы $\overline{INT_A}$ и $\overline{INT_B}$) и система семафоров (используются сигналы $\overline{SEM_A}$ и $\overline{SEM_B}$).

Поскольку двухпортовому ОЗУ свойственна симметричная структура, в дальнейшем рассмотрим более подробно один из портов. На рис.2 показана функциональная схема организации порта "А". В состав схемы входят внутренние регистры адреса PA_A , данных PD_A и управления PV_A , которые переключаются по фронту тактового сигнала синхронизации CLK_A . Действие, задаваемое перед нарастающим фронтом тактового сигнала, выполняется внутри микросхемы на следующем такте, либо через такт. На схеме через DC обозначен дешифратор адреса.

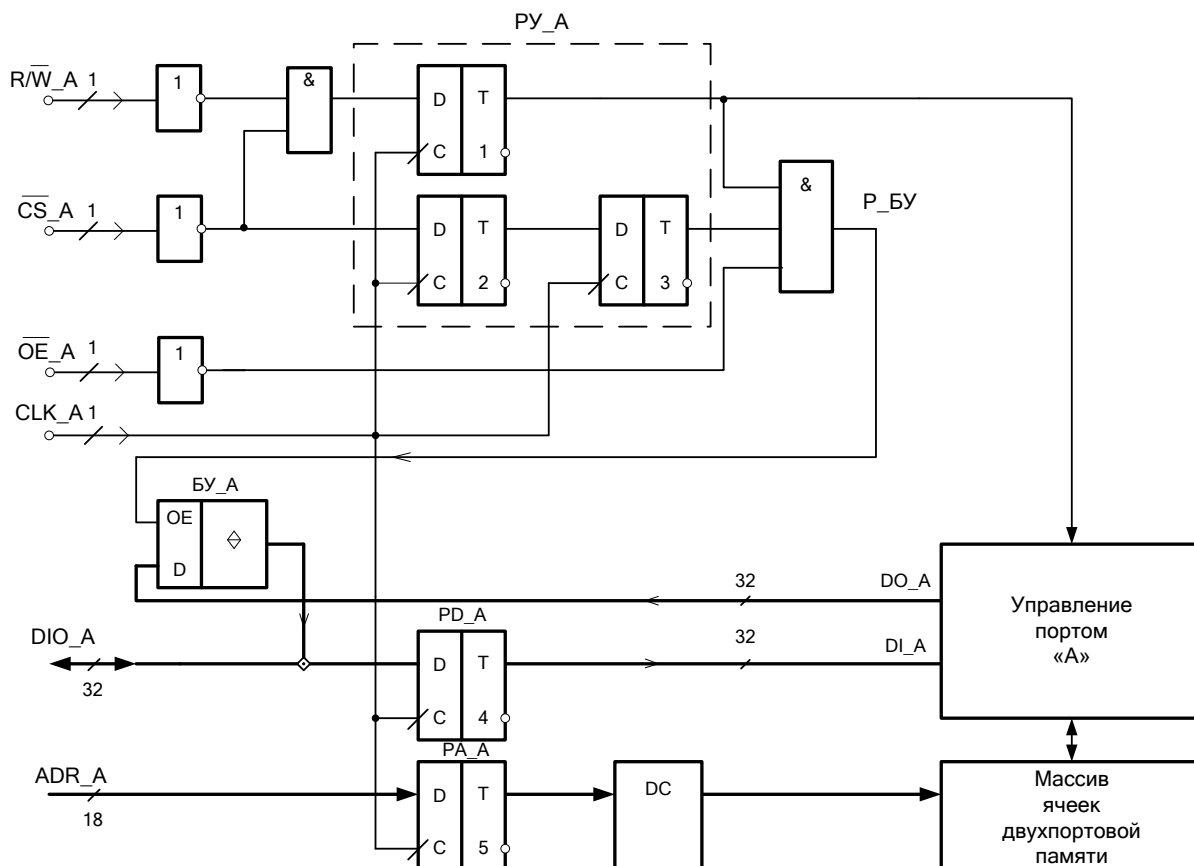


Рис.2. Функциональная схема порта "А"

При операции записи в регистре PD_A фиксируются входные данные. Буферные усилители с тремя состояниями BU_A обеспечивают выдачу данных с внутренней шины DO_A при выполнении операции чтения на внешнюю шину DIO_A при наличии внутреннего сигнала разрешения выдачи P_BY .

Результаты модельных экспериментов с двухпортовой памятью представлены на рис.3 и рис.4. В режиме считывания данных (рис.3) перед выработкой первого импульса синхронизации (ИС) CLK_A на шину адреса выдается адрес первой ячейки памяти $AI=3$, а на шину управления - сигналы чтения $R/\overline{W}=1$ и выбора кристалла $\overline{CS}_A=0$. С приходом первого ИС адрес и управляющие сигналы записываются во внутренние регистры адреса PA_A и управления PV_A микросхемы. Начинается цикл чтения данных $DI=A$ (для компактности записи используется 16 система счисления).

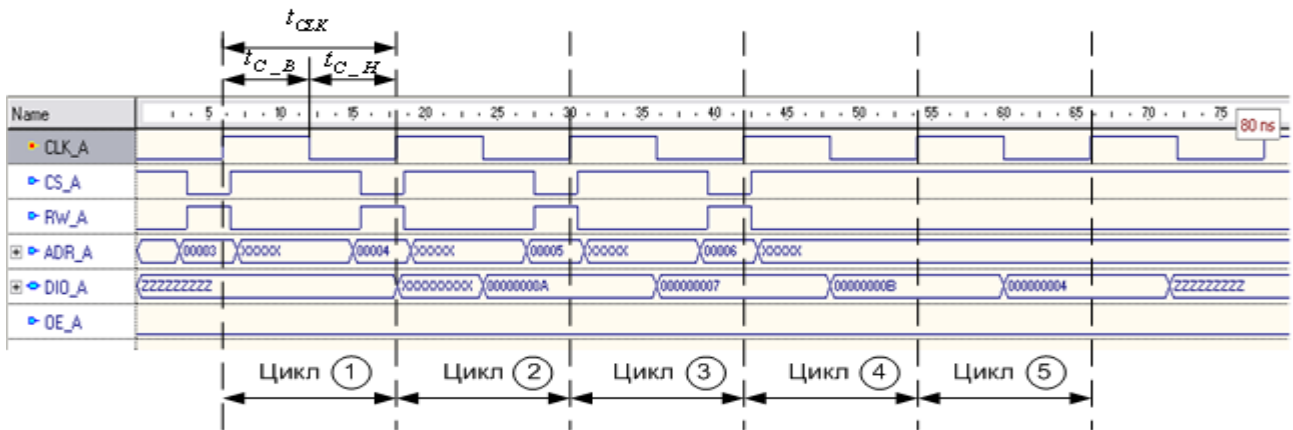


Рис.3. Временная диаграмма циклов считывания данных

Перед началом второго ИС на шину адреса выставляется адрес второй ячейки $A2=4$ и начинается второй цикл чтения. В это время данные из ячейки $A1$ поступают через внутреннюю шину данных DO_A на входы буферных усилителей. Сигнал разрешения работы $БУ_A$ появится лишь во втором такте (это связано с задержкой на такт в триггере $T3$). Данные $DI=A$ с выходов $БУ_A$ выдаются через внешнюю шину данных DIO_A на выход микросхемы.

Временные параметры микросхемы двухпортовой памяти показаны на рис.3 [1]:

t_{CLK} - время одного цикла работы (минимальное значение – 12 нс);

t_{C_B} - время, в течение которого тактовый сигнал равен “1” (6 нс);

t_{C_H} - время, в течение которого тактовый сигнал равен “0” (6 нс);

t_{DC} - время выборки на шину адреса после фронта сигнала CLK ;

t_{CZ} - время отключения шины данных в третье состояние;

Времена предустановки и удержания сигналов адреса (t_{SA}, t_{HA}), данных (t_{SD}, t_{HD}), выборки кристалла (t_{SC}, t_{HC}) и чтения – записи (t_{SW}, t_{HW}) приняты при выполнении экспериментов равными 2.5 нс и 0.5 нс соответственно [4]. Для исключения коллизий при одновременном обращении в одну и ту же ячейку памяти в модели введено время t_{CC_AB} - минимальное время сдвига синхросигналов CLK_A и CLK_B , равное 6 нс. Времена задержки фронта t_R и среза t_L сигналов в модели приняты равными нулю.

На рис.4 показана временная диаграмма процессов чтения и записи данных.

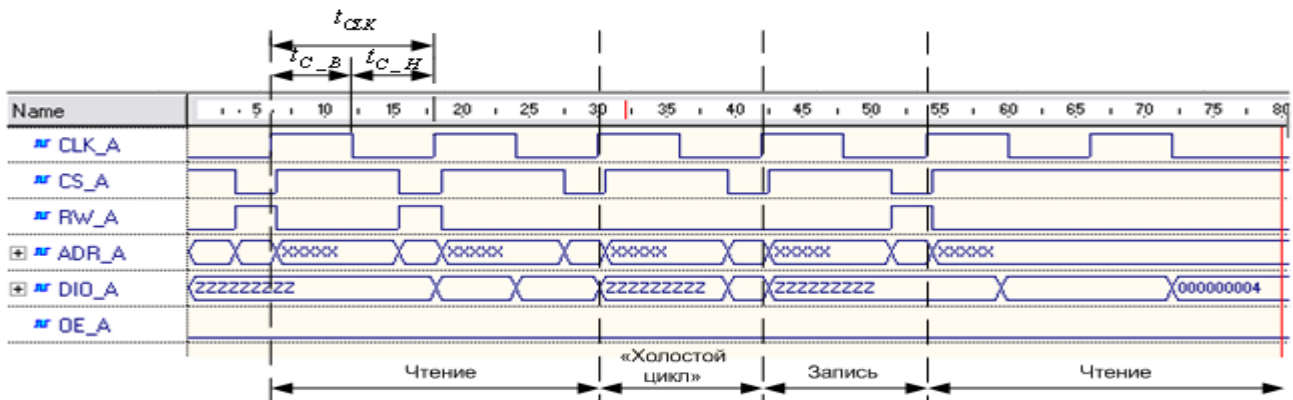


Рис.4. Временная диаграмма процессов чтения и записи данных

С приходом первого ИС на шину адреса выдается адрес первой ячейки для чтения $A1=3$. Перед началом второго тактового периода на шину адреса выставляется адрес следующей ячейки $A2=4$. В это время данные из ячейки $A1$ поступают на шину данных. На третьем тактовом периоде предполагается запись по адресу $A3=5$ данных $D=B$. Перед началом этой операции информационные выходы микросхемы должны быть переведены в третье (высокоимпедансное) состояние. В результате данные из ячейки $A2$, которые появляются на шине в третьем тактовом периоде будут потеряны. Таким образом, в третьем тактовом периоде данные не считываются и не записываются, поэтому этот период называют “холостым циклом” [3]. С началом четвертого периода данные, которые выставлены на шине данных, записываются в ячейку с адресом $A3=5$. Адрес следующей ячейки для чтения можно выставить только в пятом тактовом периоде, а соответствующие данные будут получены лишь в шестом такте. Это означает, что происходит еще один “холостой цикл”.

Из анализа модельных экспериментов следует, что при работе двухпортовой синхронной памяти в режимах переключения между циклами записи и считывания имеет место потеря нескольких циклов шины. Если такая память используется в качестве кэш – памяти, то это не слишком влияет на производительность вычислительной системы. Операция записи выполняется в кэш – памяти в 10% случаях, а операция чтения в 90% случаях от общего числа обращений к памяти [2]. Кроме того переключения с одного режима работы на другой возникают достаточно редко.

Выводы

1. Разработана средствами языка VHDL и проверена функциональная модель микросхемы двухпортовой синхронной памяти в различных режимах ее работы. Выявлены особенности работы ее работы при переключениях из режима чтения в режим записи и наоборот, которые следует учитывать при проектировании многопроцессорных систем.
2. Работу целесообразно продолжить по созданию и верификации моделей двухпортовой памяти при взаимодействии подключенных к ней устройств в режимах отработки прерываний и семафоров.

Список литературы

1. Микросхемы памяти фирмы Cypress Semiconductor: [Электронный ресурс]. – Режим доступа: [http:// www.cypress.com](http://www.cypress.com)
2. Prince B. High Perfomance Memories: New Architecture DRAM's and SRAM's, Evolution and Function. – New York: Wiley, 1996.
3. Цилькер Б. Я., Орлов С. А. Организация ЭВМ и систем: Учебник для вузов. – СПб.: Питер, 2006. – 668 с.
4. Поляков А. К. Языки VHDL и VERILOG в проектировании цифровой аппаратуры. – М.: СОЛОН – Пресс, 2003. – 320 с.
5. Семенец В. В., Хаханова И. В., Хаханов В. И. Проектирование цифровых систем с использованием языка VHDL: Учебное пособие. - Харьков: ХНУРЭ, 2003. – 492 с.
6. Суворова Е. А., Шейнин Ю. Е. Проектирование цифровых систем на VHDL. – СПб.: БХВ – Петербург, 2003. – 576 с.
7. Грушницкий Р. И., Мурсаев А. Х., Угрюмов Е. П. Проектирование систем на микросхемах программируемой логики. – СПб.: БХВ – Петербург, 2002. - 608 с.