

ДЕРЖАВНИЙ ВИЩИЙ НАВЧАЛЬНИЙ ЗАКЛАД
«ДОНЕЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ»

НІКОЛАЄНКО ДЕНИС ВОЛОДИМИРОВИЧ

УДК 681.324

**РОЗРОБКА І ДОСЛІДЖЕННЯ МЕТОДІВ СИНТЕЗУ
ШВИДКОДІЮЧИХ МІКРОПРОГРАМНИХ
ПРИСТРОЇВ КЕРУВАННЯ**

05.13.05 – КОМП'ЮТЕРНІ СИСТЕМИ ТА КОМПОНЕНТИ

АВТОРЕФЕРАТ

дисертації на здобуття наукового ступеня
кандидата технічних наук

ДОНЕЦЬК – 2010

Дисертацією є рукопис

Робота виконана в Державному вищому навчальному закладі «Донецький національний технічний університет» Міністерства освіти і науки України.

Науковий керівник: кандидат технічних наук, доцент **Ковальов Сергій Олександрович**, доцент кафедри «Електронні обчислювальні машини» ДВНЗ «Донецький національний технічний університет», м. Донецьк.

Офіційні опоненти: доктор технічних наук, професор **Нестеренко Сергій Анатолійович**, завідувач кафедри комп'ютерних інтелектуальних систем та мереж, проректор Одеського національного політехнічного університету МОН України, м. Одеса.

доктор технічних наук, професор **Данилов Володимир Васильович**, завідувач кафедри радіофізики Донецького національного університету МОН України, м. Донецьк.

Захист відбудеться 21 жовтня 2010 р. о 14 годині на засіданні спеціалізованої вченої ради Д 11.052.03 Державного вищого навчального закладу «Донецький національний технічний університет» за адресою: 83001, м. Донецьк, вул. Артема, 58, уч. корпус 8, ауд. 704.

З дисертацією можна ознайомитися в бібліотеці Державного вищого навчального закладу «Донецький національний технічний університет» за адресою: 83001, м. Донецьк, вул. Артема, 58, уч. корпус 2.

Автореферат розісланий “ ____ ” _____ 2010 р.

Вчений секретар
спеціалізованої вченої
ради Д 11.052.03

Г.В. Мокрий

ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

Актуальность темы. В настоящее время при разработке электронных устройств используется широкий спектр программируемых БИС – ПЗУ, ПЛИМ, ПЛИС. Этот базис находит применение в системах вычислительной техники и цифровой автоматики, позволяя значительно улучшить такие характеристики приборов, как надежность, быстродействие, энергопотребление, габариты и др. Однако высокая сложность данного базиса вызывает необходимость в разработке эффективных структур проектируемых устройств.

В основе современных цифровых систем находится принцип микропрограммного управления, предполагающий наличие в системе устройства управления (УУ), координирующего работу всех ее блоков и во многом определяющего основные характеристики системы. УУ может быть реализовано в виде композиции автоматов с «жесткой» и «программируемой» логикой. Такие УУ были предложены А.А. Баркаловым и названы композиционными микропрограммными устройствами управления (КМУУ). В КМУУ сочетаются минимально возможная ёмкость управляющей памяти и максимальное быстродействие.

В настоящее время существуют эффективные методы оптимизации аппаратных затрат в схемах микропрограммных автоматов, рассмотренные в трудах С.И. Баранова, В.А. Склера, А.В. Палагина, А.А. Баркалова. В данных методах оптимизация достигается за счет увеличения количества уровней преобразования логических сигналов. Применение различных методов оптимизации аппаратных затрат породило класс структур КМУУ с разделением кодов, характеризующийся минимизированным количеством выходных сигналов в схеме адресации автомата.

Для структур КМУУ с разделением кодов актуальной является проблема увеличения быстродействия схемы устройства за счет уменьшения времени, затрачиваемого на выборку микрокоманд из управляющей памяти, реализованной на ПЗУ. Один из путей решения этой задачи – введение в структуру КМУУ кэш-памяти, реализуемой на быстрой статической памяти и предназначенной для временного хранения микрокоманд, выполнявшихся на протяжении нескольких последних тактов работы устройства. Решение задачи увеличения быстродействия структур КМУУ с разделением кодов позволит расширить область применения данного класса УУ.

Диссертационная работа посвящена решению актуальной научной задачи разработки структур и методов синтеза композиционных микропрограммных устройств управления с разделением кодов, ориентированных на увеличение быстродействия схемы при реализации узлов КМУУ в базисе программируемых логических устройств.

Связь работы с научными программами, планами, темами. Диссертационная работа выполнена в течение 2007-2009 г.г. в соответствии с тематическим планом Государственного высшего учебного заведения «Донецкий национальный технический университет» по теме НДР №Н-5-06 «Теория и методы проектирования и тестирования цифровых устройств компьютерных систем», а также в соответствии с научным направлением кафедры «Электронные вычислительные машины» Государственного высшего учебного заведения «Донецкий национальный технический университет».

Цель и задачи исследования. Целью работы является увеличение быстродействия схем КМУУ с разделением кодов за счет применения методов кэширования сигналов.

Для достижения поставленной цели в работе решаются следующие задачи:

1. Анализ существующих структур КМУУ с разделением кодов с целью выявления путей их усовершенствования.

2. Разработка структур и методов синтеза КМУУ с разделением кодов и кэш-памятью микрокоманд.

3. Разработка метода оптимизации размещения микрокоманд в адресном пространстве управляющей памяти с целью повышения вероятности кэш-попаданий алгоритма управления, реализуемого схемой КМУУ.

4. Моделирование структур КМУУ с разделением кодов и кэш-памятью микрокоманд.

5. Исследование разработанных структур с целью определения области их эффективного применения.

Объект исследования – композиционные микропрограммные устройства управления с разделением кодов.

Предмет исследования – методы оптимизации быстродействия схем КМУУ.

Методы исследований. В процессе исследований применялся формальный аппарат теории конечных автоматов, теории множеств и булевой алгебры, а также компьютерное имитационное моделирование. При синтезе схем использовалась методология В.М. Глушкова, детализированная в работах С.И. Баранова, А.В. Палагина, А.А. Баркалова, В.А. Склярова, В.В. Соловьева.

Научная новизна полученных результатов определяется следующими положениями:

1. Предложено использовать метод кэширования сигналов в структурах КМУУ с разделением кодов с целью увеличения среднего быстродействия устройств.

2. Разработаны новые структуры и методы синтеза КМУУ с разделением кодов и кэш-памятью микрокоманд, обладающие более

высоким средним быстродействием по сравнению с ранее известными структурами.

3. Разработан эвристический алгоритм оптимизации размещения микрокоманд в адресном пространстве управляющей памяти, позволяющий повысить эффективность использования кэш-памяти в разработанных структурах.

Практическое значение полученных результатов:

1. Для предложенных структур КМУУ с разделением кодов и кэш-память микрокоманд разработаны программные модели на языке VHDL, ориентированные на реализацию схем в базисе современных программируемых логических устройств. Данные модели могут быть использованы в качестве исходных данных для САПР программируемых интегральных схем при проектировании устройств управления на базе разработанных структур КМУУ.

2. Получены аналитические зависимости аппаратурных затрат в модуле кэш-памяти от параметров модуля кэш-памяти, позволяющие оценить прирост аппаратурных затрат в структурах КМУУ с разделением кодов за счет добавления модуля кэш-памяти микрокоманд.

3. Определена область эффективного применения разработанных структур КМУУ с разделением кодов и кэш-памятью микрокоманд.

4. Результаты теоретических и практических исследований диссертационной работы использованы на предприятии «Национальная энергетическая компания УКРЭНЕРГО». Также результаты работы использованы в учебном процессе кафедры «Техническая эксплуатация автомобилей» и при проведении научно-исследовательских работ НИЧ Горловского автомобильно-дорожного института Донецкого национального технического университета.

Личный вклад соискателя. Соискателем выполнена разработка структур КМУУ с разделением кодов и кэш-памятью микрокоманд. Предложен эвристический алгоритм размещения данных в управляющей памяти, направленный на повышение вероятности кэш-попаданий используемого модуля кэш-памяти. Также лично соискателем построены модели структур с использованием языка описания аппаратуры VHDL, с помощью которых проведены исследования разработанных структур и определена область их эффективного использования.

Апробация работы. Основные положения и результаты работы докладывались, обсуждались и получили положительную оценку на следующих научных конференциях и семинарах:

- Вторая международная научно-практическая конференция молодых ученых, аспирантов, студентов «Современная информационная Украина: информатика, экономика, философия» (Донецк, 13-14 мая 2008 г.);

- Десятый международный научно-практический семинар «Практика и перспективы развития партнерства в сфере высшей школы» (Донецк, 4-7 мая 2009 г.);
- Третья международная научно-практическая конференция молодых ученых, аспирантов, студентов «Современная информационная Украина: информатика, экономика, философия» (Донецк, 14-15 мая 2009 г.);
- Пятая Международная научно-техническая конференция «Гарантоспособные системы, сервисы и технологии» (Кировоград, 11-15 мая 2010 г.);
- научные семинары кафедры «Электронные вычислительные машины» Государственного высшего учебного заведения «Донецкий национальный технический университет».

Публикации. По материалам диссертационной работы опубликовано 9 научных работ, из которых 6 статей опубликованы в изданиях, включенных в перечень ВАК Украины, и 3 труда в материалах научных конференций.

Структура и объем работы. Диссертация состоит из введения, 4 разделов, заключения, списка использованных источников из 144 наименований, размещенного на 12 страницах, и одного приложения, размещенного на 4 страницах. Полный объем диссертации составляет 164 страницы печатного текста, содержит 35 рисунков и 27 таблиц.

ОСНОВНОЕ СОДЕРЖАНИЕ РАБОТЫ

В первом разделе – «Анализ современных структур устройств управления» – проведен анализ методов реализации устройств управления, организации композиционных микропрограммных устройств управления с разделением кодов. Рассмотрены известные подходы к иерархической организации памяти вычислительных систем. Сформулированы основные задачи исследований.

Алгоритмы управления цифровых систем могут быть реализованы в виде микропрограммных устройств управления (МУУ). Одной из разновидностей МУУ является композиционное микропрограммное устройство управления, структура которого представляет собой композицию автоматов с «жесткой» и «программируемой» логикой (рис. 1).

В КМУУ схема адресации СА и регистр памяти РП представляют собой автомат с «жесткой» логикой P_1 , предназначенный для адресации микрокоманд при нарушении естественного порядка их выполнения.

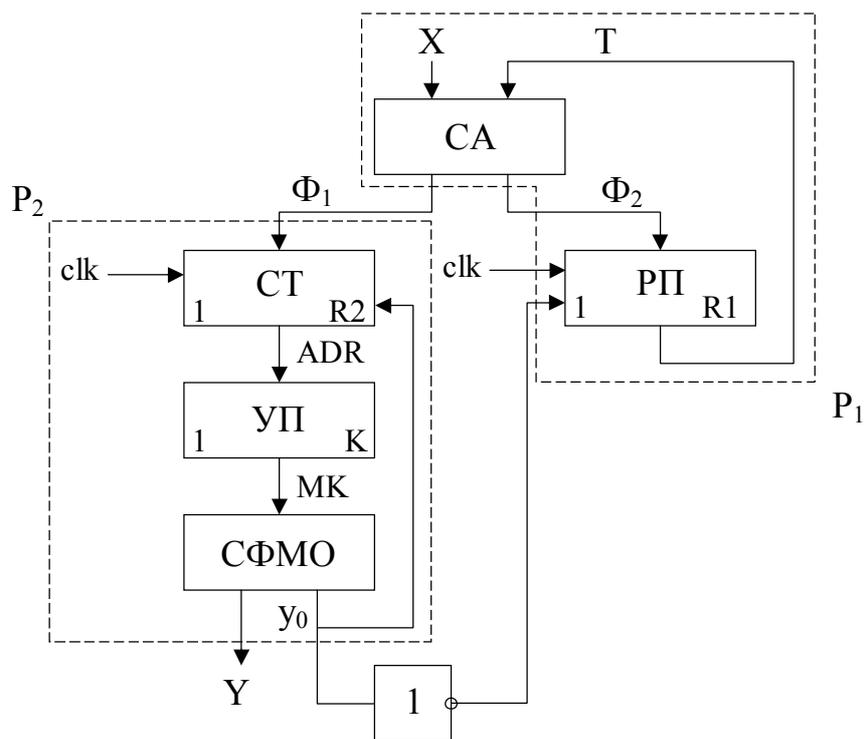


Рис.1. Структурная схема композиционного микропрограммного устройства управления

Управляющая память УП, предназначенная для хранения микропрограммы, и счетчик адреса микрокоманд СТ представляют собой автомат P_2 с «программируемой» логикой и естественной адресацией микрокоманд. Схема формирования микроопераций СФМО формирует множество микроопераций Y , поступающее в операционный автомат (ОА). Микрооперация y_0 управляет СТ и РП, реализуя условные и безусловные микропрограммные переходы.

В основе структуры КМУУ лежит формирование множества операторных линейных цепей (ОЛЦ) интерпретируемой ГСА Γ . Используем ряд определений:

Определение 1. Операторной линейной цепью ГСА Γ называется конечная последовательность операторных вершин $\alpha_g = \langle b_g, \dots, b_{gf_g} \rangle$, такая, что для любой пары вершин $\langle b_{gi}, b_{gi+1} \rangle$, где i – номер компоненты кортежа α_g , существует дуга $\langle b_{gi}, b_{gi+1} \rangle \in E$.

Определение 2. Входом ОЛЦ α_g , называется вершина $b_q \in O^g$, где O^g – множество компонент ОЛЦ α_g , вход которой связан только с выходами начальной, условной или входящих в другие ОЛЦ операторных вершин.

Определение 3. Вход ОЛЦ называется главным входом, если отсутствует связь этого входа с выходами операторных вершин.

Определение 4. Выходом ОЛЦ α_g называется вершина $b_q \in O^g$, выход которой связан со входами конечной, условной или операторной вершины, не входящей в ОЛЦ α_g .

Рассмотренные ОЛЦ носят название неэлементарных или традиционных. Если ОЛЦ представляет собой последовательность операторных вершин, между которыми нет условных вершин, причем каждая из вершин ОЛЦ (кроме начальной) связана только с выходом предыдущей вершины, то такая ОЛЦ является элементарной ОЛЦ. При этом входом элементарной ОЛЦ будем считать такую вершину, вход которой связан либо с выходом условной вершины, либо с выходами нескольких вершин (операторных и/или условных), либо с начальной вершиной ГСА. Выходом элементарной ОЛЦ будем считать ту операторную вершину, выход которой связан либо с условной вершиной, либо с начальной вершиной другой ОЛЦ, либо с конечной вершиной ГСА. Внутри каждой ОЛЦ выполняется естественная адресация микрокоманд.

В работах А.А. Баркалова разработаны эффективные методы уменьшения аппаратных затрат в схеме автомата адресации КМУУ, основанные на использовании в структуре более дешевого элементного базиса ПЗУ или ППЗУ вместо относительно дорогостоящего базиса ПЛИС. Одним из классов КМУУ образующимся после применения данных методов, являются КМУУ с разделением кодов. В диссертационной работе рассматриваются следующие представители данного класса:

1. КМУУ с разделением кодов и неэлементарными ОЛЦ.
2. КМУУ с разделением кодов и элементарными ОЛЦ.

Базис ПЗУ и ППЗУ, применяемый для реализации управляющей памяти в данных структурах, характеризуется относительно низким быстродействием по сравнению с базисом ПЛИС, в котором реализуются остальные узлы схемы. В то же время существует множество задач, в которых быстродействие схемы КМУУ является решающим фактором возможности и целесообразности применения КМУУ с разделением кодов (например, управление процессом, требующим большого количества математических расчетов за относительно малое время). Следовательно, важной задачей оптимизации КМУУ является увеличение быстродействия, даже при условии некоторого увеличения аппаратных затрат в схеме устройства.

Для увеличения быстродействия схем КМУУ с разделением кодов в диссертационной работе предлагается использовать принцип кэширования сигналов, что предполагает введение в структуры устройств модуля кэш-памяти микрокоманд. Кэш-память может быть реализована в базисе ПЛИС совместно со схемой адресации и обладает значительно более высоким быстродействием по сравнению со схемами ПЗУ, при этом имея информационную емкость в несколько процентов от емкости кэшируемой схемы ПЗУ управляющей памяти.

Поскольку работа кэш-памяти в составе цифрового устройства является «прозрачной», внедрение модуля кэш-памяти не должно сказываться на логике работы КМУУ, следовательно, основные этапы синтеза структур КМУУ с разделением кодов и кэш-памятью будут совпадать с методами для структур-прототипов без кэш-памяти.

Также в первом разделе выполнена постановка основных задач диссертационного исследования, которое направлено на повышение быстродействия схем композиционных микропрограммных устройств управления с разделением кодов за счет кэширования микрокоманд.

Во втором разделе – «Композиционные микропрограммные устройства управления с разделением кодов и кэш-памятью» – разработаны структуры КМУУ с разделением кодов и кэш-памятью микрокоманд, для которых получены аналитические выражения для определения средней длительности такта работы данных структур. Также разработан эвристический алгоритм оптимизации размещения ОЛЦ в адресном пространстве управляющей памяти.

В диссертационной работе разработаны новые структуры композиционных микропрограммных устройств управления с разделением кодов и кэш-памятью микрокоманд. Структуры устройств обозначены как S_{1k} (структура с неэлементарными ОЛЦ) и S_{2k} (структура с элементарными ОЛЦ) и представлены соответственно на рис. 2 и 3.

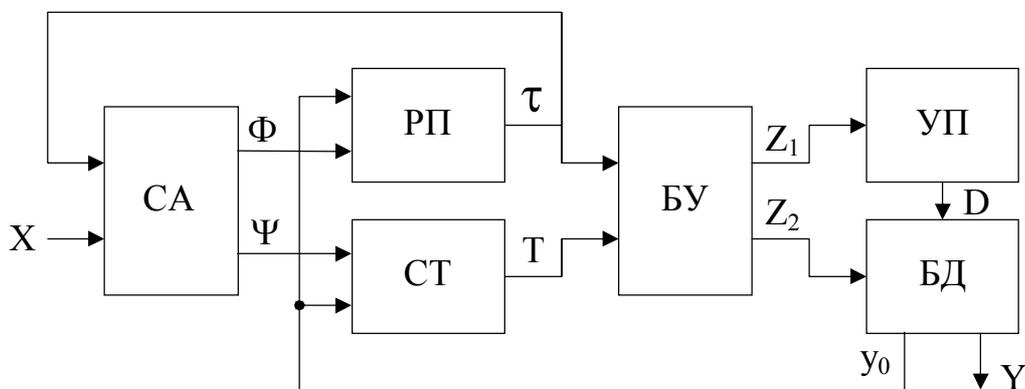


Рис. 2. Структурная схема структуры КМУУ с неэлементарными ОЛЦ и кэш-памятью микрокоманд (S_{1k})

Организация левой части структур (блоки СА, РП и СТ) соответствует своим структурам-прототипам без кэш-памяти. В структуре S_{2k} при переходе УУ в очередную ОЛЦ в счетчик СТ записывается нулевой код. При этом СА не формирует дополнительные сигналы кода входа ОЛЦ, однако адресное пространство управляющей памяти используется менее эффективно.

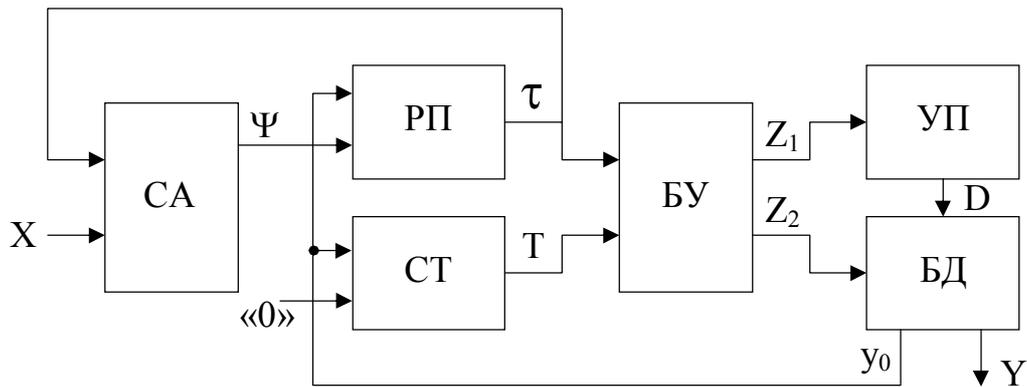


Рис. 3. Структурная схема структуры КМУУ с элементарными ОЛЦ и кэш-памятью микрокоманд (S_{2k})

В данных структурах блок управления кэш-памятью БУ управляет управляющей памятью и блоком данных кэш-памяти БД, для чего вырабатывает множества управляющих сигналов Z_1 и Z_2 соответственно.

Блок данных выполнен с использованием элементного базиса статической памяти (например, на кристалле ПЛИС). Быстродействие БД в несколько раз превышает быстродействие УП, в то время как информационная емкость БД составляет в среднем не более 10% емкости УП. В случае кэш-попадания из БД считывается микрокоманда в соответствии с адресом, образованным конкатенацией сигналов τ и T . В случае кэш-промаха в БД из управляющей памяти переписывается блок микрокоманд D , причем количество микрокоманд в блоке определяется количеством информационных слов в строке кэш-памяти (здесь под информационным словом кэш-памяти подразумевается микрокоманда, разрядность которой обычно соответствует мощности множества микроопераций).

Если БУ обнаружил запрошенную команду в кэш-памяти (ситуация кэш-попадания), из текущего такта работы исключается длительность срабатывания УП, и длительность такта работы $t_h(S_{1k})$ в данном случае составит

$$t_h(S_{1k}) = t_{CA} + \max(t_{CT}, t_{PP}) + t_{БУ} + t_{БД} + t_{ОА}, \quad (1)$$

где $t_{ОА}$ – длительность срабатывания операционного автомата, работающего под управлением КМУУ.

Если запрошенная команда не обнаружена в кэш-памяти (ситуация кэш-промаха), то требуется чтение соответствующих данных из УП и загрузка их в БД, в результате чего длительность такта работы $t_m(S_{1k})$ составит

$$t_m(S_{1k}) = t_{CA} + \max(t_{CT}, t_{PP}) + t_{БУ} + t_{УП} + t_{БД} + t_{ОА}. \quad (2)$$

Поскольку ситуации кэш-попаданий и кэш-промахов возникают с определенными вероятностями и являются несовместными событиями, средняя длительность такта работы структуры S_{1k} будет определяться как среднее между $t_h(S_{1k})$ и $t_m(S_{1k})$:

$$t_{cp}(S_{1k}) = p_h \cdot t_h(S_{1k}) + (1 - p_h) \cdot t_m(S_{1k}), \quad (3)$$

где p_h – вероятность кэш-попаданий модуля кэш-памяти.

В силу схожести структур S_{1k} и S_{2k} выражения (1)-(3) справедливы и для структуры S_{2k} .

Следует отметить, что длительности t_h и t_m определяются элементной базой и функциональной организацией используемой аппаратуры. Поскольку используемый элементный базис, как правило, определен заранее, а функциональная организация схем соответствует поставленной технической задаче, изменение значений t_m и t_h с целью увеличения эффективности использования кэш-памяти в устройстве управления в общем случае невозможно.

Таким образом, увеличение эффективности использования модуля кэш-памяти возможно за счет увеличения значения вероятности кэш-попаданий p_h при заданных значениях t_h и t_m .

В структурах КМУУ с разделением кодов внутри каждой ОЛЦ микрокоманды нумеруются с нулевого кода, который образует младшую часть адреса микрокоманды. Относительно модуля кэш-памяти все адресное пространство УП делится на блоки, размер которых равен размеру строки кэш-памяти. При соответствующем размере строки кэш-памяти в одном блоке памяти могут быть размещены несколько ОЛЦ, которые в случае кэш-промаха будут загружаться в кэш-память одновременно друг с другом.

Как показали исследования, выполненные с помощью разработанной программной имитационной модели, значение вероятности кэш-попаданий алгоритма зависит от порядка следования ОЛЦ в адресном пространстве ПЗУ схемы УП, а точнее – от совместного нахождения ОЛЦ в одном блоке памяти.

Каждая ОЛЦ может быть охарактеризована следующими параметрами:

1. Вес ОЛЦ – величина, равная сумме вероятностей (частот) выполнения всех микрокоманд данной ОЛЦ.

2. «Опасный» вес ОЛЦ – величина, характеризующая вероятность возникновения кэш-промаха при переходе в данную ОЛЦ. «Опасный» вес ОЛЦ численно равен сумме частот микрокоманд, из которых имеется переход в данную ОЛЦ, умноженных на вероятность соответствующего перехода.

Как известно, одним из этапов синтеза логической схемы КМУУ является адресация микрокоманд. Традиционно ОЛЦ размещаются в памяти последовательно, хотя изменение порядка следования ОЛЦ приводит лишь к изменению адресов в таблице переходов автомата. Однако в случае проектирования УУ с «жесткой» частью имеется возможность найти такой алгоритм размещения ОЛЦ, который обеспечивает значение p_h , являющееся максимально возможным (или близким к таковому) при заданных параметрах ГСА и модуля кэш-памяти.

Подобный алгоритм должен обладать следующими свойствами:

1. Множество всех возможных вариантов размещения ОЛЦ должно сводиться к некоторому подмножеству, позволяющему рассмотреть включенные в него варианты размещения за приемлемое время. Таким образом, алгоритм не должен выполнять полный перебор вариантов размещения ОЛЦ.

2. Алгоритм не должен учитывать особенностей какой-либо архитектуры кэш-памяти, но должен опираться на экспериментально подтвержденные свойства, общие для всех архитектур. Таким образом, алгоритм не должен носить полностью аналитический характер.

3. Не имея привязки к архитектуре кэш-памяти, алгоритм не должен определять абсолютно оптимальный вариант размещения данных. Тем не менее, результат работы алгоритма (или множество результатов) должен в общем случае быть близок к результатам, которые могли бы быть получены при полном переборе или точном аналитическом расчете.

В соответствии с данными требованиями в диссертационной работе предложен алгоритм, в основе которого лежит ряд эвристических правил (эвристик), основанных на экспериментальной очевидности:

Эвристика 1. Вероятность кэш-попаданий ГСА не зависит от того, какому по порядку блоку памяти принадлежит ОЛЦ.

Эвристика 2. Вероятность кэш-попаданий не зависит от порядка следования ОЛЦ в блоке.

Эвристика 3. Если ОЛЦ O_i имеет переходы в ОЛЦ O_j , то размещение этих ОЛЦ в одном блоке памяти снижает «опасный» вес ОЛЦ O_j .

Эвристика 4. Увеличение количества ОЛЦ, на которые разбито множество микрокоманд рассматриваемой ГСА, не влияет на вероятности выполнения микрокоманд, но увеличивает количество вариантов размещения ОЛЦ.

Исходными данными в эвристическом алгоритме выступают исходная ГСА, вероятности выполнения логических условий $p(x_i)$, размер строки кэш-памяти, а также количество и содержимое ОЛЦ.

Эвристический алгоритм включает следующие этапы:

1. Определение частот выполнения микрокоманд.
2. Отнесение всех ОЛЦ ко множеству нераспределенных ОЛЦ.
3. Считать текущим начальный блок УП.
4. Если текущий блок полностью заполнен, считать текущим следующий пустой блок.
5. Если текущий блок пустой, поместить в него одну из нераспределенных ОЛЦ.
6. Если текущий блок заполнен частично, добавить в него ту нераспределенную ОЛЦ, которая максимально снизит «опасный» вес ОЛЦ, находящихся в данном блоке.
7. Если остались нераспределенные ОЛЦ, перейти к пункту 4.
8. Конец.

В пункте 5 алгоритма в пустой блок добавляется одна из нераспределенных ОЛЦ. Выбор нераспределенной ОЛЦ в каком-то смысле

может быть произвольным: какая бы ОЛЦ ни была выбрана первой в блоке, алгоритм должен заполнить блок оптимальным способом. При этом те ОЛЦ, которые будут добавлены к блоку, обречены на «соседство» с первой выбранной ОЛЦ, и варианты их «соседства» с другими ОЛЦ не рассматриваются. Таким образом, способ выбора первой ОЛЦ в блоке оказывает влияние на конечное содержимое блока и, в конечном итоге, на вероятность кэш-попаданий ГСА.

В работе предлагаются шесть вариантов способа выбора первой ОЛЦ для пустого блока, которые условно названы стратегиями выбора нераспределенных ОЛЦ:

Стратегия 1: Выбирается ОЛЦ с максимальным весом.

Стратегия 2: Выбирается ОЛЦ минимальным весом.

Стратегия 3: Выбирается ОЛЦ с максимальным «опасным» весом.

Стратегия 4: Выбирается ОЛЦ с минимальным «опасным» весом.

Стратегия 5: Выбирается ОЛЦ с максимальным отношением «опасного» веса к обычному весу.

Стратегия 6: Выбирается ОЛЦ с минимальным отношением «опасного» веса к обычному весу.

При использовании каждой из шести стратегий в общем случае может быть получен различный результат (вариант размещения микрокоманд и значение p_h). Потенциально может быть найдено множество других стратегий, оказывающих различное влияние на результат алгоритма. Их поиск, а также поиск наиболее оптимальной стратегии выбора ОЛЦ в настоящей работе не рассматриваются, поскольку для каждого типа используемой архитектуры кэш-памяти может быть найдена свое множество стратегий.

Эвристический характер предложенного алгоритма заключается в следующем:

1. Оптимизация размещения производится для каждого блока в отдельности без учета связей между блоками. Большое количество переходов между ОЛЦ, находящимися в разных блоках, может приводить к увеличению количества кэш-промахов и снижению величины p_h .

2. Не учитывается количество строк в модуле кэш-памяти. Если кэш-память содержит лишь одну строку фиксированной длины, алгоритм замещения данных, предназначенный для выбора одной из нескольких строк кэш-памяти, не используется. В этом случае значение вероятности кэш-попаданий будет одинаковым для любой архитектуры кэш-памяти. Если же кэш-память содержит несколько строк, то влияние архитектуры кэш-памяти и алгоритма замещения данных на значение вероятности кэш-попаданий может быть значительным.

3. Не используется оптимальная стратегия выбора нераспределенной ОЛЦ. Хотя экспериментальные исследования показывают, что предложенные стратегии оказываются достаточно эффективными, нельзя говорить об абсолютной оптимальности какой-либо из них.

Чтобы нивелировать влияние типа архитектуры кэш-памяти на вероятность кэш-попаданий, в диссертационной работе использован модуль кэш-памяти полностью ассоциативного типа со случайным алгоритмом замещения данных (алгоритм Random). К его достоинствам относится низкая сложность аппаратной реализации, так как нет необходимости накапливать и анализировать статистические данные о частоте и порядке использования блоков в кэше. В то же время эффективность алгоритма замещения Random достаточно высока и сравнима с такими алгоритмами замещения данных, как LRU и LFU.

Также для предложенных в диссертации структур S_{1k} и S_{2k} разработан алгоритм синтеза логической схемы, включающий следующие этапы:

1. Разбиение множества микрокоманд заданной ГСА на операторные линейные цепи.
2. Получение с использованием разработанного эвристического алгоритма шести значений вероятности кэш-попаданий, обусловленных шестью стратегиями выбора нераспределенных ОЛЦ, и выбор варианта размещения ОЛЦ с максимальным значением вероятности кэш-попаданий.
3. Кодирование ОЛЦ и адресация микрокоманд согласно выбранному варианту размещения.
4. Формирование содержимого ПЗУ управляющей памяти.
5. Построение прямой структурной таблицы.
6. Формирование системы функций переходов.
7. Синтез функциональной схемы устройства в заданном элементном базисе.

Подчеркнем, что первый шаг алгоритма будет различным для неэлементарных и элементарных ОЛЦ.

В третьем разделе – «Моделирование композиционных микропрограммных устройств управления с разделением кодов и кэш-памятью» – разработаны модели предложенных структур КМУУ с разделением кодов и кэш-памятью микрокоманд на языке описания аппаратуры VHDL и языке программирования высокого уровня C++.

Моделирование КМУУ с разделением кодов и кэш-памятью микрокоманд преследует следующие цели:

1. Подтверждение корректности логической организации разработанных структур.
2. Экспериментальное исследование влияния модуля кэш-памяти на аппаратные затраты в схеме КМУУ.
3. Экспериментальные исследования влияния модуля кэш-памяти на быстродействие схемы.
4. Экспериментальные исследования эффективности разработанного эвристического алгоритма размещения ОЛЦ в адресном пространстве управляющей памяти КМУУ с разделением кодов.

Для предложенных структур разработаны две модели: логическая и функциональная.

Логическая модель построена с использованием языка описания аппаратуры VHDL и реализует уровень описания логических сигналов в схеме устройства управления. С ее помощью может быть проверена правильность построения логической схемы устройства, измерены аппаратурные затраты, а также (при необходимости) выполнен синтез схемы устройства на кристалле ПЛИС.

В дополнение к логической модели разработана функциональная модель, в которой реализован процесс выполнения микропрограммы без синтеза логической схемы устройства, а также предложенный в работе эвристический алгоритм оптимизации размещения ОЛЦ. Данная модель реализована на языке программирования C++ и позволяет путем многократного выполнения микропрограммы статистически определять вероятность кэш-попаданий для заданной ГСА при выбранных параметрах модуля кэш-памяти микрокоманд как до, так и после работы эвристического алгоритма.

Разработанные модели использованы при проведении экспериментальных исследований (четвертый раздел диссертационной работы).

В четвертом разделе – «Исследование структур композиционных микропрограммных устройств управления с разделением кодов и кэш-памятью» – проводится исследование разработанных структур КМУУ и определяется область их эффективного применения. Исследована эффективность разработанного эвристического алгоритма оптимизации размещения ОЛЦ в адресном пространстве управляющей памяти. Также дана оценка аппаратурным затратам, возникающим за счет добавления в структуру КМУУ модуля кэш-памяти микрокоманд.

При исследовании эффективности разработанных структур использовано следующее выражение:

$$E(S_{ik}) = \frac{T(S_i)}{T(S_{ik})}, \quad (4)$$

представляющее отношение времени срабатывания $T(S_i)$ схемы ранее известной структуры к среднему времени срабатывания $T(S_{ik})$ схемы аналогичной структуры с кэшированием. С учетом схожести в последовательности срабатывания узлов в структурах S_{1k} и S_{2k} , результаты исследования эффективности можно считать общими для обеих структур.

На рис. 4 показаны зависимости эффективности структур S_{1k} и S_{2k} от таких параметров, как время срабатывания блоков, реализованных в базисе ПЛИС ($T_{\text{ПЛИС}}$), время срабатывания блоков, реализованных в базисе ПЗУ ($T_{\text{ПЗУ}}$), время срабатывания операционного автомата ($T_{\text{ОА}}$) и вероятность кэш-попаданий (p_h).

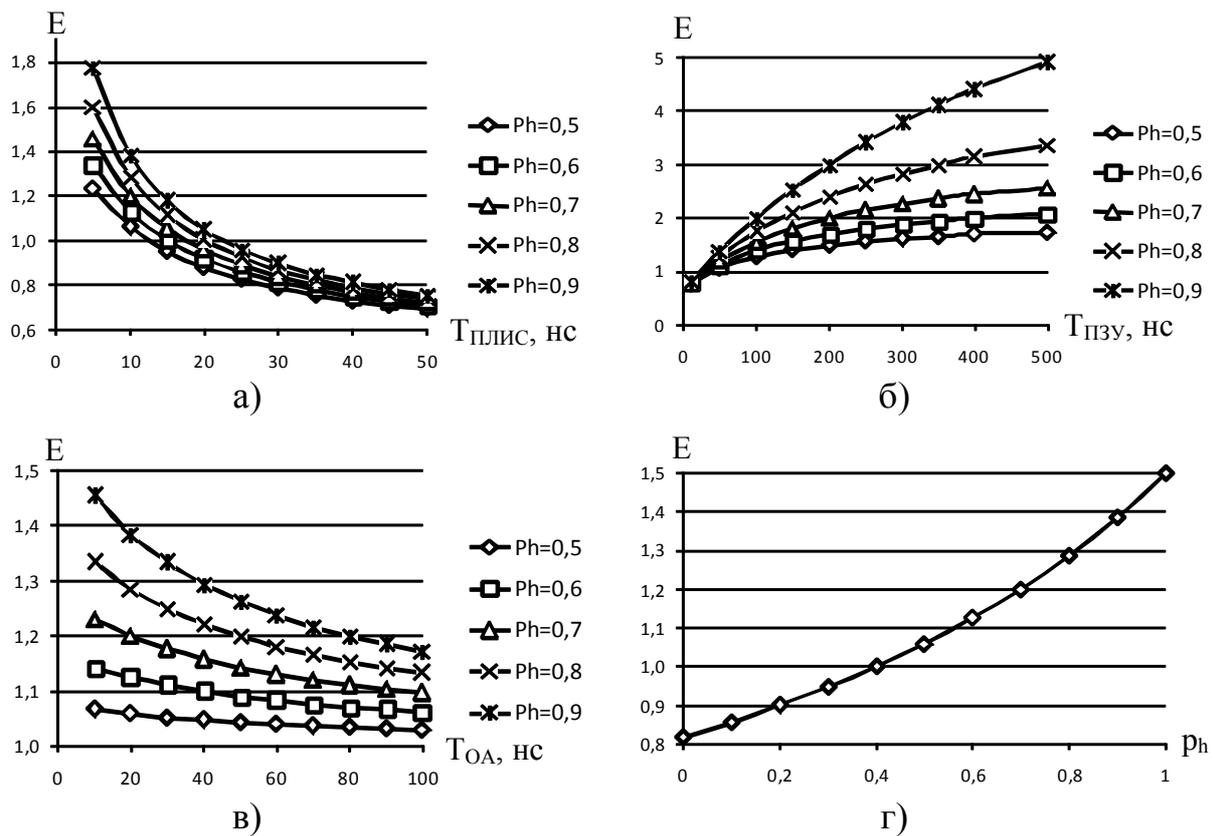


Рис. 4. Эффективность структур КМУУ с разделением кодов и кэш-памятью микрокоманд

Исследования показали, что значение эффективности для предложенных структур в среднем лежит в диапазоне от 1.1 до 3, что соответствует приросту среднего быстродействия от 10% до 300% в зависимости от характеристик используемого элементного базиса и вероятности кэш-попаданий.

Предложенный в диссертационной работе эвристический алгоритм оптимизации размещения ОЛЦ может быть одинаково применен как для неэлементарных, так и для элементарных ОЛЦ, однако его эффективность для каждого типа ОЛЦ может быть различной и требует исследования. Под эффективностью эвристического алгоритма в диссертации понимается прирост (в процентах) значения вероятности кэш-попаданий p_h заданного алгоритма управления по сравнению со значением вероятности до выполнения эвристического алгоритма (то есть при последовательном, неоптимизированном размещении ОЛЦ). В качестве средства моделирования использована разработанная функциональная программная модель КМУУ с кэш-памятью микрокоманд.

Исследования эффективности эвристического алгоритма, а также предложенных в работе шести стратегий выбора первой ОЛЦ в блоке, для каждой из предложенных в работе структур проведены на примере тестовых ГСА средней сложности (1000 операторных вершин, 100

условных вершин). Результаты исследований позволили сделать следующие выводы:

1. В большинстве случаев эвристический алгоритм *позволяет* добиться прироста величины вероятности кэш-попаданий для заданной ГСА. Примерно в 13% случаев для всех стратегий алгоритма величина p_h оказывалась ниже, чем при неоптимизированном размещении ОЛЦ. Данный факт подчеркивает эвристический характер алгоритма, не гарантирующий получение положительного результата в 100% случаев.

2. В таблице 1 собраны величины средней и максимальной эффективностей эвристического алгоритма, т.е. значения прироста вероятности кэш-попаданий, достигнутые за счет оптимизации размещения микрокоманд.

Таблица 1. Эффективность эвристического алгоритма (%)

Размер кэш-памяти	Неэлементарные ОЛЦ		Элементарные ОЛЦ	
	Средняя	Максимальная	Средняя	Максимальная
1x32	3,038844	8,165900	2,767319	6,647300
1x64	1,514025	3,373400	1,113588	2,752300
1x128	0,291094	1,922900	0,269031	1,032100

Анализ таблицы показывает, что с ростом размера строки кэш-памяти средняя эффективность эвристического алгоритма снижается. Это объясняется тем, что при большом размере строки кэш-памяти «близкие» ОЛЦ оказываются в одном блоке памяти не столько благодаря оптимизации их размещения, сколько благодаря большому размеру блока ПЗУ схемы УП, равного размеру строки кэш-памяти.

Также проведен анализ эффективности предложенных в работе стратегий С1-С6 выбора первой ОЛЦ в блок данных управляющей памяти. В целом, результаты исследований показали, что для каждой стратегии потенциально существуют условия, при которых данная стратегия показывает лучшую эффективность. Можно утверждать, что все шесть предложенных стратегий «подстраховывают» друг друга, обеспечивая положительную эффективность эвристического алгоритма для различных ГСА и размеров строки кэш-памяти.

Использование в структурах КМУУ с разделением кодов модуля кэш-памяти приводит к увеличению аппаратных затрат в схеме устройства, что в ряде случаев может сделать его использование неприемлемым.

По этой причине в работе исследованы затраты аппаратуры в модуле кэш-памяти полностью ассоциативного типа с алгоритмом замещения данных Random. Исследования проведены с использованием разработанной VHDL-модели кэш-памяти для микросхемы 5VLX50FF1153 типа FPGA серии Virtex5 фирмы Xilinx. Результаты выражены в

эквивалентных логических вентилях (Equivalent Gates) и в логических таблицах поиска (Look-Up Tables, LUTs), что сегодня является стандартной единицей измерения для большинства САПР программируемых интегральных схем.

В работе рассмотрены зависимости величины аппаратных затрат от таких параметров модуля кэш-памяти, как разрядность микрокоманды (параметр R), количество строк (параметр N) и слов в строке (параметр S) блока данных. В силу регулярности структуры модуля кэш-памяти зависимости подчеркивают пропорциональный рост аппаратных затрат при увеличении параметров модуля кэш-памяти. По полученным кривым были выведены следующие аппроксимирующие аналитические выражения:

$$F_1(R) = 230 \cdot R + 1594 \text{ [экв. вент.]}; \quad F_2(R) = 10 \cdot R + 161 \text{ [LUTs]};$$

$$F_3(N) = 1330 \cdot N + 1362 \text{ [экв. вент.]}; \quad F_4(N) = 73,5 \cdot N + 67,5 \text{ [LUTs]};$$

$$F_5(S) = 576,2 \cdot S + 1682 \text{ [экв. вент.]}; \quad F_6(S) = 25,5 \cdot S + 169,3 \text{ [LUTs]}.$$

Здесь F_i – функции, характеризующие затраты аппаратуры. Отметим, что в данных экспериментах для неизменяющихся величин были использованы значения $R=20$, $N=4$, $S=8$.

Полученные аналитические выражения могут быть использованы проектировщиками цифровых устройств на базе КМУУ с разделением кодов и кэш-памятью микрокоманд при оценке возможности реализации VHDL-проекта на кристалле ПЛИС. Разработанная VHDL-модель модуля кэш-памяти позволяет без каких-либо модификаций повторить данные исследования при использовании ПЛИС иной серии или производителя.

ВЫВОДЫ

В диссертационной работе дано решение актуальной научной задачи, важной для промышленности средств цифровой автоматики и вычислительной техники, заключающейся в разработке структур и методов оценки эффективности композиционных микропрограммных устройств управления с кэш-памятью, ориентированных на увеличение среднего быстродействия.

В процессе исследований получены следующие научные результаты:

1. Разработаны структуры композиционных микропрограммных устройств управления с разделением кодов, использующие принцип кэширования сигналов и обладающие более высоким быстродействием по сравнению с ранее известными структурами.

2. Разработан эвристический алгоритм оптимизации размещения микрокоманд в адресном пространстве управляющей памяти, позволяющий без каких-либо дополнительных схемотехнических решений увеличить значение вероятности кэш-попаданий, повысив тем самым

эффективность использования модуля кэш-памяти в предложенных структурах КМУУ с кэш-памятью.

3. Построены модели разработанных структур КМУУ с разделением кодов и кэш-памятью микрокоманд, использующие в качестве средства описания язык VHDL.

4. Выполнено исследование разработанных структур и определена область их эффективного применения при построении цифровых вычислительных систем.

Основные результаты диссертационной работы представлены в следующих публикациях:

1. Николаенко Д.В. Организация композиционных микропрограммных устройств управления с разделением кодов и кэш-памятью / Баркалов А.А., Ковалев С.А., Бабаков Р.М., Николаенко Д.В. // Искусственный интеллект. – 2007. – №3. – С. 135-138.

2. Николаенко Д.В. Эвристический алгоритм оптимизации размещения микрокоманд в композиционном микропрограммном устройстве управления с разделением кодов и кэш-памятью / Баркалов А.А., Ковалев С.А., Бабаков Р.М., Николаенко Д.В. // Искусственный интеллект. – 2008. – №1. – С. 20-29.

3. Николаенко Д.В. Метод синтеза композиционного микропрограммного устройства управления с разделением кодов и кэшированием / Баркалов А.А., Ковалев С.А., Бабаков Р.М., Николаенко Д.В. // Искусственный интеллект. – 2008. – №2. – С. 59-64.

4. Николаенко Д.В. Эвристический подход к адресации микрокоманд в композиционных микропрограммных устройствах управления с разделением кодов и кэш-памятью / Баркалов А.А., Ковалев С.А., Бабаков Р.М., Николаенко Д.В. // Наукові праці Донецького національного технічного університету. Серія «Інформатика, кібернетика і обчислювальна техніка» (ІКОТ-2008). Випуск 9 (132) – Донецьк: ДонНТУ. – 2008. – С. 188-194.

5. Николаенко Д.В. Моделирование композиционного микропрограммного устройства управления с разделением кодов и кэш-памятью / Баркалов А.А., Ковалев С.А., Бабаков Р.М., Николаенко Д.В. // Наукові праці Донецького національного технічного університету. Серія «Інформатика, кібернетика і обчислювальна техніка» (ІКОТ-2009). Випуск 10 (153) – Донецьк: ДонНТУ. – 2009. – С. 190-197.

6. Николаенко Д.В. Исследование эффективности эвристического алгоритма оптимизации размещения данных в композиционных микропрограммных устройствах управления с разделением кодов и кэш-памятью микрокоманд / Николаенко Д.В. // Радіоелектронні і комп'ютерні системи. Випуск 5 (46) – Харків: «ХАІ». – 2010. – С. 116-119.

7. Николаенко Д.В. Оптимизация композиционных микропрограммных устройств управления с разделением кодов / Николаенко Д.В. // Матеріали доповідей II Міжнародної науково-практичної конференції молодих учених, аспірантів, студентів «Сучасна інформаційна Україна: інформатика, економіка, філософія», 13-14 мая 2008 г., Донецьк, 2008. Т.1. – С. 262-268.

8. Николаенко Д.В. Моделирование композиционных микропрограммных устройств управления с разделением кодов и кэш-памятью / Бабаков Р.М., Николаенко Д.В. // Матеріали доповідей III Міжнародної науково-практичної конференції молодих учених, аспірантів, студентів «Сучасна інформаційна Україна: інформатика, економіка, філософія», 14-15 мая 2009 року, Донецьк, 2009. Т. 1. – С. 14-17.

9. Николаенко Д.В. Повышение эффективности использования кэш-памяти в композиционных микропрограммных устройствах управления с разделением кодов / Баркалов А.А., Ковалев С.А., Бабаков Р.М., Николаенко Д.В. // Материалы десятого международного научно-практического семинара «Практика и перспективы развития партнерства в сфере высшей школы», 4-7 мая 2009 года, г. Донецьк. В 2-х томах. Т. 1. – Донецьк, ДонНТУ. – С. 190-193.

В работах, написанных в соавторстве, соискателю принадлежат:
[1] – структура КМУУ с разделением кодов и кэш-памятью микрокоманд;
[2] – эвристический алгоритм оптимизации размещения микрокоманд в адресном пространстве управляющей памяти; [3] – метод синтеза КМУУ с разделением кодов и кэш-памятью микрокоманд; [4] – эвристический подход к поиску оптимизированного размещения микрокоманд в управляющей памяти КМУУ с разделением кодов и кэш-памятью микрокоманд; [5] – разработка и исследование модели КМУУ с разделением кодов и кэш-памятью микрокоманд; [7] – аналитические выражения для определения эффективности структуры КМУУ с разделением кодов и кэш-памятью микрокоманд; [8] – общий подход к процессу моделирования КМУУ с разделением кодов и кэш-памятью микрокоманд; [9] – основные этапы эвристического алгоритма оптимизации размещения микрокоманд в управляющей памяти КМУУ с разделением кодов и кэш-памятью микрокоманд.

АНОТАЦІЯ

Николаенко Денис Володимирович. **Розробка й дослідження методів синтезу швидкодіючих мікропрограмних пристроїв керування. - Рукопис.**

Дисертація на здобуття наукового ступеня кандидата технічних наук за фахом 05.13.05 – комп'ютерні системи та компоненти. – ДВНЗ «Донецький національний технічний університет», Донецьк, 2010.

На основі теоретичних і експериментальних досліджень в роботі запропоновані нові структури композиційних мікропрограмних пристроїв керування з поділом кодів. Показано, що для оптимізації швидкодії в схемах пристроїв керування може бути використаний метод кешування сигналів. Метод застосовується для зниження середнього часу доступу до керуючої пам'яті, яка зберігає множину мікрокоманд реалізованого алгоритму керування.

Застосування методу кешування сигналів дозволило розробити нові структури композиційних мікропрограмних пристроїв керування з поділом кодів і кеш-пам'яттю мікрокоманд, що мають більш високу швидкодію у порівнянні з раніше відомими структурами-прототипами. Отримано аналітичні вирази для визначення ефективності розроблених структур при використанні у якості критерію оптимізації середньої швидкодії схеми.

Запропоновано метод підвищення ефективності розроблених структур композиційних мікропрограмних пристроїв керування з поділом кодів, що дозволяє підвищити значення ймовірності кеш-влучень для реалізованого алгоритму керування при обраних параметрах модуля кеш-пам'яті. Даний метод реалізований у вигляді евристичного алгоритму оптимізації розміщення операторних лінійних ланцюгів в адресному просторі керуючої пам'яті.

Для запропонованих структур композиційних мікропрограмних пристроїв керування з поділом кодів і кеш-пам'яттю мікрокоманд розроблені програмні моделі, що використовують як засоби моделювання мова опису апаратури VHDL. Також мовою програмування C++ виконана програмна реалізація евристичного алгоритму оптимізації розміщення операторних лінійних ланцюгів.

Проведено дослідження розроблених структур з метою визначення області їхнього ефективного застосування. Запропоновані в роботі структури композиційних мікропрограмних пристроїв керування з поділом кодів і кеш-пам'яттю мікрокоманд виявляються з погляду швидкодії до 3 разів ефективніше своїх структур-прототипів без кеш-пам'яті.

Також виконане дослідження евристичного алгоритму оптимізації розміщення операторних лінійних ланцюгів, яке показало, що підвищення величини ймовірності кеш-влучень за рахунок оптимізації розміщення операторних лінійних ланцюгів може досягати 8% і вище, що при ймовірності кеш-влучень, близької до одиниці, дає значний приріст середньої швидкодії схеми пристрою керування.

Ключові слова: композиційний мікропрограмний пристрій керування з поділом кодів, кеш-пам'ять, операторні лінійні ланцюги, евристичний алгоритм оптимізації швидкодії, ймовірність кеш-влучень.

АННОТАЦИЯ

Николаенко Денис Владимирович. **Разработка и исследование методов синтеза быстродействующих микропрограммных устройств управления. – Рукопись.**

Диссертация на соискание ученой степени кандидата технических наук по специальности 05.13.05 – компьютерные системы и компоненты. – ГВУЗ «Донецкий национальный технический университет», Донецк, 2010.

На основе теоретических и экспериментальных исследований в работе предложены новые структуры композиционных микропрограммных устройств управления с разделением кодов. Показано, что для оптимизации быстродействия в схемах устройств управления может быть использован метод кэширования сигналов. Метод применяется для снижения среднего времени доступа к блокам структур устройств управления, реализованным в базисе ПЗУ или ППЗУ. В качестве такого блока в исследуемых структурах выступает управляющая память, хранящая множество микрокоманд реализуемого алгоритма управления.

Применение метода кэширования сигналов позволило разработать новые структуры композиционных микропрограммных устройств управления с разделением кодов и кэш-памятью микрокоманд, обладающие более высоким быстродействием по сравнению с ранее известными структурами-прототипами. Получены аналитические выражения для определения эффективности разработанных структур при использовании среднего быстродействия схемы в качестве критерия оптимизации.

Предложен метод повышения эффективности разработанных структур композиционных микропрограммных устройств управления с разделением кодов, позволяющий повысить значение вероятности кэш-попаданий для реализуемого алгоритма управления при выбранных параметрах модуля кэш-памяти. Метод основан на ряде экспериментально полученных правил, носящих эвристический характер, и заключается в поиске оптимизированного размещения операторных линейных цепей в адресном пространстве схемы ПЗУ управляющей памяти, при котором имеет место уменьшение значения вероятности кэш-попаданий. Важной особенностью метода является то, что его применение не требует дополнительных затрат аппаратуры и позволяет получить прирост среднего быстродействия схемы без увеличения ее стоимости.

Предложенный метод реализован в виде эвристического алгоритма оптимизации размещения операторных линейных цепей в адресном пространстве управляющей памяти. Метод учитывает особенности разработанных структур композиционных микропрограммных устройств управления с разделением кодов и кэш-памятью, и не может быть

непосредственно применен к другим структурам устройств управления с кэш-памятью.

Для предложенных структур композиционных микропрограммных устройств управления с разделением кодов и кэш-памятью микрокоманд разработаны программные модели, использующие в качестве средств моделирования язык описания аппаратуры VHDL. VHDL-модели состоят из синтезируемой и моделирующей частей, что позволяет как проверить корректность логической организации структуры, так и выполнить синтез структуры на кристалле ПЛИС с возможностью получения технических характеристик устройства управления, синтезированного по конкретной граф-схеме алгоритма. Также на языке программирования C++ выполнена программная реализация эвристического алгоритма оптимизации размещения операторных линейных цепей.

Проведено исследование разработанных структур с целью определения области их эффективного применения. В основу методики исследований положено использование полученных в работе аналитических выражений для определения средней длительности такта работы предложенных структур. Предложенные в работе структуры композиционных микропрограммных устройств управления с разделением кодов и кэш-памятью микрокоманд оказываются с точки зрения быстродействия до 3 раз эффективнее своих структур-прототипов без кэш-памяти.

Также выполнено исследование эвристического алгоритма оптимизации размещения операторных линейных цепей. Исследование показало, что повышение величины вероятности кэш-попаданий за счет оптимизации размещения операторных линейных цепей может достигать 8% и выше, что при вероятности кэш-попаданий, близкой к единице, дает значительный прирост среднего быстродействия схемы устройства управления.

С помощью разработанной VHDL-модели модуля кэш-памяти получены аналитические зависимости аппаратурных затрат в модуле кэш-памяти от параметров модуля. Данные зависимости могут быть использованы проектировщиками аппаратуры для оценки возможностей использования разработанных структур с кэш-памятью при проектировании вычислительных систем на их базе.

Ключевые слова: композиционное микропрограммное устройство управления с разделением кодов, кэш-память, операторные линейные цепи, эвристический алгоритм оптимизации быстродействия, вероятность кэш-попаданий.

ABSTRACT

Nikolaenko Denis Vladimirovich. **Development and research of methods of synthesis of high-speed microprogram control units. – Manuscript.**

The dissertation on competition of a scientific degree of Candidate of Technical sciences on a speciality 05.13.05 – computer systems and components. – State high education institution «Donetsk National Technical University», Donetsk, 2008.

On the basis of theoretical and experimental researches in dissertation new structures of compositional microprogram control units with codes division are offered. It is shown, that for speed optimization in circuits of control units the method of signals caching can be used. The method is applied to decreasing of average access time to the control memory storing set of microinstructions of realized control algorithm appears.

Application of a method of caching of signals has allowed to develop new structures of compositional microprogram control units with codes division and cache memory of microinstructions, possessing higher speed in comparison with earlier known structures-prototypes. Analytical expressions for definition of efficiency of the developed structures are received at usage of average speed of the circuit as criterion of optimization.

The method of increasing of efficiency of developed structures of compositional microprogram control units with codes division is offered, allowing to increase value of probability of caches-hits for the realized control algorithm with chosen parameters of cache memory unit. The offered method is realized in the form of heuristic algorithm of optimization of allocation of operator linear chains in control memory address space.

The program models using as similars the hardware description language VHDL are developed for the offered structures of compositional microprogram control units with codes division and cache memory of microinstructions. Also program implementation of heuristic algorithm of optimization of allocation of operator linear chains builded in programming language C ++ is fulfilled.

Research of the developed structures for the purpose of definition of area of their effective application is carried out. The structures of compositional microprogram control units offered in operation with codes division and cache memory of microinstructions appear from the point of view of speed to 3 times more effectively the structures-prototypes without cache memory.

Also research of heuristic algorithm of optimization of allocation of operator linear chains is fulfilled. Research has shown, that rise of the value of probability of caches-hits at the expense of optimization of allocation of operator linear chains can reach 8% and above, that at the probability of caches-

hits close to one, gives considerable increase of average speed of the circuit of the control unit.

Keywords: compositional microprogram control unit with codes division, cache memory, operator linear chains, heuristic algorithm of optimization of speed, probability of caches-hits.