

FPGA– И HDL–ТЕХНОЛОГИИ И ПРОЕКТИРОВАНИЕ ДИАГНОСТИЧЕСКОГО ОБЕСПЕЧЕНИЯ НА ИХ ОСНОВЕ

**Зинченко Ю., Тарасенко А., Маркитантов В., Прокопченко В., Мирошников А.,
Рытов А.**

Донецкий государственный технический университет

Последнее десятилетие XX века и начало XXI характеризуются стремительным развитием FPGA– и HDL–технологий проектирования вычислительной техники (ВТ), основанных на использовании БИС с перестраиваемой архитектурой типа FPGA и CPLD [1-7] и языков программирования аппаратуры, таких как VHDL и VERILOG [8-12]. Развиваются также подходы и технологии диагностирования ВТ. Значительным событием в этой области была разработка стандарта IEEE 1149.01 «BOUNDARY SCAN» на контролепригодное проектирование дискретных устройств (ДУ) на основе БИС, в том числе FPGA и CPLD, разработанного объединенной группой по тестам – JTAG [13-14]. Благодаря новым технологиям появилась уникальная возможность создания больших проектов непосредственно на АРМ на базе персонального компьютера, что особенно важно для Украины, имеющей, с одной стороны, гигантский парк морально и физически устаревшей техники, и, с другой стороны, испытывающей известные проблемы в радиоэлектронной промышленности. В этой связи возникают актуальные задачи проведения научных исследований и подготовки инженеров по новым hardware–технологиям.

Мировые производители ПЛИС (*XILINX, ALTERA, ATМЕЛ, АСТЕЛ* и др.) и компании, занимающиеся разработкой САПР на их основе (*ALDEC, SYNOPSIS* и др.) проводят активную кампанию по распространению своей продукции в СНГ и, в частности, на Украине, уделяя значительное внимание сфере образования. Фирма *ALDEC* при координации *НТУУ–КПИ* внедряет свои программные разработки в ВУЗах Украины, в том числе и в *ДонГТУ* [27].

В данной работе анализируется современное состояние FPGA- и HDL-технологий. Освещается опыт внедрения описанных технологий на кафедре ЭВМ *ДонГТУ* в учебный процесс и научные исследования [15,16].

Как одна из областей применения новых технологий предлагается разработка диагностического обеспечения ДУ, чему в работе уделяется особое внимание. Рассматривается методология решения диагностических задач, разработанная на кафедре ЭВМ *ДонГТУ* [17-19], позволяющая решать разнородные задачи детерминированного и случайного (псевдослучайного) тестирования ДУ единым подходом, основанным на использовании специально разработанной диагностической модели (Т-модель). Рассматривается структура экспериментальной подсистемы генерации и анализа тестов на базе САПР *ACTIVE-HDL* фирмы *ALDEC Inc*, США [10].

Особенности HDL- и FPGA-технологий

В настоящее время среди широкого круга критериев классификации hardware-технологий определяющими являются

- способ представления (ввода, описания) проекта и
- способ выполнения (изготовления) проекта.

По способу представления различают схематический и языковый способы. Первый основан на вводе проекта в виде схемы, второй - на представлении проекта на специальном языке описания (программирования) аппаратуры – HDL (Hardware Description Language), среди которых в последнее время наибольшую популярность получили VHDL и VERILOG [8-12].

Сравнительный анализ этих способов, приведенный в таблице 1, показывает неоспоримое преимущество языкового способа практически по всем параметрам, что особенно ярко проявляется для больших проектов.

Таблица 1 – Сравнительный анализ способов ввода проекта

Параметры	Схематический способ	HDL-способ
● Форма представления	графическая	текстовая и графическая
● Способ синтеза	ручной	автоматический
● Технологическая зависимость	высокая	не зависит
● Модификация проекта	медленная	быстрая
● объем проекта	небольшой	неограниченный
● Зависимость от средств проектирования	Высокая	не зависит

По способу выполнения ВУ различают следующие основные способы:

- ASIC (*Applications Specific Integrated Circuit*) -- проектирование ВУ на основе специализированных БИС;
- FPGA (*Field Programmable Gate Array*) - проектирование ВУ на основе БИС с программируемой (перестраиваемой) структурой.

На рис. 1 схематично показаны структуры специализированной и программируемой (FPGA) БИС:

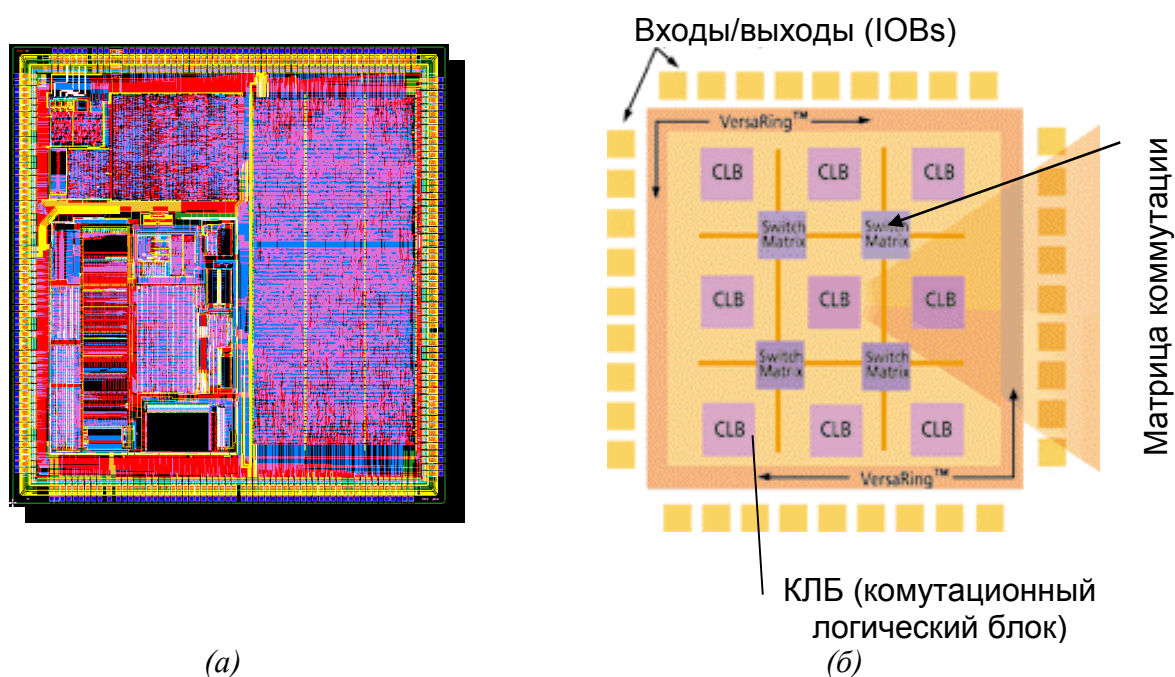


Рисунок 1 – БИС, выполненные по ASIC- (а) и FPGA- технологиям (б)
(с разрешения ALDEC Inc.)

Процесс проектирования на основе совместного использования HDL-, ASIC- и FPGA-технологий показан на рис. 2. В таблице 2 дается сравнительная характеристика указанных способов.

Таблица 2 – Сравнительный анализ ASIC- FPGA-технологий

Параметр (характеристика)	ASIC	FPGA
---------------------------	------	------

● Стоимость запуска производства БИС	От 100 000\$	Производство не требуется
● Емкость БИС	до 40 млн. вентиляей	свыше 4 млн. вентиляей
● Производственный процесс	Требуется	не требуется – программируется за секунды
● Эффективность	для больших партий	для малых партий
● Среда разработки	UNIX	WINDOWS, LINUX на PC

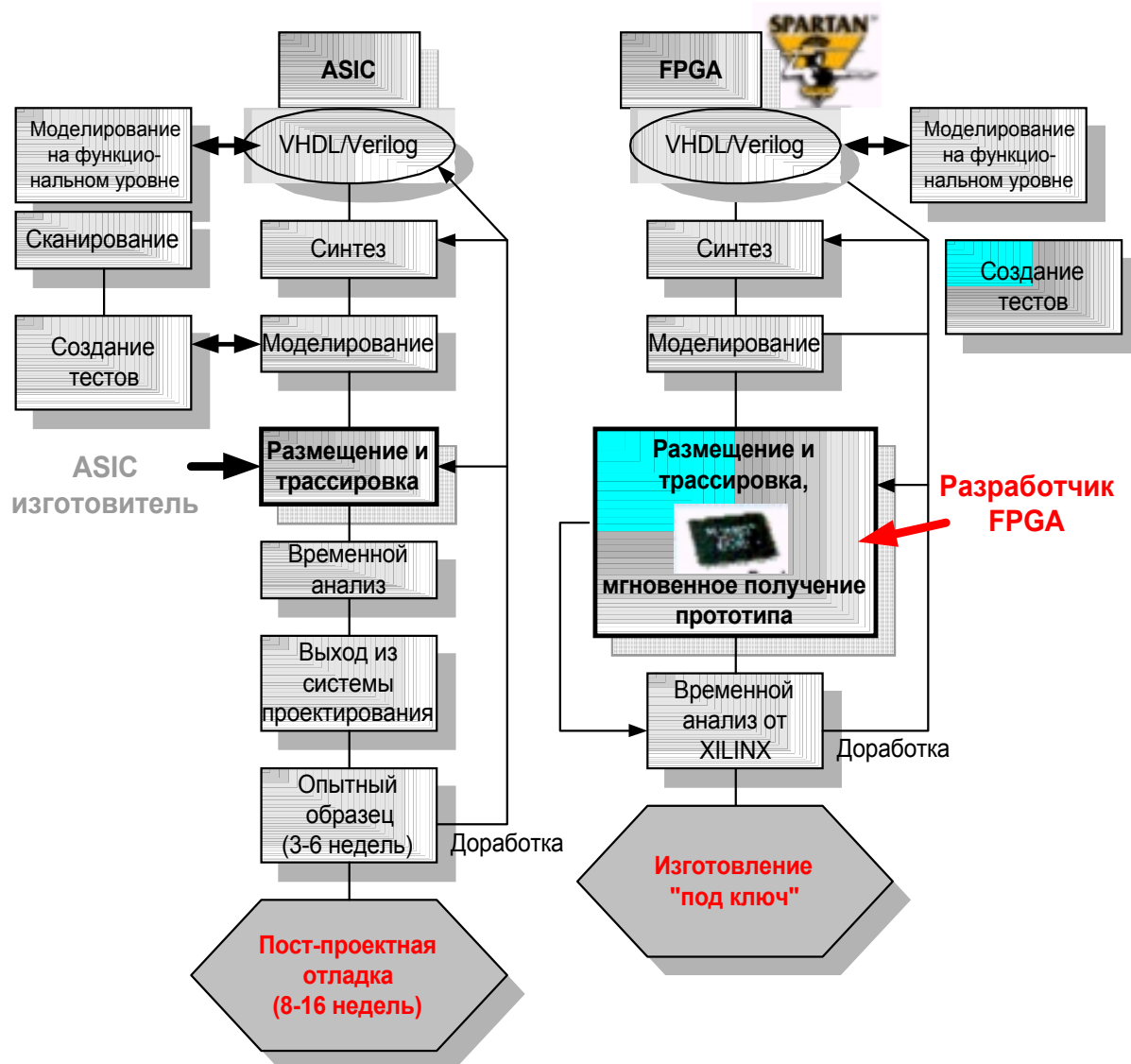


Рисунок 2 – Процесс проектирования БИС на базе ASIC- и FPGA-технологий (с разрешения ALDEC Inc.)

Еще одним важным отличительным свойством FPGA-технологии по сравнению с ASIC, кроме тех, что приведены в таблице 2, является возможность решения различных задач путем аппаратного моделирования решаемой задачи на специально разработанном для этой задачи сопроцессоре. С экономической точки зрения это рационально только на FPGA, обеспечивающих возможность многократного перепрограммирования сопроцессора. Такой способ аппаратного моделирования получил название HES-технологии [20] (рис.3).

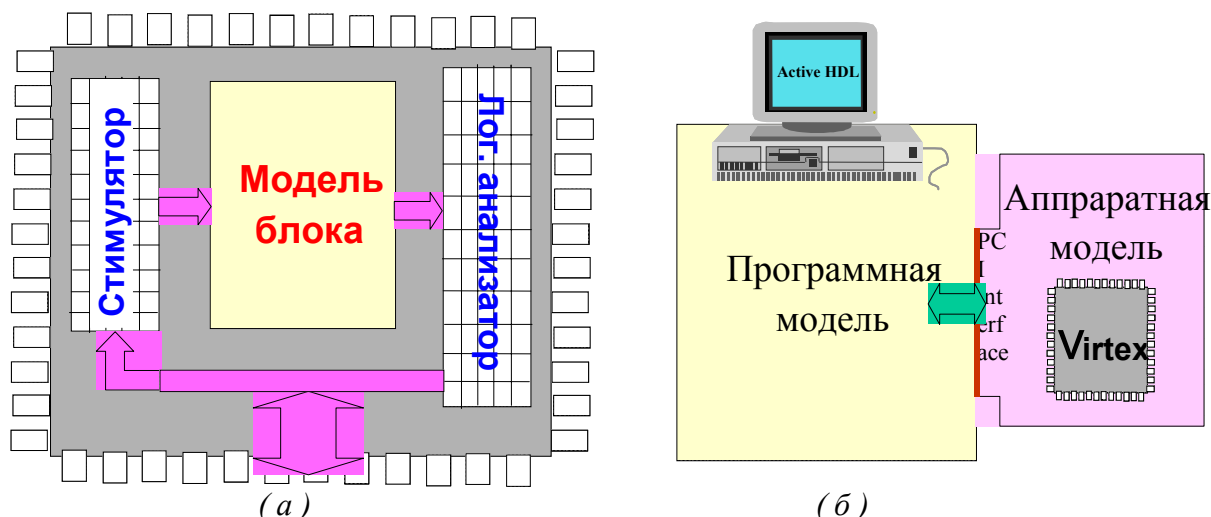


Рисунок 3 – HES – технология аппаратного моделирования задач (а)

и ее реализация в САПР ACTIVE-HDL на базе FPGA типа Virtex (б)

(с разрешения ALDEC Inc.)

Таким образом, сравнительный анализ основных технологий проектирования ВУ позволяет сделать выбор в пользу сочетания HDL- и FPGA-технологий. Используемые совместно они характеризуются следующими положительными особенностями [1-5, 20]:

- Сочетание схемного, автоматного и языкового способов ввода проекта.
- Моделирование и отладка (*TESTBENCH*) на всех этапах проектирования.
- Поддержка *IEEE*-стандартов на *VHDL* (1076-87/93) и *VERILOG*(1364-95).
- Автоматический синтез *FPGA*- и *CPLD*-устройств.
- *In System Programmable* – автоматическое реконфигурирование и периферийное сканирование по архитектуре *BOUNDARY-SCAN* (*IEEE std 1149.1*); неограниченное число циклов переконфигурирований.
- Возможность построения сложной вычислительной системы (ВС) на одном кристалле.
- Проектирование и изготовление ВС на персональном компьютере.
- Параметры *FPGA*:
 - объем – до **4 млн.** вентиляей;
 - системная частота – до **250 МГц**;
 - технологические нормы – до **0,18 мкм** на **6 уровнях** металла;
 - задержка сигнала – **0.5 нс/вентиль**;
 - время выполнения арифметических операций (в т.ч. операций умножения) – до **6 нс**;
 - число поддерживаемых стандартов ввода/вывода (*SelectIO*) – до **16**;
 - стоимость – **0,05 цент/вентиль**.

Внедрение HDL-FPGA-технологий в ДонГТУ

В настоящее время указанные технологии внедряются в учебный процесс кафедры ЭВМ ДонГТУ по специальности 7.091501 "Компьютерные системы и сети" по 4-м дисциплинам, начиная с 3-го и заканчивая 5-м курсом обучения. Эти дисциплины, а также дипломное проектирование и НИРС охватывают следующие основные направления [15]:

- Основы VHDL и программирование аппаратуры на его основе;
- FPGA и CPLD и проектирование вычислительных устройств на их основе;
- Тестовое диагностирование ВУ и *TestBench*-генераторы;
- Контролепригодное проектирование ВУ;
- Архитектура *BOUNDARY SCAN* (стандарт *IEEE 1149.1*) и тестирование FPGA;
- Нейронные сети и их проектирование на FPGA.

Выполнение лабораторных работ в среде полнофункциональной САПР *ACTIVE-HDL* с применением *SYNOPTIS EXPRESS* последних версий позволяет прививать практические инженерные навыки на всех этапах проектирования:

- ввод проекта (схематический, автоматный, языковой, смешанный),
- моделирование, отладка (*TestBench*) и
- FPGA-синтез.

Традиционное обучение по указанным дисциплинам сопровождается в ДонГТУ следующими разработками для учебного процесса.

- **Методические *on-line* системы** дисциплин – интегрированное методическое обеспечение в *HTML*-формате, разрабатываемое для каждой дисциплины и включающее кроме традиционного материала (вариантов задания, порядка выполнения работы и т.д.) также конспект лекций, VHDL-справочник и *on-line* документацию по работе с *ACTIVE-HDL*.
- **Система VHDL-тестирования (*Delphi*)** – программное обеспечение, разрабатываемое для тестирования знаний по VHDL по принципу «выбор из вариантов, «точный ответ», а также на основе автоматического анализа VHDL-программы, написанной студентом в оболочке данной системы, путем организации специального удаленного доступа к *ACTIVE-HDL*. Система может использоваться автономно и встраивается в *методические*

on-line системы дисциплин для автоматизации контроля знаний по лабораторным работам. Разрабатывается *Internet*-вариант системы (*Perl*, *MySQL*, *HTML*).

- **Обучающая VHDL-система (*Delphi*)** - программное обеспечение, разрабатываемое для самостоятельного обучения студентов по VHDL, что особенно важно для студентов заочной формы обучения. Включение в ее состав подсистемы VHDL-тестирования позволяет также автоматизировать процесс контроля знаний студентов.

Научные исследования и проектирование по рассматриваемым технологиям охватывают, прежде всего, следующие разработки:

- Разработка диагностической модели (**Т-модель**) ДУ на логическом и функциональном уровнях, и способов решения диагностических задач (синтез и анализ тестов) на ее основе[17].
- Разработка в составе ACTIVE-HDL программного обеспечения (*C++*, *VHDL*) экспериментальной подсистемы синтеза и анализа тестов ДУ на базе Т-модели.

Проектирование диагностического обеспечения на основе HDL- и FPGA-- технологий

К началу 80-х годов несостоятельность классического подхода проектирования вычислительной техники (ВТ), когда диагностическое обеспечение (ДО) разрабатывается на последних этапах, уже ни у кого не вызывала сомнений. Как результат разрешения конфликта родилось новое направление – контролепригодное проектирование (*design for testability*) [21–23]. Развитие этого направления привело к появлению стандарта *IEEE Std. 1149.1 (Boundary-Scan)*, разработанного объединенной группой по тестам – *JTAG*, который периодически обновляется [13-14]. Однако, несмотря на полученные вслед за эти важные результаты, по-прежнему остается доминирующим традиционный подход тестового диагностирования (ТД), состоящего в применении для каждой из его задач индивидуального подхода, начиная от идеи и заканчивая технической реализацией. Это приводит к высокой трудоемкости и стоимости ДО. В то же время общая природа задач ТД создает почву для унифицированного подхода. Стремительное развитие новейших HDL– и FPGA–технологий и САПР на их основе создают почву для разработки такого подхода на их основе.

В данном разделе описывается подход проектирования диагностического обеспечения дискретного устройства на основе совместного использования HDL- и FPGA-технологий по методологии, принципы которой представлены в [17].

Основой предлагаемого подхода является так называемая Т-модель объекта диагностики (ОД).

В общем случае ОД дискретного типа со множеством входов $X=\{x_i\}$, $i=1,\dots,n$, выходов

$Y=\{y_j\}$, $j=1,\dots,m$, множеством моделируемых неисправностей $H=\{h_k\}$, $k=1,\dots,p$ и его Т-модель можно представить обобщенными структурами:

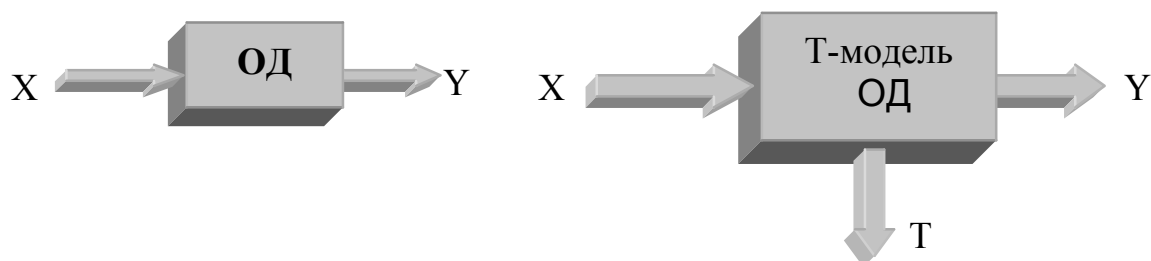


Рисунок 4 – Дискретный ОД и его Т-модель

Особенностью Т-модели является наличие специальных выходов $T=\{T_k\}$, называемых выходами тестируемости неисправностей ОД. Выход T_k выражает условие обнаружения неисправности h_k входной тестовой последовательностью на выходах Y и может быть описан функцией тестируемости неисправности $T(h_k)$, которая в общем случае определяется над входами и внутренним состоянием ОД.

Если в качестве ОД выступает комбинационная логическая схема (КЛС), то функция $T(h_k)$ для неисправности h_k константного типа (КН), $h_k \in (\equiv 0, \equiv 1)$, может быть представлена логическим произведением функций управляемости неисправности h_k и наблюдаемости КТ, в которой моделируется h_k [14, 23-25].

Так как число всевозможных КН пропорционально кубу вентилей ОД [14, 23], а схема, реализующая функцию тестируемости для отдельных неисправностей, может быть соизмеримой по сложности с самим ОД, то тривиальная реализация Т-модели по указанным функциям оказывается проблематичной. При этом реализация функции управляемости не представляет затруднений – это прямой либо инверсный выход структурного элемента ОД, реализующего функцию f_k ; проблематичной оказывается реализация функций наблюдаемости как по сложности так и по точности [14, 23-26].

Этот недостаток преодолевается в данной работе специальным представлением функций наблюдаемости в виде суперпозиций так называемых локальных функций тестируемости (ЛФТ). Логико-топологический анализ ДУ с учетом связности (эквивалентности, доминирования, подчиненности и совмещаемости) неисправностей позволяет минимизировать необходимое число ЛФН, что в конечном итоге существенно упрощает реализацию функций наблюдаемости КТ ОД.

Построение Т-модели для последовательной схемы (ПС) выполняется на основе модели Хаффмана.

Как известно, модель Хаффмана любое ДУ представляет композицией КЛС и элементов задержки (ЭЗ), включенных в обратную связь КЛС [14,23]. Логически разорвав обратные связи:

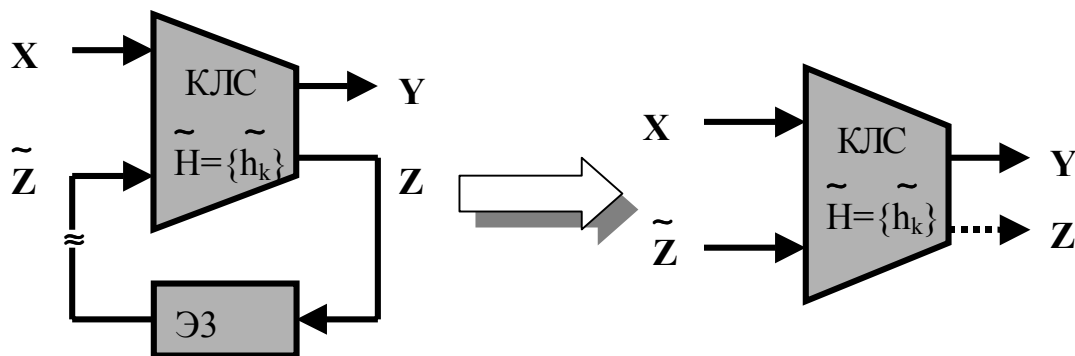


Рисунок 5 – Преобразование ПС по модели Хаффмана

и пренебрегая неисправностями ЭЗ, тестирование исходной ПС в результате такого преобразования сводится к тестированию его КЛС с множеством неисправностей $\tilde{H} = \{\tilde{h}_k\}$. Отсюда следует, что Т-модель ПС может быть построена как Т-модель его комбинационной части.

Принцип решения диагностических задач на базе Т-модели отображается структурной схемой, представленной на рис. 6. Такая схема кроме собственно Т-модели включает в свой состав Т-оболочку, функции и схема которой определяется типом решаемой задачи. Используемый же в структуре генератор случайных либо псевдослучайных тестов (ГСТ) используется для возбуждения функций тестируемости по случайному (псевдослучайному) закону.

В дальнейшем, говоря о случайном тесте либо генераторе, условимся иметь ввиду также и псевдослучайные их разновидности.

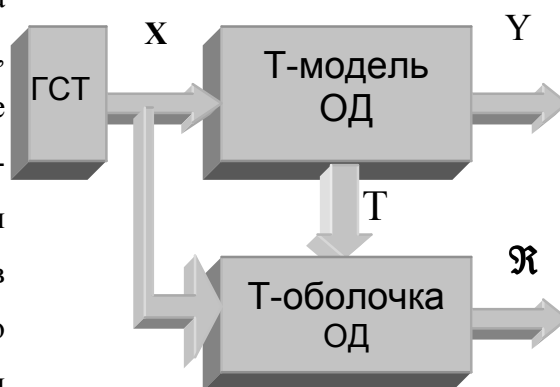
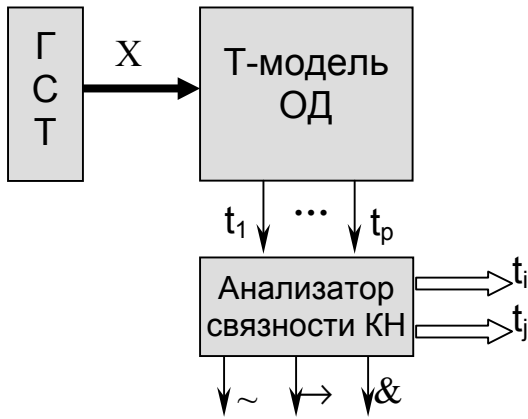
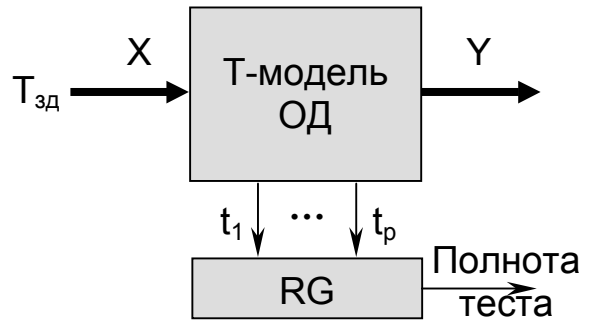


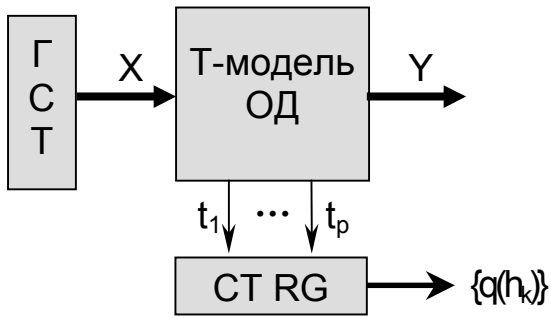
Рисунок 6 - Принцип решения диагностических задач на базе Т-модели



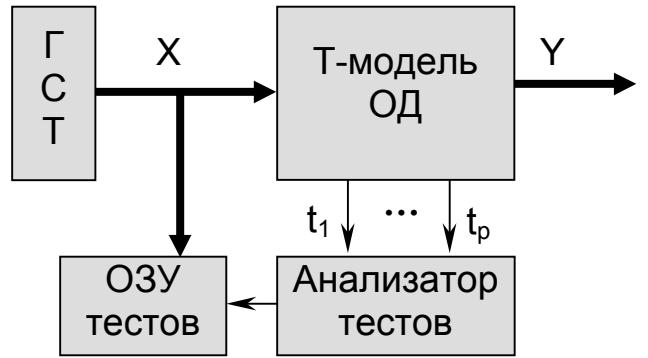
(а)



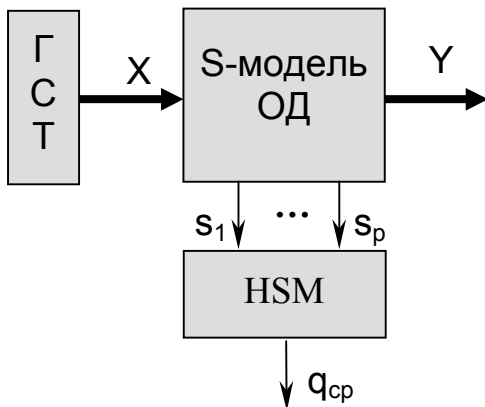
(б)



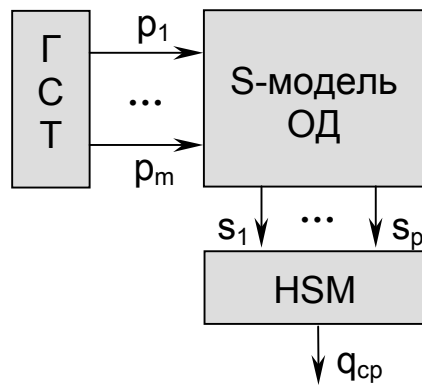
(в)



(г)



(д)



(е)

Рисунок 7 - Способы решения диагностических задач

Работу приведенной структуры можно описать следующим образом. Под воздействием теста на выходах тестируемости $\{T(h_k)\}$ появляется тестовая реакция, так что если в некоторый момент времени t на входах ОД генератор тестов выставляет тест неисправности h_k , то соответствующий выход тестируемости взводится в лог.“1”; в противном случае на этом выходе лог. “0”. Тестовая реакция поступает на Т-оболочку, специфическую для каждой задачи, которая на своем выходе \mathfrak{X} выставляет результат решения задачи.

Спектр задач, которые могут быть решены представленным подходом, может быть достаточно широк. Авторами данной работы предлагаются способы решения следующих диагностических задач [17-19].

- *Определение связности КН.* Схема моделирования для решения этой задачи приведена на рис. 7,а.
- *Моделирование КН и анализ полноты теста* (см. рис. 7,б).
- *Определение вероятностных показателей тестируемости КН и труднотестируемой КН* (см. рис. 7,в).
- *Синтез детерминированного теста для отдельной КН и ОД в целом* (см. рис.7,г).
- *Определение среднестатистической КН* (см. рис. 7,д).
- *Оптимизация случайного и псевдослучайного теста* (см. рис. 7,е).

Перечисленные задачи могут решаться путем программного и/или аппаратного моделирования. Последний вариант предполагает построение специального тест-сопроцессора по HES-технологии [20], которая описывалась выше. Процесс построения такого сопроцессора на основе FPGA в альянсе САПР *ACTIVE-HDL*, *SYNOPTIS EXPRESS* и *XILINX FOUNDATION*, представлен на рис. 8. Экспериментальные исследования, выполненные в системе *ACTIVE-HDL*, фирмы *ALDEC, Inc*, [10] с использованием языка описания аппаратуры VHDL, подтвердили следующие особенности предложенной методологии тестового диагностирования ДУ, выгодно отличающие ее от аналогов:

- моделирование неисправных состояний ДУ за один проход;
- параллельное моделирование неисправностей;
- возможность иерархического построения диагностических моделей ДУ;
- возможность аппаратного подхода для решения диагностических задач;
- решение разнородных задач единым подходом на основе программного и/или аппаратного моделирования.

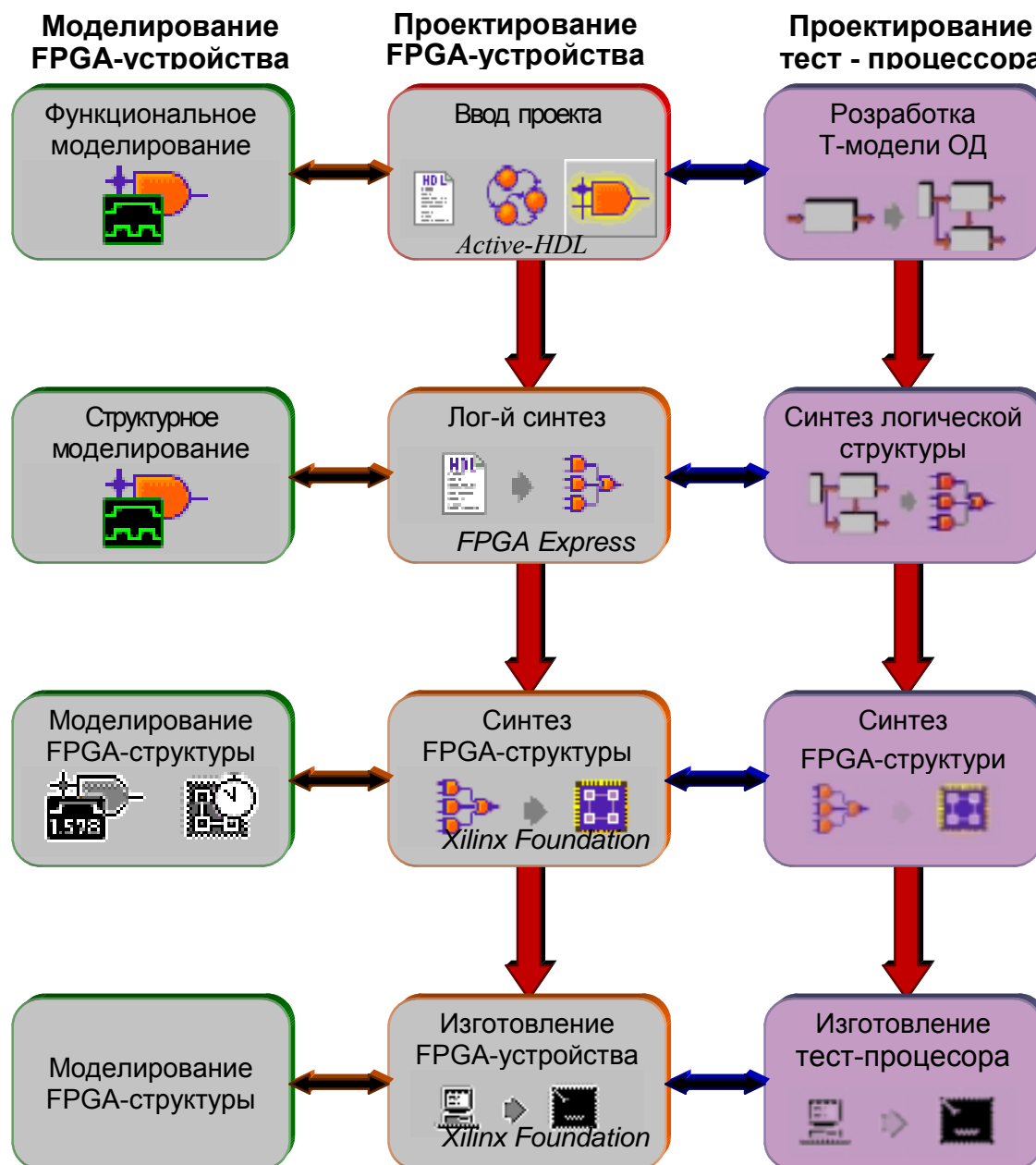


Рисунок 8 – Проектирование тест-процессора на базе HDL- и FPGA-технологий

В целом можно утверждать, что предложенный подход решения диагностических задач характеризуется высоким быстродействием, низкой трудоемкостью и высокой степенью автоматизации за счет единого подхода решения разнообразных диагностических задач, а также возможностью аппаратной реализации. Наибольшая эффективность данного подхода обеспечивается в случае реализации рассмотренных моделирующих схем в виде тест-процессора, выполняемого на базе FPGA, что обеспечивает параллельное аппаратное моделирование всех КН ОД. В настоящее время на кафедре ЭВМ ДонГТУ на базе VHDL и C++ в среде САПР *ACTIVE-HDL* ведется разработка экспериментальной подсистемы генерации и анализа тестов, реализующей представленный подход проектирования ДО.

Литература

1. Программируемые логические ИМС на К-МОП структурах и их применение /П.П. Мальцев, Н.И. Гарбузов, А.П. и др. – М.: Энергоатомиздат, 1998.– 160 с.
2. The Programmable Logic Data Book // San Jose, California, US: XILINX (www.xilinx.com).
3. Программируемые логические интегральные схемы фирмы XILINX. Spartan-II. Каталог продукции. // М.; ЗАО “Scan” 2000г. 63с.
4. Программируемые логические интегральные схемы фирмы XILINX. Серия FAST FLASH CPLD. // М.; ЗАО “Scan” 2000г 80с.
5. Программируемые логические интегральные схемы фирмы XILINX. Серия VIRTEX. // М.; ЗАО “Scan” 2000г 47с.
6. Логические ядра и инструментальные модели на ПЛИС XILINX. Каталог продукции. // М.; ЗАО “Scan” 2000г 55с.
7. Стешенко ПЛИС фирмы ALTERA : проектирование устройств обработки // М. ДОДЭКА 2000г. - 126с.
8. Peter J.Ashenden. The designer’s Guide to VHDL / San Francisco California, US 1995г. 688с.
9. Bhasker J. A VHDL Synthesis Primer. Second Edition. // Star Galaxy Publishing, PA 18103 1996г. 296 с.
10. ACTIVE-HDL Серия. Книги 1–4. США, Невада: ALDEC, Май 1999 (www.aldec.com.ua).
11. Бибило П.Н. Основы языка VHDL. - Минск: Ин-т техн. кибернетики НАН Беларуси, 1999.- 202с.
12. VHDL - язык описания аппаратных средств: Учеб. пособие / А.С. Яицков; Под. ред. акад. В.С. Бурцева, акад. Б.С. Митина. М. : Изд-во МАТИ-РГТУ "ЛАТМЭС", 1998- 119с.
13. Test access Port and Boundary-Scan Architecture //IEEE Standart 1149.1 – 1990 (Includes IEEE Standart 1149.1a – 1993).
14. Abramovici M. Digital System Testing & Design. – IEEE, 1998. – 570 p.
15. Зинченко Ю., Дяченко О., Маркитантов В. и др.. Новые hardware-технологии в ДонГТУ / Материалы междунар. научн.-техн. конф. «Новые информационные технологии в САПР и АСУ». – Киев. –2001.- Киев: Украинский дом экономических и научн.-техн. знаний. – 2001. С 12 – 19.
16. Zinchenko Y. E. computer-aided design and hardware description languages / Сборник трудов Донецкого государственного технического университета. Серия: Проблемы моделирования и автоматизации проектирования динамических систем, выпуск 10. – Донецк: ДонГТУ, 1999.- С. 210-216.
17. Зинченко Ю.Е. Т-модель дискретного устройства и решение диагностических задач на ее основе // Вестник ТРТУ – ДонГТУ. Материалы II Международного семинара «Практика и перспективы институционального партнерства». Донецк, ДонГТУ, 2001, N 1. С 36 - 47.

18. Зинченко Ю.Е., Жилин К.Е., Козинец А.М., Алексеев П.С., Глазков Д.Е. Моделирование диагностических задач в научных исследованиях и учебном процессе/ Международная научно-методическая конф., 1999г., Днепродзержинск: ДГТУ. С 165-166.
19. Зинченко Ю.Е., Жилин К.Е., Алексеев П.С., Глазков Д.Е.. Диагностирование дискретных устройств на основе имитационного моделирования// Сборник научных трудов ХТУРЭ: ХТУРЭ.- 1999г., С 251-253.
20. www.aldec.com
21. Берглунд А.П. Проверка кристаллов, плат и системы в целом методом сквозного сдвигового регистра // Электроника, 1979 – № 1. –С. 35–39.
22. Уильямс Т.У., Паркер К.И. Проектирование контролепригодных устройств //ТИИЭР, 1983. – Т. 71. - № 1. - С. 122 - 139.
23. Williams T.W., Parker K.P. Design for testability //IEEE Trans. Comput., 1982 - №1.– p.2-14.
24. Ярмолик В.Н. Контроль и диагностика цифровых узлов ЭВМ. - Мн.: Наука и техника. 1988, - 240 с.
25. Барашко А.С., Скобцов Ю.А. и др. Моделирование и тестирование дискретных устройств. - Киев: Наук. думка, 1992.- 288с.
26. Тарасенко А.Н. Методы оценки и показатели тестируемости дискретных устройств (обзор) // Зарубежная радиоэлектроника, 1989, № 7. – С. 24-29.
27. www.aldec.com.ua