

*Донецкий национальный технический университет*

*Южный федеральный университет*



---

---

---

## МАТЕРИАЛЫ

**Четырнадцатого международного  
научно-практического семинара**

**«ПРАКТИКА И ПЕРСПЕКТИВЫ  
РАЗВИТИЯ ПАРТНЕРСТВА  
В СФЕРЕ ВЫСШЕЙ ШКОЛЫ»**

ТОМ 2

*15 – 18 апреля 2013 года*

*г.Донецк*



**Донецк - Таганрог**

*Донецкий национальный технический университет*

*Южный федеральный университет*

**«ПРАКТИКА И ПЕРСПЕКТИВЫ  
РАЗВИТИЯ ПАРТНЕРСТВА  
В СФЕРЕ ВЫСШЕЙ ШКОЛЫ»**

**Материалы**

**Четырнадцатого международного научно-практического**

**семинара**

*15 – 18 апреля 2013 года*

*г.Донецк*

**ТОМ 2**

**Донецк – Таганрог 2013**

скольких процессов синтеза позволяет многократно сократить общее время проектирования множества устройств. Разработанная программная система позволяет выполнять проектирование от создания файла-описания исходного алгоритма до получения файла-прошивки для микросхемы ПЛИС за приемлемое время. Полученное устройство при этом характеризуется минимальным показателем необходимых аппаратурных затрат.

**Список литературы:** 1. Зеленёва И.Я. Система автоматизированного проектирования композиционных микропрограммных устройств управления / И.Я. Зеленёва, Л.И. Дорожко, А.Н. Мирошкин // Наукові праці Донецького національного технічного університету. Серія "Проблеми моделювання та автоматизації проектування динамічних систем" (МАП-2007). Випуск: 6 (127). – Донецьк:ДонНТУ, 2007. – С. 54-61. 2. FPGA/CPLD – ПЛИС (Программируемые Логические Интегральные Схемы) / [Электронный ресурс]. Режим доступа: [www.fpga-cpld.ru](http://www.fpga-cpld.ru) 3. AllHDL – VHDL [Электронный ресурс]. Режим доступа: [www.allhdl.ru/vhdl.php](http://www.allhdl.ru/vhdl.php) 4. Extensible Markup Language (XML) [Электронный ресурс]. Режим доступа: [www.w3.org/XML](http://www.w3.org/XML) 5. Wine (Материал из Википедии — свободной энциклопедии) [Электронный ресурс]. Режим доступа: [ru.wikipedia.org/wiki/Wine](http://ru.wikipedia.org/wiki/Wine) 6. ISE WebPACK Design Software [Электронный ресурс]. Режим доступа: [www.xilinx.com/products/design-tools/ise-design-suite/ise-webpack.htm](http://www.xilinx.com/products/design-tools/ise-design-suite/ise-webpack.htm) 7. Quartus II Web Edition Software [Электронный ресурс]. Режим доступа: <https://www.altera.com/download/software/quartus-ii-we> 8. Алгоритм распределения задач по узлам многопроцессорной вычислительной системы по критерию времени их обработки / А.Н. Мирошкин, И.Я. Зеленёва, С.А. Ковалев, П.В. Перкин // Наукові праці Донецького національного технічного університету. Серія "Проблеми моделювання та автоматизації проектування" (МАП-2012). Випуск: 1(10)-2(11). – Донецьк:–ДонНТУ, 2012. – С. 131-136. ISSN 2074-7888.

УДК 004.274

## РАЗДЕЛЕНИЕ СХЕМЫ АДРЕСАЦИИ В КМУУ С ОБЩЕЙ ПАМЯТЬЮ

**Баркалов А.А.<sup>1</sup>, Титаренко Л.А.<sup>1</sup>, Ефименко К.Н.<sup>2</sup>, Зеленева И.Я.<sup>2</sup>**

*Университет Зеленогурский<sup>1</sup>, ДонНТУ<sup>2</sup>, г. Зеленая Гура, г. Донецк, Польша, Украина  
Тел./факс: (+48 68) 328 2693; E-mail: A.Barkalov@iie.uz.zgora.pl*

**Abstract:** *A method for reducing the hardware amount in the circuit of CMCU with common memory is proposed oriented on FPGA technology. The method is based on the use of three sources of codes classes of pseudoequivalent OLC and a multiplexer to choose one of these sources. Such an approach would reduce the number of LUT elements in the addressing circuit of CMCU. An example of the proposed method application is given.*

**Key words:** *CMCU, GSA, OLC, FPGA, logic circuit*

### **Введение**

В случае если алгоритм управления некоторой системы представлен линейной граф-схемой алгоритма (ГСА) [1], для реализации схемы устройства управления (УУ) может быть использована модель композиционного микропрограммного устройства управления (КМУУ) с общей памятью [2,3]. В настоящее время для реализации схем УУ широко используются программируемые логические интегральные схемы (ПЛИС) вида FPGA (field-programmable gate arrays) [4,5]. Основу FPGA представляют макро-ячейки LUT (look-up table), имеющие ограниченное число входов (4-6) [6,7]. Для оптимизации схемы УУ на FPGA необходимо уменьшить количество аргументов и термов в реализуемых системах булевых функций [8].

В настоящей работе предлагается метод решения этой задачи для КМУУ с общей памятью. Метод основан на использовании трех источников кодов классов псевдоэквивалентных операторных линейных цепей (ОЛЦ) и мультиплексора источников кодов (МИК).

Целью исследования является оптимизация схемы КМУУ с общей памятью за счет мультиплексирования источников кодов псевдоэквивалентных ОЛЦ.

Задачей исследования является разработка метода синтеза КМУУ с общей памятью, позволяющего уменьшить число LUT-элементов в комбинационной части КМУУ.

### 1. Композиционное МУУ с общей памятью

Пусть ГСА  $\Gamma = \Gamma(V, E)$  представлена множествами вершин  $V$  и соединяющих их дуг  $E$ . Пусть  $V = b_0 \cup b_E \cup E_1 \cup E_2$ , где  $b_0$  – начальная вершина,  $b_E$  – конечная вершина,  $E_1$  – множество операторных вершин и  $E_2$  – множество условных вершин ГСА  $\Gamma$ . В операторных вершинах  $b_q \in E_1$  записываются наборы микроопераций  $Y(b_q) \subseteq Y$ , где  $Y = \{y_1, \dots, y_N\}$  – множество микроопераций. В условных вершинах  $b_q \in E_2$  записываются элементы множества логических условий  $X = \{x_1, \dots, x_L\}$ .

Введем ряд определений, взятых из [2].

**Определение 1.** Операторной линейной цепью ГСА  $\Gamma$  называется конечная последовательность операторных вершин  $\bar{b}_g = \langle b_{g1}, \dots, b_{gF_g} \rangle$  такая, что для любой пары соседних компонент  $b_{gi}, b_{gi+1}$ , где  $i$  – номер компоненты кортежа  $\bar{b}_g$ , существует дуга  $\langle b_{gi}, b_{gi+1} \rangle \in E$ .

**Определение 2.** Вершина  $b_q \in D^g$ , где  $D^g$  – множество вершин, входящих в ОЛЦ  $\bar{b}_g$ , называется входом ОЛЦ  $\bar{b}_g$ , если существует дуга  $\langle b_t, b_q \rangle \in E$ , где  $b_t \notin D^g$ .

**Определение 3.** Вершина  $b_q \in D^g$ , называется выходом ОЛЦ  $\bar{b}_g$ , если существует дуга  $\langle b_q, b_t \rangle \in E$ , где  $b_t \notin D^g$ .

**Определение 4.** ОЛЦ  $\bar{b}_i, \bar{b}_j$  называются псевдоэквивалентными ОЛЦ, если их выходы связаны со входом одной и той же вершины  $b_q \in V$ .

Пусть для некоторой ГСА  $\Gamma$  сформировано множество ОЛЦ  $S = \{\bar{b}_1, \dots, \bar{b}_G\}$ , определяющее разбиение на множестве  $E_1$  [3], и пусть  $|E_1| = M$ . Поставим в соответствие каждой вершине  $b_q \in E_1$  микрокоманду  $MI_q$  с адресом  $A(b_q)$ , имеющим разрядность

$$R = \lceil \log_2 M \rceil. \quad (1)$$

Используем для адресации микрокоманд переменные  $T_r \in T$ , где  $|T| = R$ . Адресация выполняется таким образом, чтобы выполнялось условие

$$A(b_{gi+1}) = A(b_{gi}) + 1, \quad (2)$$

где  $b_{gi}, b_{gi+1} \in D^g$  и  $\langle b_{gi}, b_{gi+1} \rangle \in E$ .

В этом случае УУ может быть реализовано в виде КМУУ  $U_1$  (рис. 1), называемом КМУУ с общей памятью [2,3]. Принципы функционирования КМУУ  $U_1$  достаточно полно представлены в литературе [1-3].

В КМУУ  $U_1$  схема формирования адреса (СФА) реализует систему функций возбуждения триггеров счетчика СТ, определяемую как

$$\Phi = \Phi(T, X). \quad (3)$$

При этом, как правило, счетчик имеет информационные входы типа D [6,7]. По сигналу Start счетчик СТ устанавливается в ноль, что соответствует адресу первой микрокоманды реализуемого алгоритма. По сигналу  $y_0 = 1$  содержимое СТ увеличивается на единицу, что соответствует режиму (2).

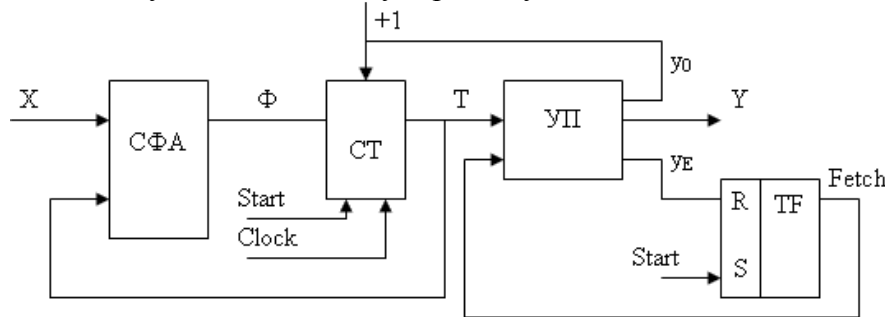


Рис. 1. Структурная схема КМУУ  $U_1$

Управляющая память (УП) хранит наборы микроопераций  $Y(b_q) \subseteq Y$  и переменные  $y_0$  (управление СТ) и  $y_E$  (признак окончания алгоритма).

Триггер считывания TF формирует сигнал Fetch,

разрешающий выборку микрокоманд из УП. При достижении окончания алгоритма формируется переменная  $y_E = 1$ , что приводит к  $\text{Fetch} = 0$  и прекращению выборки из УП.

При использовании FPGA схемы СФА, СТ и TF реализуются на LUT, а схема УП – на встроенных блоках памяти ЕМВ (embedded memory block). Основным недостатком КМУУ  $U_1$  является значительное число термов в системе функций (3). Это приводит к увеличению числа LUT элементов и их уровней в схеме СФА. Для устранения этого недостатка используют оптимальную адресацию микрокоманд, что приводит к КМУУ  $U_2$  [9]. Однако такая адресация не всегда возможна. Уменьшение числа термов в системе (3) гарантируется в КМУУ  $U_3$ , где осуществляется преобразование адресов микрокоманд в коды классов псевдоэквивалентных ОЛЦ [2,3]. Однако это связано с введением в схему КМУУ дополнительного блока преобразователя адресов (БПА), который потребляет некоторые ресурсы кристалла. В настоящей работе предлагается метод синтеза КМУУ, позволяющий уменьшить как число термов в системе (3), так и число LUT элементов в схеме БПА.

## 2. Основная идея предлагаемого метода

Найдем разбиение  $\Pi_C = \{B_1, \dots, B_l\}$  множества ОЛЦ  $C$  на классы псевдоэквивалентных ОЛЦ. Выполним адресацию микрокоманд так, чтобы при выполнении условия (2) максимально возможное число классов  $B_i \in \Pi_C$  выражалось одним интервалом  $R$ -разрядного булева пространства.

Представим разбиение  $\Pi_C$  в виде  $\Pi_C = \Pi_1 \cup \Pi_2$ , где  $\Pi_1 \cap \Pi_2 = \emptyset$ . Пусть  $B_i \in \Pi_1$ , если этот класс представляется более чем одним интервалом пространства кодирования. Остальные классы принадлежат множеству  $\Pi_2$ .

Характерной особенностью блоков ЕМВ является фиксированное число выходов  $t_F \in \{1, 2, 4, 8, 16, 32, 64\}$ . Пусть  $V_0$  означает число ячеек ЕМВ при  $t_F = 1$ . Тогда число ячеек  $V$  при некотором фиксированном значении  $t_F$  можно определить как

$$V = \lceil V_0 / t_F \rceil. \quad (4)$$

Для реализации управляющей памяти КМУУ достаточно  $M$  ячеек ЕМВ. При этом блок будет иметь

$$t_M = \lceil V_0 / M \rceil \quad (5)$$

выходов. Пусть следующее условие выполняется для некоторой ГСА  $\Gamma$  и блоки ЕМВ используемой микросхемы FPGA

$$t_M > N + 3. \quad (6)$$

Закодируем классы  $V_i \in \Pi_1$  двоичными кодами  $K(V_i)$  разрядности

$$R_1 = \lceil \log_2 I_1 \rceil, \quad (7)$$

где  $I_1 = |\Pi_1|$ . Используем для кодирования переменные  $\tau_r \in \tau$ , где  $|\tau| = R_1$ . Пусть  $\Pi_1 \neq \emptyset$ ,  $\Pi_2 \neq \emptyset$  и следующее условие выполняется для ЕМВ одновременно с условием (6):

$$t_M < N + 3 + R_1. \quad (8)$$

Очевидно, что часть разрядов кодов  $K(V_i)$  для классов  $V_i \in \Pi_1$  может быть сформирована схемой УП. Теперь УП формирует  $R_2$  разряда кода  $K(V_i)$ , а БПА –  $R_3$  разряда:

$$R_2 = t_M - (N + 3); \quad (9)$$

$$R_3 = R_1 - R_2. \quad (10)$$

При этом множество  $\tau$  может быть представлено в виде  $\tau = \tau^1 \cup \tau^2$ , где  $|\tau^1| = R_3$ ,  $|\tau^2| = R_2$ . Основываясь на представлениях  $\Pi_C = \Pi_1 \cup \Pi_2$  и  $\tau = \tau^1 \cup \tau^2$ , следующая модель КМУУ  $U_4$  предлагается в данной статье (рис. 2).

КМУУ  $U_4$  функционирует следующим образом. По сигналу Start в СТ заносится нулевой адрес, триггера TF и TM устанавливаются соответственно в 1 (Fetch = 1) и 0 (Ex = 0). Схема СФА<sub>1</sub> служит для задания переходов из классов  $V_i \in \Pi_1$ . При этом  $u_M = 1$ , Ex = 1 и

$$\Phi^1 = \Phi^1(\tau, X^1). \quad (11)$$

Схема СФА<sub>2</sub> служит для задания переходов из классов  $V_i \in \Pi_2$ . При этом  $u_M = Ex = 0$  и

$$\Phi^2 = \Phi^2(T, X^2). \quad (12)$$

Мультиплексор МИК служит для выбора источника функций возбуждения СТ:

$$\Phi = Ex \Phi^1 \vee \bar{Ex} \Phi^2, \quad (13)$$

При этом  $\Phi^1 \cup \Phi^2 = \Phi$ . Очевидно, через МИК передаются только функции  $\tau_r \in \Phi^1 \cap \Phi^2$ .

Блок БПА служит для преобразования адресов выходов ОЛЦ в коды классов  $V_i \in \Pi_1$ . Для такого преобразования служат функции

$$\tau^2 = \tau^2(T). \quad (14)$$

Сравнение блоков УП КМУУ  $U_1$  и  $U_4$  показывает, что они отличаются наличием выхода  $u_M$ . Как уже ясно, этот выход используется для управления триггером TM и, следовательно, мультиплексором МИК. Кроме того, блок УП формирует переменные  $\tau_r \in \tau^1$ .

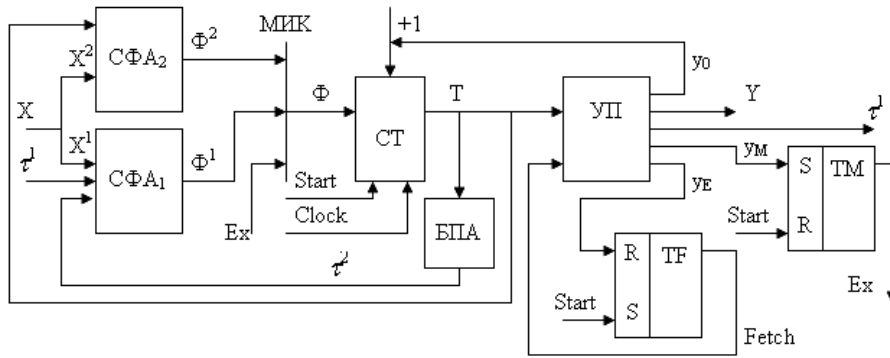


Рис. 2. Структурная схема КМУУ  $U_4$

Такой подход позволяет уменьшить число термов в системе (3) до абсолютно возможного минимума. Кроме того, уменьшается сложность блока БПА по сравнению с КМУУ  $U_3$ . Отметим,

что при  $\Pi_1 = \emptyset$  КМУУ  $U_4$  вырождается в  $U_2$ . При  $\Pi_2 = \emptyset$  КМУУ  $U_4$  превращается в КМУУ  $U_3$ . Недостатком является увеличение числа выходов блока УП. Однако этот блок строится из реконфигурируемых блоков ЕМВ, которые имеют строго определенное число выходов [6,7]. При этом имеется высокая вероятность наличия неиспользованных выходов.

В настоящей работе предлагается метод синтеза КМУУ  $U_4$ , включающий следующие этапы:

1. Формирование множества ОЛЦ  $S$  для ГСА  $\Gamma$ .
2. Формирование разбиения  $\Pi_C$  множества  $S$ .
3. Оптимальная адресация микрокоманд.
4. Кодирование классов  $V_i \in \Pi_1$ .
5. Формирование таблицы переходов для классов  $V_i \in \Pi_1$ .
6. Формирование таблицы переходов для классов  $V_i \in \Pi_2$ .
7. Формирование таблицы блока преобразователя адреса.
8. Формирование таблицы содержимого управляющей памяти.
9. Реализация схемы КМУУ в заданном элементном базисе.

### 3. Пример применения предложенного метода.

Пусть для некоторой ГСА  $\Gamma$  получено множество ОЛЦ  $S = \{b_1, \dots, b_{12}\}$ , где  $b_1 = \langle b_1, \dots, b_4 \rangle$ ,  $b_2 = \langle b_5 \rangle$ ,  $b_3 = \langle b_6, b_7 \rangle$ ,  $b_4 = \langle b_8, b_9, b_{10}, b_{11}, b_{12} \rangle$ ,  $b_5 = \langle b_{13}, b_{14} \rangle$ ,  $b_6 = \langle b_{15}, b_{16} \rangle$ ,  $b_7 = \langle b_{17}, \dots, b_{20} \rangle$ ,  $b_8 = \langle b_{21}, \dots, b_{24} \rangle$ ,  $b_9 = \langle b_{25}, b_{26} \rangle$ ,  $b_{10} = \langle b_{27}, b_{28} \rangle$ ,  $b_{11} = \langle b_{29}, b_{30}, b_{31} \rangle$ ,  $b_{12} = \langle b_{32} \rangle$ . Пусть эти ОЛЦ могут быть разбиты на  $I = 7$  классов, где  $V_1 = \{b_1\}$ ,  $V_2 = \{b_2, b_3\}$ ,  $V_3 = \{b_4\}$ ,  $V_4 = \{b_5, b_6\}$ ,  $V_5 = \{b_7, b_8, b_9\}$ ,  $V_6 = \{b_{10}, b_{11}\}$ ,  $V_7 = \{b_{12}\}$ . Пусть выход ОЛЦ  $b_{12} \in S$  связан с входом вершины  $b_E$ . Как известно, переходы из таких ОЛЦ не рассматриваются, так как их последняя вершина должна включать переменную  $y_E$  [2].

Выполним адресацию микрокоманд так, чтобы выполнялось условие (2) и максимально возможное число классов представлялось одним обобщенным интервалом  $R$ -мерного булева пространства. В рассматриваемом примере  $M = 32$ , то есть  $R = 5$  и  $T = \{T_1, \dots, T_5\}$ . Один из возможных вариантов оптимальной адресации микрокоманд приведен на рис. 3. Этот рисунок содержит *видоизмененную карту Карно*, которая достаточна для получения обобщенных интервалов, соответствующих кодам классов  $V_i \in \Pi_C$ . Символ  $U_4(\Gamma)$  означает, что КМУУ  $U_4$  реализуется по ГСА  $\Gamma$ .

Следующие интервалы могут быть найдены для классов  $V_i \in \Pi_C$ . Класс  $V_1$  соответствует интервалу  $000^{**}$ ; класс  $V_2$  – интервалам  $0010^*$  и  $00110$ ; класс  $V_3$  – интервалам  $010^{**}$  и  $00111$ ; класс  $V_4$  – интервалу  $011^{**}$ ; класс  $V_5$  – интервалам  $10^{***}$  и  $1100^*$ ;

класс  $V_6$  – интервалам 1101\*\*, 1110\* и 11110. Итак, имеем следующие классы для разбиения  $\Pi_C$ :  $\Pi_1 = \{V_2, V_3, V_5, V_6\}$  и  $\Pi_2 = \{V_1, V_4\}$ . Для кодирования классов  $V_i \in \Pi_1$  необходимо  $R_1 = 2$  переменных  $\tau_r \in \{\tau\}$ . Пусть  $K(V_2) = 00$ ,  $K(V_3) = 01$ ,  $K(V_5) = 10$  и  $K(V_6) = 11$ . Коды классов  $V_i \in \Pi_2$  определяются соответствующими обобщенными интервалами:  $K(V_1) = 000^{**}$  и  $K(V_4) = 011^{**}$ .

Пусть в рассматриваемом примере  $R_2 = R_3 = 1$ . Тогда множество  $\tau^1 \in \{\tau_1\}$  и множество  $\tau^2 \in \{\tau_2\}$ .

		$T_1T_2T_3$			$V_2$				
		000	001	010	011	100	101	110	111
$T_4T_5$		$V_1$	$V_3$	$V_4$	$V_5$	$V_6$	$V_7$		
00		b <sub>1</sub>	b <sub>5</sub>	b <sub>9</sub>	b <sub>13</sub>	b <sub>17</sub>	b <sub>21</sub>	b <sub>25</sub>	b <sub>29</sub>
01		b <sub>2</sub>	b <sub>6</sub>	b <sub>10</sub>	b <sub>14</sub>	b <sub>18</sub>	b <sub>22</sub>	b <sub>26</sub>	b <sub>30</sub>
10		b <sub>3</sub>	b <sub>7</sub>	b <sub>11</sub>	b <sub>15</sub>	b <sub>19</sub>	b <sub>23</sub>	b <sub>27</sub>	b <sub>31</sub>
11		b <sub>4</sub>	b <sub>8</sub>	b <sub>12</sub>	b <sub>16</sub>	b <sub>20</sub>	b <sub>24</sub>	b <sub>28</sub>	b <sub>32</sub>

Рис. 3. Адреса микрокоманд КМУУ  $U_4(\Gamma)$

Остальные этапы синтеза выполняются аналогично их выполнению в [9]. Только этап 8 имеет некоторые отличия. Рассмотрим следующий пример.

Пусть в вершине  $b_{31}$  ГСА  $\Gamma$  записан набор микроопераций

$u_{3,7}$ . Из предыдущего материала ясно, что вершина  $b_{31}$  является выходом ОЛЦ  $b_{11}$ , которая входит в класс  $V_6$ . Класс  $V_6$  имеет код  $K(V_6) = 11$ , а вершине  $b_{31}$  соответствует адрес 11110 (рис. 3). Таким образом, в ячейку ЕМВ с адресом 11110 должен быть помещен код набора  $u_{3,7}$  и переменная  $\tau_2$ , а также переменная  $u_M$ .

Итак, переменные  $\tau_r \in \{\tau^1\}$  помещаются в ячейки УП, соответствующие выходам ОЛЦ, входящим в классы  $V_i \in \Pi_1$ . Схема БПА реализуется на LUT элементах. Очевидно, что разбиение множества  $\tau$  на классы  $\tau^1$  и  $\tau^2$  надо производить следующим образом. В класс  $\tau^2$  помещаются переменные  $\tau_r \in \{\tau\}$ , которым соответствуют схемы с наименьшим числом LUT элементов. Такой подход позволяет уменьшить аппаратные затраты в схеме БПА.

Реализация схемы КМУУ  $U_4$  сводится к реализации систем функций (11), (12) и (14) на LUT элементах и УП на ЕМВ. Для решения этой задачи используются стандартные промышленные пакеты [6,7]. Этот этап выходит за пределы нашей статьи.

### Заключение

Предлагаемый в работе метод оптимизации КМУУ основан на мультиплексировании двух источников кодов классов псевдоэквивалентных ОЛЦ. Такой подход позволяет гарантированно уменьшить число термов в системе функций возбуждения триггеров счетчика адресов микрокоманд до максимально возможной величины. Если КМУУ с общей памятью рассматривать как автомат Мура, то предлагаемый подход позволяет уменьшить число термов до величины этого параметра у эквивалентного автомата Мили. Кроме того, уменьшается число LUT элементов в схеме преобразователя адреса, так как не все адреса выходов ОЛЦ подлежат преобразованию.

Недостатком предложенного подхода является введение мультиплексора, который вносит дополнительную задержку в цикл работы КМУУ. Однако уменьшение числа термов ведёт к уменьшению числа уровней в схеме и задержка от введения МИК компенсируется. Проведенные авторами исследования показали, что предложенный метод позволяет до 38% уменьшить число LUT элементов по отношению к исходному КМУУ с общей памятью. При этом время цикла КМУУ  $U_4$  всегда было меньше, чем у КМУУ  $U_1$ . Результаты сравнения КМУУ  $U_2 - U_4$  показали, что каждое из них может



иметь минимальные аппаратные затраты. Это определяется параметрами исходной ГСА. Таким образом, при синтезе КМУУ с общей памятью на FPGA выбор должен производиться между КМУУ  $U_2$ ,  $U_3$  и  $U_4$ .

Научная новизна предложенного метода заключается в использовании особенностей КМУУ (наличие классов псевдоэквивалентных ОЛЦ) для уменьшения числа LUT элементов в схеме КМУУ.

Практическая значимость метода заключается в уменьшении площади кристалла FPGA, занимаемой схемой КМУУ с общей памятью, что позволяет получить схемы, обладающие меньшей стоимостью, чем известные из литературы аналоги.

Дальнейшие направления работы связаны с разработкой метода выбора оптимальной структуры КМУУ с общей памятью при реализации схемы в базе FPGA.

**Список литературы:** 1. Barkalov A., Titarenko L. Logic synthesis for compositional microprogram control units. – Berlin: Springer, 2008. –272 pp. 2. Баркалов А.А., Титаренко Л.А. Синтез микропрограммных автоматов на заказных и программируемых СБИС. – Донецк: УНИТЕХ, 2009.—336 с. 3. Barkalov A., Titarenko L. Logic synthesis for FSM-based control units. – Berlin: Springer, 2009. –233 pp. 4. Maxfield S. The Design Warrior's Guide to FPGAs. – Amsterdam: Elsevier, 2004. – 541 pp. 5. Грушвицкий Р.И., Мурсаев А.Х., Угрюмов Е.П. Проектирование систем на микросхемах с программируемой структурой – С-Пб: БХВ – Петербург, 2006. – 736 с. 6. xilinx.com. 7. altera.com. 8. Baranov S. Logic and System Design of Digital Systems. - Tallinn: TTU, 2008. - 266 pp. 9. Баркалов А.А., Титаренко Л.А., Ефименко К.Н., Липински Я.М. Оптимизация схемы КМУУ с общей памятью // УСиМ. –2011. – №5. – С. 47-52.

## **ВЫЯВЛЕНИЕ ПАРАЛЛЕЛИЗМА ВНУТРИ ЛИНЕЙНЫХ УЧАСТКОВ ПОСЛЕДОВАТЕЛЬНЫХ ПРОГРАММ, СОДЕРЖАЩИХ РЕКУРСИЮ И ВЫЗОВЫ ПОДПРОГРАММ, СО СВЯЗЯМИ ПО УПРАВЛЕНИЮ**

**Борзов Д.Б., Корой В.В.**

*Юго-западный государственный университет*

**Abstract:** *This article contains information about parallelization algorithm for multiprocessors systems of sequential programs.*

**Key words:** *multi-processors systems, parallelization algorithm, sequential programs.*

Со времен появления вычислительных систем важной целью их развития стало ускорение вычислений. Одно из таких решений – система разделения времени. Со временем развития параллельных многопроцессорных архитектур возникла необходимость выполнять последовательные алгоритмы параллельно.

В этой работе предложен метод выявления параллелизма операторов внутри линейных участков последовательных программ включающих рекурсию и вызов функций и допускающих передачу по управлению.

В связи с развитием архитектур параллельных вычислительных систем необходимы компиляторы, приводящие последовательные программы в параллельный вид. Для центральных процессоров многопроцессорных систем требуются не только стандартные компиляторы, выполняющие анализ и генерацию программного кода, но также и компиляторы, способные преобразовывать последовательный код в параллельный[1].

Чтобы эффективно использовать многопроцессорную систему необходима разработка средств распараллеливания, обеспечивающих надлежащую скорость работы[1,2]. Т.к. распараллеливание значительно нагружает хост-процессор, то необходимо исполь-

## СОДЕРЖАНИЕ

<b>Алекперлі Ф.А., Шабанов М.А.</b> МОДЕЛЮВАННЯ ДІНАМІЧНИХ СИСТЕМ УПРАВЛІННЯ	3
<b>Андрієнко Е.В., Занин К.М., Паньчев А.И.</b> МОДЕЛИРОВАНИЕ АНТЕННОЙ СИСТЕМЫ ТОЧКИ ДОСТУПА WLAN	6
<b>Баркалов А.А., Зеленёва И.Я., Мирошкин А.Н., Товстоног А.А.</b> АВТОМАТИЗАЦИЯ ПРОЦЕССА ПРОЕКТИРОВАНИЯ ЦИФРОВЫХ УСТРОЙСТВ УПРАВЛЕНИЯ	10
<b>Баркалов А.А., Титаренко Л.А., Ефименко К.Н., Зеленева И.Я.</b> РАЗДЕЛЕНИЕ СХЕМЫ АДРЕСАЦИИ В КМУУ С ОБЩЕЙ ПАМЯТЬЮ	12
<b>Борзов Д.Б., Корой В.В.</b> ВЫЯВЛЕНИЕ ПАРАЛЛЕЛИЗМА ВНУТРИ ЛИНЕЙНЫХ УЧАСТКОВ ПОСЛЕДОВАТЕЛЬНЫХ ПРОГРАММ, СОДЕРЖАЩИХ РЕКУРСИЮ И ВЫЗОВЫ ПОДПРОГРАММ, СО СВЯЗЯМИ ПО УПРАВЛЕНИЮ	18
<b>Бровкина Д.Ю., Приходько Т.А.</b> РАЗРАБОТКА МОБИЛЬНОГО РОБОТА С ОПТИМАЛЬНОЙ СХЕМОЙ ПИТАНИЯ	20
<b>Волощенко В.Ю.</b> ИМПУЛЬСНЫЙ ПАРАМЕТРИЧЕСКИЙ ИЗЛУЧАТЕЛЬ НА СТОЯЧИХ ВОЛНАХ КОНЕЧНОЙ АМПЛИТУДЫ	24
<b>Геложє Ю.А., Клименко П.П., Максимов А.В.</b> УПРАВЛЕНИЕ ПРОЦЕССАМИ В ФАЗОВОЙ СИСТЕМЕ АВТОПОДСТРОЙКИ ЧАСТОТЫ ЦИФРОВЫХ СИНТЕЗАТОРОВ ЧАСТОТЫ В КРИТИЧЕСКИХ РЕЖИМАХ	26
<b>Гришко Е.Е., Сапронова О.В., Паслєн В.В.</b> МОДЕЛИРОВАНИЕ ШИРОКОПОЛОСНЫХ АНТЕНН С КРУГОВОЙ ПОЛЯРИЗАЦИЕЙ В ПРОГРАММНОМ ПРОДУКТЕ MMANA	29
<b>Гусєва М.Н., Евтушенко В.Ю., Скубилин И.М.</b> ОБРАБОТКА РЕЗУЛЬТАТОВ МОНИТОРИНГА СПОСОБНОСТИ КУРСАНТОВ	31
<b>Долженкова В.В., Кирєєв Д.О., Звягинцева А.В.</b> ПЕРСПЕКТИВЫ ПРОСТРАНСТВЕННОГО АНАЛИЗА В ГИС СИСТЕМАХ ДЛЯ ПРОГНОЗИРОВАНИЯ РИСКА НАВОДНЕНИЙ	36
<b>Дубинская И.В., Паньчев А.И.</b> МОДЕЛИРОВАНИЕ ПРОХОЖДЕНИЯ ЧЕРЕЗ КОНСТРУКЦИИ ЗДАНИЯ СИГНАЛОВ БЕСПРОВОДНОЙ ЛОКАЛЬНОЙ СЕТИ СВЯЗИ	43
<b>Заграй Н.П.</b> СПЕКТРАЛЬНЫЕ КОЭФФИЦИЕНТЫ МОЩНОГО СИГНАЛА В БИОСРЕДЕ С УЧЕТОМ НЕЛИНЕЙНОСТЕЙ ВЫСШИХ ПОРЯДКОВ	47
<b>Захаревич В.Г., Ли В.Г., Комар А.В.</b> МЕТОДИКА ОЦЕНКИ ДЕЯТЕЛЬНОСТИ ЧЕЛОВЕКА-ОПЕРАТОРА РТС В СРЕДЕ ТМС ВИРТУАЛЬНОЙ РЕАЛЬНОСТИ	51
<b>Захарченко А.Д., Бокий И.А.</b> МОДЕЛИРОВАНИЕ РАБОТЫ ПЛОСКИХ РЫЧАЖНЫХ МЕХАНИЗМОВ	58
<b>Касьянов А.О., Билан А.Н.</b> ЭЛЕКТРОДИНАМИЧЕСКАЯ МОДЕЛЬ МИКРОПОЛОСКОВО-ШТЫРЕВОЙ ОТРАЖАТЕЛЬНОЙ АНТЕННОЙ РЕШЕТКИ	62

<b>Кисель Н.Н., Грищенко С.Г., Кардос Д.А.</b> МОДЕЛИРОВАНИЕ И ЧИСЛЕННОЕ ИССЛЕДОВАНИЕ АНТЕННОЙ СИСТЕМЫ БАЗОВОЙ СТАНЦИИ LTE СВЯЗИ	64
<b>Кисель Н.Н., Грищенко С.Г., Мерглодов Д.В.</b> ОПЫТ ИСПОЛЬЗОВАНИЯ ПРОГРАММЫ «WIRELESS INSITE» ДЛЯ МАГИСТЕРСКОЙ ПОДГОТОВКИ ПО НАПРАВЛЕНИЮ "ИНФОКОММУНИКАЦИОННЫЕ ТЕХНОЛОГИИ И СИСТЕМЫ СВЯЗИ"	67
<b>Кисель Н.Н., Грищенко С.Г.</b> ЭЛЕКТРОДИНАМИЧЕСКОЕ МОДЕЛИРОВАНИЕ ВЫСОКОЧАСТОТНЫХ УСТРОЙСТВ НА БАЗЕ НАУЧНО-ОБРАЗОВАТЕЛЬНОГО ЦЕНТРА «ЦЕНТР КОМПЬЮТЕРНОГО МОДЕЛИРОВАНИЯ И ЭЛЕКТРОННЫХ САПР АНТЕНН И УСТРОЙСТВ СВЧ»	70
<b>Клевцова А.Б.</b> МОДЕЛЬ ПРОЦЕССА ФОРМИРОВАНИЯ ТРЕБОВАНИЙ НА ПАРАМЕТРЫ РАЗРАБАТЫВАЕМОГО ТЕХНИЧЕСКОГО ОБЪЕКТА	73
<b>Клевцов С.И.</b> МОДЕЛЬ ОБНАРУЖЕНИЯ НЕШТАТНОЙ СИТУАЦИИ НА ОСНОВЕ МАТРИЧНОГО ПАРАМЕТРИЧЕСКОГО ПРЕДСТАВЛЕНИЯ О КОНТРОЛИРУЕМОМ ОБЪЕКТЕ	76
<b>Клевцов С.И.</b> ОСОБЕННОСТИ ВИЗУАЛЬНОГО ПРОЕКТНОГО МОДЕЛИРОВАНИЯ ПРОЦЕССОВ ОБРАБОТКИ ИНФОРМАЦИИ В РЕАЛЬНОМ ВРЕМЕНИ В СИСТЕМАХ СБОРА И ОБРАБОТКИ ДАННЫХ ДАТЧИКОВ	81
<b>Ковальов С.О., Кравченко О.Г., Цололо С.О., Варавка А.М.</b> СИСТЕМА АНАЛІЗУ ПОТОКІВ ДАНИХ КОРИСТУВАЧІВ ІЗ ЗОВНІШНІХ USB-ПРИСТРОЇВ	85
<b>Корниенко В.Т., Шеверева А.В.</b> ИСПОЛЬЗОВАНИЕ ВИРТУАЛЬНЫХ ПРИБОРОВ LABVIEW ДЛЯ АНАЛИЗА РАБОТЫ ЦИФРОВЫХ СКРЕМБЛЕРОВ	89
<b>Корой В.В.</b> SSD НОСИТЕЛЬ ПОВЫШЕННОЙ ИЗНОСОСТОЙКОСТИ НА ОСНОВЕ ВЫБОРОЧНОЙ БУФФЕРИЗАЦИИ	93
<b>Косенко О.В.</b> АНАЛИЗ МОДЕЛЕЙ ПРОИЗВОДСТВЕННО-ТРАНСПОРТНЫХ ЗАДАЧ	94
<b>Котова М.В., Звягинцева А.В.</b> РАЗРАБОТКА МАТЕМАТИЧЕСКОЙ МОДЕЛИ В ВИЗУАЛЬНОЙ ОБЪЕКТНО-ОРИЕНТИРОВАННОЙ СРЕДЕ ПРОГРАММИРОВАНИЯ DELPHI-7	99
<b>Кравчук Д.А., Немыкина А.В.</b> ПРИМЕНЕНИЕ СЛОЖНЫХ СИГНАЛОВ ПРИ СОЗДАНИИ ГИДРОАКУСТИЧЕСКИХ СИСТЕМ СВЯЗИ ДЛЯ МОНИТОРИНГА МОРСКОГО ШЕЛЬФА	104
<b>Кравчук Д.А.</b> ЭКСПЕРИМЕНТАЛЬНЫЕ ИССЛЕДОВАНИЯ ПО УПРАВЛЕНИЮ ПРОЦЕССОМ МОДОВОГО РАСПРОСТРАНЕНИЯ СИГНАЛА В МЕЛКОМ МОРЕ ДЛЯ СИСТЕМ ДИСТАНЦИОННОГО МОНИТОРИНГА МОРСКОГО ШЕЛЬФА	105
<b>Ледовской М.И.</b> ВИРТУАЛЬНАЯ СЕТЬ ДЛЯ ДЕМОНСТРАЦИИ ТЕХНОЛОГИЙ 1С ПРЕДПРИЯТИЕ	108

<b>Масюков И.И., Борзов Д.Б.</b> ПЕРСПЕКТИВЫ И ВАРИАНТЫ ПРИМЕНЕНИЯ МНОГОПРОЦЕССОРНОЙ ТЕХНИКИ В СОВРЕМЕННОЙ ЖИЗНИ	112
<b>Мионов Д.А., Борзов Д.Б.</b> ВОЗМОЖНОСТИ РАСПАРАЛЛЕЛИВАНИЯ ПРОГРАММ И ПАРАЛЛЕЛЬ- НОЙ КОМПИЛЯЦИИ ДЛЯ МНОГОЯДЕРНЫХ ПРОЦЕССОРОВ	113
<b>Набиев Р.Н., Шукюров С.С.</b> ТРЕНИЕ В СИСТЕМЕ МАГНИТНОЙ ЛЕВИТАЦИИ	114
<b>Оводенко А.В.</b> МОДЕЛИ КОНТРОЛЯ, ДИАГНОСТИКИ И РАБОТЫ МНОГОПРОЦЕС- СОРНОЙ МАЖОРИТАРНОЙ ТОЛЕРАНТНОЙ К ОТКАЗАМ ИЗМЕРИ- ТЕЛЬНО ВЫЧИСЛИТЕЛЬНОЙ СИСТЕМЫ	121
<b>Оводенко А.В., Самойленко А.П.</b> КОНЦЕПЦИИ РАЗВИТИЯ СИНТЕЗА ВСТРОЕННЫХ СИСТЕМ КОНТРО- ЛЯ БЕЗОТКАЗНОЙ РАБОТЫ БОРТОВЫХ РАДИОЭЛЕКТРОННЫХ А.В. КОМПЛЕКСОВ	124
<b>Панычев А.И., Захарова Е.В.</b> СРАВНИТЕЛЬНЫЙ АНАЛИЗ РАСЧЕТОВ ИНТЕНСИВНОСТИ СИГНАЛОВ WLAN ВНУТРИ ПОМЕЩЕНИЯ	129
<b>Панычев А.И., Сербин А.И.</b> МОДЕЛИРОВАНИЕ РАСПРЕДЕЛЕНИЯ СИГНАЛОВ WLAN ВНУТРИ ПОМЕЩЕНИЯ С ЦИЛИНДРИЧЕСКИМ ПРЕПЯТСТВИЕМ	134
<b>Песоченко С.В.</b> МИКРОКОНТРОЛЛЕРНЫЙ ПРИБОР ДЛЯ КОНТРОЛЯ И ПРЕДОТВРА- ЩЕНИЯ ЗАСЫПАНИЯ ВОДИТЕЛЯ ЗА РУЛЕМ	138
<b>Петров Н.С.</b> ОРГАНИЗАЦИЯ ПРИЁМА ВЫСОКОДИНАМИЧНОГО ПОТОКА ИНФОР- МАЦИИ КОММУНИКАЦИОННЫМ МОДУЛЕМ РАСПРЕДЕЛЁННОЙ ИНФОРМАЦИОННОЙ МИКРОКОМПЬЮТЕРНОЙ СИСТЕМЫ	141
<b>Пьявченко О. Н. Нечитайло Г. А.</b> ИНТЕЛЛЕКТУАЛЬНЫЙ МИКРОКОНТРОЛЛЕРНЫЙ КОММУНИКАЦИ- ОННЫЙ МОДУЛЬ РАСПРЕДЕЛЕННОЙ ИНФОРМАЦИОННОЙ МИКРО- КОМПЬЮТЕРНОЙ СИСТЕМЫ	146
<b>Самойленко А.П., Рудь Д.Е.</b> МЕТОД ОЦЕНКИ ЗАГРУЗКИ ТЕЛЕКОММУНИКАЦИОННОЙ СИСТЕМЫ В УСЛОВИЯХ НАРУШЕНИЯ ОРДИНАРНОСТИ ИНФОРМАЦИОННОГО ПОТОКА	150
<b>Скубилин М.Д., Алмасани С.А.</b> К ВОПРОСУ О ТЕСТИРОВАНИИ СЕРДЕЧНОЙ ДЕЯТЕЛЬНОСТИ	155
<b>Скубилин М.Д., Коберси И.С., Аль Дулайми А.Н.</b> О МАССОМЕТРИИ ТРАНСПОРТНЫХ СРЕДСТВ	159
<b>Скубилин М.Д., Стефаненко В.К., Четырешников А.А.</b> ОБ АВТОМАТИЧЕСКОМ ОГРАНИЧЕНИИ СКОРОСТИ АВТОТРАНСПО- РТНЫХ СРЕДСТВ	162
<b>Скубілін М.Д., Нагучев Д.Ш., Набієв Б.Р.</b> ПРО ЕЛЕКТРОННИЙ КАМУФЛЯЖ ІНФОРМАЦІЇ	166
<b>Соловьёв М.А., Полуянович Н.К.</b> УПРАВЛЕНИЕ ЭЛЕКТРОПРИВОДОМ ДЕФЛЕКТОРОВ СИСТЕМЫ КОН- ДИЦИОНИРОВАНИЯ ВОЗДУХА ДЛЯ НЕЙТРАЛИЗАЦИИ ВРЕДНЫХ ВЕЩЕСТВ	169

<b>Финаев В.И., Скубилин М.Д., Коберси И.С., Каид В.А., Заргарян Ю.А.</b> К ВОПРОСУ О РАДИООБСЕРВАЦИИ	173
<b>Финаев В.И., Скубилин М.Д., Одей Ф.О.</b> ОБ ОПТИМИЗАЦИИ В ЭЛЕКТРОЭНЕРГЕТИКЕ	178
<b>Шушанов И.И., Полуянович Н.К.</b> ИССЛЕДОВАНИЕ ИМПУЛЬСНОГО РЕГУЛЯТОРА НАПРЯЖЕНИЯ	182
<b>Barkalov A.A., Malcheva R.V., Barkalov A.A.</b> REDUCTION IN THE NUMBER OF LUTS IN LOGIC CIRCUIT OF MEALY FSM	187
<b>Kobersi I.S., Abdulmalik S., Shkurkin D.V.</b> COMPARE BETWEEN FLC AND PID REGULATORS IN THE OIL LEVEL CONTROL TASK	192
<b>Kobersi I.S., Firov N.A., Sakhno D.A.</b> OPTIMIZATION GENETIC ALGORITHM OF NEURAL NETWORK IN THE TASKS OF VEHICLE PARKING	196
<b>Malcheva R.V., Kovalev S.A., Mohammad Yunis</b> RESEARCH OF PRODUCTIVITY OF A PARALLEL IMPLEMENTATION OF RAY-POLYGON INTERSECTION STAGE	199