

*Донецкий национальный технический университет*

*Южный федеральный университет*



---

---

---

## МАТЕРИАЛЫ

**Четырнадцатого международного  
научно-практического семинара**

**«ПРАКТИКА И ПЕРСПЕКТИВЫ  
РАЗВИТИЯ ПАРТНЕРСТВА  
В СФЕРЕ ВЫСШЕЙ ШКОЛЫ»**

ТОМ 2

*15 – 18 апреля 2013 года*

*г.Донецк*



**Донецк - Таганрог**

*Донецкий национальный технический университет*

*Южный федеральный университет*

**«ПРАКТИКА И ПЕРСПЕКТИВЫ  
РАЗВИТИЯ ПАРТНЕРСТВА  
В СФЕРЕ ВЫСШЕЙ ШКОЛЫ»**

**Материалы**

**Четырнадцатого международного научно-практического**

**семинара**

*15 – 18 апреля 2013 года*

*г.Донецк*

**ТОМ 2**

**Донецк – Таганрог 2013**

## REDUCTION IN THE NUMBER OF LUTS IN LOGIC CIRCUIT OF MEALY FSM

**Barkalov A.A.<sup>1</sup>, Malcheva R.V.<sup>2</sup>, Barkalov A.A.<sup>3</sup>.**

*University of Zielona Gora(Poland)<sup>1</sup>, DonNTU, Donetsk, Ukraine<sup>2</sup>, Institute of Cybernetics of NAS of Ukraine, Kiev, Ukraine<sup>3</sup>*

*Тел.: +38(062)3010735; E-mail: [raisa@cs.dgtu.donetsk.ua](mailto:raisa@cs.dgtu.donetsk.ua)*

**Abstract:** A method is proposed for reducing the hardware amount in logic circuit of Mealy FSM. The method targets the technology of FPGA. The method is based on using the model of PR-automaton and implementing the system of microoperations with embedded memory blocks. This approach allows reducing the number of LUTs in the FSM's circuit. The conditions are shown for using the proposed method.

**Key-words:** finite-state-machine, PR-automaton, FPGA, LUT, EMB, synthesis.

### Introduction

The model of Mealy finite state machine (FSM) is widely used for implementing the control units [1]. Nowadays, the field – programmable gate arrays (FPGA) are applied for implementing complex digital systems [2, 3]. As a rule, the FPGAs include look-up table (LUT) elements and embedded memory blocks (EMB) [4, 5].

One of the important problems connected with FSM design is the reduction of the number of LUTs in an FSM's logic circuit [6]. The solution of this problem allows decreasing of the number of interconnections among the LUTs. In turn, it leads to increasing of the performance and decreasing of the power dissipation [7]. Using EMBs instead of LUTs is one of the possible ways for solving this problem [8]. In the case of Mealy FSM, the system of microoperations could be implemented with EMBs. But it leads to the encoding of collections of microoperations and using some resources of a chip for generating these additional variables.

In this article, we propose to use the model of PR-automaton [9] for implementing the Mealy FSM logic circuit with FPGAs. The model was proposed in 1991. It targets the technology of programmable logic arrays. So, this approach should be adapted to the specifics of FPGAs.

The goal of research is reducing the number of LUTs in the circuit of Mealy FSM due to applying the model of PR-automaton. The task of research is adaptation of synthesis methods of PR-automata to peculiarities of FPGAs.

### Implementing Mealy FSM with FPGAs.

The logic circuit of Mealy FSM is represented by two systems of Boolean functions:

$$\Phi = \Phi(T, X), \quad (1)$$

$$Y = Y(T, X). \quad (2)$$

The following sets are used in systems (1) – (2):  $X = \{x_1, \dots, x_L\}$  is a set of input variables (logical conditions);  $Y = \{y_1, \dots, y_N\}$  is a set of output variables (microoperations);  $T = \{T_1, \dots, T_R\}$  is a set of state variables encoding the internal states  $a_m \in A$ , where  $A = \{a_1, \dots, a_m\}$  is a set of FSM states;  $\Phi = \{D_1, \dots, D_R\}$  is a set of input memory functions. The number of variables  $T_r \in T$  is determined as

$$R = \lceil \log_2 M \rceil. \quad (3)$$

In the case of FPGA-based implementation, the systems (1)-(2) are implemented using LUTs. Let us denote a circuit implemented by LUTs as LUTer. The structural diagram of LUT-based Mealy FSM's logic circuit is shown in Fig.1.

In this circuit, a block LUTer1 implements the system (1), whereas a LUTer2 the system (2). A register RG keeps the code  $k(a_m)$  of FSM's state. The pulse start causes loading the zero code of initial state  $a_m \in A$  into the RG. The pulse Clock causes changing codes in the

RG. The synthesis of FPGA-based circuits is connected with the separate minimization, decomposition and implementation of functions (1)-(2) [10]. As a rule, different subcircuits have no common LUTs to simplify the system of interconnections.

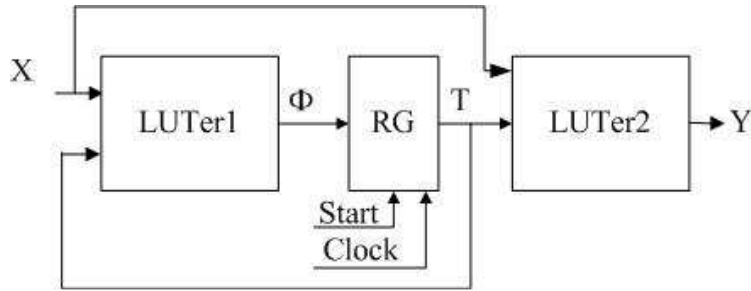


Fig. 1. Structural diagram of LUT-based logic circuit of Mealy FSM

To decrease the number of LUTs in a Mealy FSM's logic circuit, the method of encoding of collections of microoperations (CMO) is used. The collections  $Y_t \subseteq Y (t=1, T_0)$  are generated during interstate transitions. Each CMO  $Y_t \subseteq Y$  is encoded by a binary code  $k(Y_t)$  having  $R_Y$  bits:

$$R_Y = \lceil \log_2 T_0 \rceil. \quad (4)$$

Some additional variables  $z_r \in Z$  are used for the encoding ( $|Z| = R_Y$ ). Let the symbol  $U_1$  denote the structural diagram from Fig.1. Using the encoding of CMOs leads to the Mealy FSM  $U_2$  ( Fig.2.).

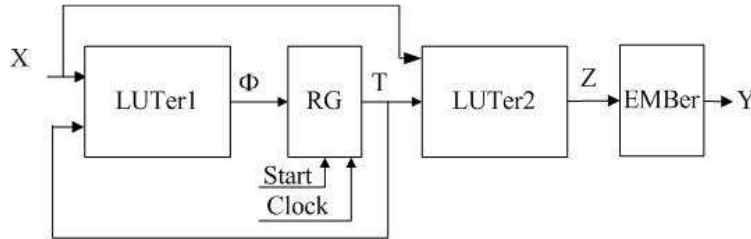


Fig. 2. Structural diagram of Mealy FSM  $U_2$

In the FSM  $U_2$ , the block LUTer2 implements the system of functions

$$Z = Z(T, X). \quad (5)$$

Blocks LUTer1 and LUTer2 operate simultaneously. A block EMBer consists from embedded memory block implementing the following system:

$$Y = Y(Z). \quad (6)$$

The drawback of  $U_2$  is the existence of the LUTer2. The introduction of this block has sense if the following condition takes place:

$$R_Y \ll N. \quad (7)$$

Otherwise, the hardware amount could be rather the same for equivalent FSMs  $U_1$  and  $U_2$ . Besides, the EMBer gives an additional delay in the FSM's propagation time.

We propose to use the model of PR- automaton [9] for eliminating the LUTer2. Let us discuss specifics of FPGA-based implementation of PR-automaton.

### Implementing PR-automaton with FPGAs

In the case of PR-automaton, a CMO  $Y_t \subseteq Y$  is determined by the pair  $\langle a_m, a_s \rangle$ , where  $a_m \in A$  is a current state and  $a_s \in A$  is a state of transition [9]. Obviously, different variables should represent the elements of this pair. The following structural diagram (Fig.3.) is proposed for the PR-automaton  $U_3$ .

In the FSM  $U_3$ , a register RG1 keeps the code  $k(a_m)$  of the current state, whereas a register RG2 the code  $K(a_s)$  of the state of transition. Variables  $\tau_r \in \tau$  are used for representing the code  $k(a_s)$ , where  $|\tau|=R$ . The pulse start causes loading zero codes in both registers. In each cycle, the LUTer generates the functions (1) determining the state  $a_s \in A$ . the pulse Clock causes loading the code of current state (state of transition) into the register RG2(RG1). The EMBer generates output functions determined as

$$Y = Y(T, \tau). \quad (8)$$

The operations is continued in the same manner till the loading the code  $k(a_L)$  into the RG1. The further operation is possible only by the next pulse *start*.

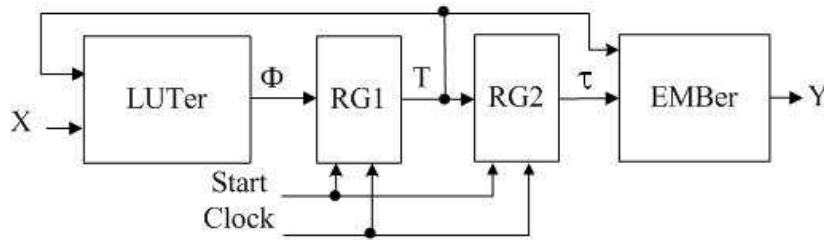


Fig. 3. Structural diagram of Mealy FSM  $U_3$

the higher performance then the equivalent FSM  $U_2$ . It is possible due to elimination the intermediate block LUTer2.

To provide the stable operation of  $U_L$ , it is necessary to use an additional register for loading the microoperations [1]. This register includes  $N$  flip-flops.

The following design method is proposed for synthesis of FSM  $U_3$ . The initial specification of FSM is represented by a flow-chart. The method includes the following steps:

1. Constructing the set of states  $A$ .
2. State assignment.
3. Constructing the structure table (ST) of Mealy FSM.
4. Constructing the table of LUTer.
5. Constructing the table of EMBer.
6. Implementing logic circuit with FPGA.

#### Peculiarities of implementation of PR-automaton with FPGAs

Let us discuss an example of synthesis of PR-automaton on the base of some Mealy FSM (Table 1).

Table 1 - Structure table of Mealy FSM  $S_1$

$a_m$	$K(a_m)$	$a_s$	$K(a_s)$	$X_h$	$Y_h$	$\Phi_h$	$h$
$a_1$	00	$a_2$	01	$x_1$	$y_1y_2$	$D_2$	1
		$a_3$	10	$\bar{x}_1$	$y_3$	$D_1$	2
$a_2$	01	$a_3$	10	$x_2$	$y_3$	$D_2$	3
		$a_4$	11	$\bar{x}_2$	$y_2y_4$	$D_1D_2$	4
$a_3$	10	$a_2$	01	$x_1$	$y_2$	$D_2$	5
		$a_3$	10	$\bar{x}_1 x_3$	$y_1y_4$	$D_1$	6
		$a_4$	11	$\bar{x}_1 \bar{x}_3$	$y_5$	$D_1D_2$	7
$a_4$	11	$a_1$	00	1	$y_3$	-	8

The rules [1] are used for constructing this table, as well as for executing the steps 1 and 2. We do not consider these steps in our article. Let us discuss the execution of steps 4 and 5. The table of LUTer is constructed on the base of initial ST. both tables include  $H=8$  rows. To the column  $Y_h$  from the initial ST. As a result, Table 2 is constructed on the base of Table 1.

This table is used for deriving functions (1). To decrease the number of LUTs, each function  $D_r \in \Phi$  should be minimized. After minimizing, the following equation can be derived from Table 2:  $D_1 = \bar{T}_1 \bar{T}_2 \bar{x}_1 \vee \bar{T}_1 T_2 \vee T_1 \bar{T}_2 \bar{x}_1 = \bar{T}_2 \bar{x}_1 \vee \bar{T}_1 T_2$ . This equation can be implemented using a single LUT having not less than 3 inputs.

To construct the table of EMber, the columns  $X_h$  and  $\Phi_h$  should be eliminated from the initial ST. In the discussed case, it gives the following intermediate table of PR-automaton  $S_1$  (Table 3).

The table of EMber includes  $H_1$  rows:

$$H_1 = 4^R. \quad (9)$$

Table 2 - Table of LUTer for PR-automaton  $S_1$

$a_m$	$K(a_m)$	$a_s$	$K(a_s)$	$X_h$	$\Phi_h$	$h$
$a_1$	00	$a_2$	01	$x_1$	$D_2$	1
		$a_3$	10	$\bar{x}_1$	$D_1$	2
$a_2$	01	$a_3$	10	$x_2$	$D_1$	3
		$a_4$	11	$\bar{x}_2$	$D_1D_2$	4
$a_3$	10	$a_2$	01	$x_1$	$D_2$	5
		$a_3$	10	$\bar{x}_1 x_2$	$D_1$	6
		$a_4$	11	$\bar{x}_1 \bar{x}_2$	$D_2D_1$	7
$a_4$	11	$a_1$	00	1	—	8

Table 3 - Intermediate table of PR-automaton  $S_1$

$a_m$	$K(a_m)$	$a_s$	$K(a_s)$	$Y_h$	$h$
$a_1$	00	$a_2$	01	$y_1y_2$	1
		$a_3$	10	$y_3$	2
$a_2$	01	$a_3$	10	$y_3$	3
		$a_4$	11	$y_2y_4$	4
$a_3$	10	$a_2$	01	$y_2$	5
		$a_3$	10	$y_1y_4$	6
		$a_4$	11	$y_5$	7
$a_4$	11	$a_1$	00	$y_3y_4$	8

In the discussed case, there is  $H_1=16$ . Let us point out that only  $H=8$  rows contain the microoperations (Table 4).

This table reflects states of the registers RG1 and RG2 after executing a transition  $\langle a_m, a_s \rangle$ . The RG1 contains the code of a state of transition  $a_s \in A$ . The numbers near some rows of Table 4 show correspondence between the initial ST and the table of EMber. The final step of proposed design method is connected with constructing VHDL-models of FSMs, as well as using standard industrial tools of CAD [5,6]. We do not discuss this step here.

Let us discuss conditions of applying the proposed method. Modern FPGAs contain EMBs with the ability of reconfiguration [5,6]. These blocks have a constant size ( $V_0$ ) for different amount of cells ( $V$ ) and outputs ( $t_F$ ):

$$V_0 = V \cdot t_F. \quad (10)$$

The number of cells is determined by (9). The numbers of possible outputs form some set  $O=\{1,2,4,8,16,32,64\}$  [5,6]. The value of  $t_F$  could be found as the nearest element of  $O$  satisfying the following condition:

$$t_F \geq \left\lceil \frac{V_0}{4^R} \right\rceil. \quad (11)$$

The number of EMBs ( $n$ ) which is necessary to implement the circuit of EMber can be found after finding the value of  $t_F$ :

$$n = \left\lceil \frac{N}{t_F} \right\rceil. \quad (12)$$

If the value of  $n$  does not exceed the number of free EMBs, then the proposed method can be used.

Table 4 - Table of EMBer for PR-automaton  $S_1$

K(a <sub>s</sub> )		K(a <sub>m</sub> )		Y					h	
$\tau_1$	$\tau_2$	T <sub>1</sub>	T <sub>2</sub>	Y <sub>1</sub>	Y <sub>2</sub>	Y <sub>3</sub>	Y <sub>4</sub>	Y <sub>5</sub>		
0	0	0	0	0	0	0	0	0	1	
0	0	0	1	0	0	0	0	0	2	
0	0	1	0	0	0	0	0	0	3	
0	0	1	1	0	0	1	1	0	4	8
0	1	0	0	1	1	0	0	0	5	1
0	1	0	1	0	0	0	0	0	6	
0	1	1	0	0	1	0	0	0	7	5
0	1	1	1	0	0	0	0	0	8	
1	0	0	0	0	0	1	0	0	9	2
1	0	0	1	0	0	1	0	0	10	3
1	0	1	0	1	0	0	1	0	11	6
1	0	1	1	0	0	0	0	0	12	
1	1	0	0	0	0	0	0	0	13	
1	1	0	1	0	1	0	1	0	14	4
1	1	1	0	0	0	0	0	1	15	7
1	1	1	1	0	0	0	0	0	16	

### Conclusion

The proposed method allows decreasing of the number of LUTs in logic circuits of Mealy FSMs. The method is based on application of the model of PR-automaton. It allows replication some LUTs by the circuit implemented with EMBs.

We have analysed the standard benchmarks [11]. The analysis shows that it is enough from 1 to 3 EMBs for implementing the system of microoperations. The blocks should have the configuration 1Kx16 (bits). It allows the average decrease for the number of LUTs up to 28%.

The scientific novelty of the proposed method is reduced to adaptation of the design method for PR-automaton to the specifics of FPGAs.

The practical meaning of the method is determined by reducing for the number of LUTs in an FSM logic circuit in comparison with known methods.

The further direction of the research is connected with development of state assignment methods leading to decreasing of the number of LUTs in the circuit of LUTer.

**References:** **1.** Baranov S. Logic and System Design of Digital Systems. - Tallinn: TUT Press, 2008. – 312 pp. **2.** Grout I. Digital Systems Design with FPGAs and CPLDs. – Amsterdam: Elsevier, 2008. – 406 pp. **3.** Barkalov A., Titarenko L. Logic Synthesis for FSM – based Control Units. – Berlin: Springer, 2009. – 233 pp. **4.** <http://www.altera.com> **5.** <http://www.xilinx.com> **6.** Sklyarov V. Reconfigurable models of finite state machines and their implementation in FPGAs.// Journal of System Architecture. – 2002, V.47, №2. – pp. 1043-1064. **7.** Chaudhury S., Sistla K., Chattopadhyay S. Genetic algorithm-based FSM synthesis with area-power trade-offs. // Integrated VLSI Journal. – 2009, V.42, №3. – pp. 376-384. **8.** Barkalov A., Titarenko L., Bieganowski J. Reduction in the number of LUT elements for control units with code shaving.// Journal of Applied Mathematics and Computer Science. – 2010, V.12, №4. – pp. 751-761. **9.** Баркалов А.А., Das D.K. Оптимизация логической схемы автомата Мили на ПЛИС.// Автоматика и вычислительная техника. – 1992, №3. – с. 90-94. **10.** Scholl C. Function Decomposition with Application to FPGA Synthesis. – Norwell: Kluwer Academic Publishers, 2001. – 418 pp. **11.** Yang S. Logic Synthesis and Optimization Benchmarks User Guide. – Technical Report. Microelectronic Center of North Carolina, 1991. – 44 pp.

## СОДЕРЖАНИЕ

<b>Алекперлі Ф.А., Шабанов М.А.</b> МОДЕЛЮВАННЯ ДІНАМІЧНИХ СИСТЕМ УПРАВЛІННЯ	3
<b>Андрієнко Е.В., Занин К.М., Паньчев А.И.</b> МОДЕЛИРОВАНИЕ АНТЕННОЙ СИСТЕМЫ ТОЧКИ ДОСТУПА WLAN	6
<b>Баркалов А.А., Зеленёва И.Я., Мирошкин А.Н., Товстоног А.А.</b> АВТОМАТИЗАЦИЯ ПРОЦЕССА ПРОЕКТИРОВАНИЯ ЦИФРОВЫХ УСТРОЙСТВ УПРАВЛЕНИЯ	10
<b>Баркалов А.А., Титаренко Л.А., Ефименко К.Н., Зеленева И.Я.</b> РАЗДЕЛЕНИЕ СХЕМЫ АДРЕСАЦИИ В КМУУ С ОБЩЕЙ ПАМЯТЬЮ	12
<b>Борзов Д.Б., Корой В.В.</b> ВЫЯВЛЕНИЕ ПАРАЛЛЕЛИЗМА ВНУТРИ ЛИНЕЙНЫХ УЧАСТКОВ ПОСЛЕДОВАТЕЛЬНЫХ ПРОГРАММ, СОДЕРЖАЩИХ РЕКУРСИЮ И ВЫЗОВЫ ПОДПРОГРАММ, СО СВЯЗЯМИ ПО УПРАВЛЕНИЮ	18
<b>Бровкина Д.Ю., Приходько Т.А.</b> РАЗРАБОТКА МОБИЛЬНОГО РОБОТА С ОПТИМАЛЬНОЙ СХЕМОЙ ПИТАНИЯ	20
<b>Волощенко В.Ю.</b> ИМПУЛЬСНЫЙ ПАРАМЕТРИЧЕСКИЙ ИЗЛУЧАТЕЛЬ НА СТОЯЧИХ ВОЛНАХ КОНЕЧНОЙ АМПЛИТУДЫ	24
<b>Геложє Ю.А., Клименко П.П., Максимов А.В.</b> УПРАВЛЕНИЕ ПРОЦЕССАМИ В ФАЗОВОЙ СИСТЕМЕ АВТОПОДСТРОЙКИ ЧАСТОТЫ ЦИФРОВЫХ СИНТЕЗАТОРОВ ЧАСТОТЫ В КРИТИЧЕСКИХ РЕЖИМАХ	26
<b>Гришко Е.Е., Сапронова О.В., Паслєн В.В.</b> МОДЕЛИРОВАНИЕ ШИРОКОПОЛОСНЫХ АНТЕНН С КРУГОВОЙ ПОЛЯРИЗАЦИЕЙ В ПРОГРАММНОМ ПРОДУКТЕ MMANA	29
<b>Гусєва М.Н., Евтушенко В.Ю., Скубилин И.М.</b> ОБРАБОТКА РЕЗУЛЬТАТОВ МОНИТОРИНГА СПОСОБНОСТИ КУРСАНТОВ	31
<b>Долженкова В.В., Кирєєв Д.О., Звягинцева А.В.</b> ПЕРСПЕКТИВЫ ПРОСТРАНСТВЕННОГО АНАЛИЗА В ГИС СИСТЕМАХ ДЛЯ ПРОГНОЗИРОВАНИЯ РИСКА НАВОДНЕНИЙ	36
<b>Дубинская И.В., Паньчев А.И.</b> МОДЕЛИРОВАНИЕ ПРОХОЖДЕНИЯ ЧЕРЕЗ КОНСТРУКЦИИ ЗДАНИЯ СИГНАЛОВ БЕСПРОВОДНОЙ ЛОКАЛЬНОЙ СЕТИ СВЯЗИ	43
<b>Заграй Н.П.</b> СПЕКТРАЛЬНЫЕ КОЭФФИЦИЕНТЫ МОЩНОГО СИГНАЛА В БИОСРЕДЕ С УЧЕТОМ НЕЛИНЕЙНОСТЕЙ ВЫСШИХ ПОРЯДКОВ	47
<b>Захаревич В.Г., Ли В.Г., Комар А.В.</b> МЕТОДИКА ОЦЕНКИ ДЕЯТЕЛЬНОСТИ ЧЕЛОВЕКА-ОПЕРАТОРА РТС В СРЕДЕ ТМС ВИРТУАЛЬНОЙ РЕАЛЬНОСТИ	51
<b>Захарченко А.Д., Бокий И.А.</b> МОДЕЛИРОВАНИЕ РАБОТЫ ПЛОСКИХ РЫЧАЖНЫХ МЕХАНИЗМОВ	58
<b>Касьянов А.О., Билан А.Н.</b> ЭЛЕКТРОДИНАМИЧЕСКАЯ МОДЕЛЬ МИКРОПОЛОСКОВО-ШТЫРЕВОЙ ОТРАЖАТЕЛЬНОЙ АНТЕННОЙ РЕШЕТКИ	62



<b>Кисель Н.Н., Грищенко С.Г., Кардос Д.А.</b> МОДЕЛИРОВАНИЕ И ЧИСЛЕННОЕ ИССЛЕДОВАНИЕ АНТЕННОЙ СИСТЕМЫ БАЗОВОЙ СТАНЦИИ LTE СВЯЗИ	64
<b>Кисель Н.Н., Грищенко С.Г., Мерглодов Д.В.</b> ОПЫТ ИСПОЛЬЗОВАНИЯ ПРОГРАММЫ «WIRELESS INSITE» ДЛЯ МАГИСТЕРСКОЙ ПОДГОТОВКИ ПО НАПРАВЛЕНИЮ "ИНФОКОММУНИКАЦИОННЫЕ ТЕХНОЛОГИИ И СИСТЕМЫ СВЯЗИ"	67
<b>Кисель Н.Н., Грищенко С.Г.</b> ЭЛЕКТРОДИНАМИЧЕСКОЕ МОДЕЛИРОВАНИЕ ВЫСОКОЧАСТОТНЫХ УСТРОЙСТВ НА БАЗЕ НАУЧНО-ОБРАЗОВАТЕЛЬНОГО ЦЕНТРА «ЦЕНТР КОМПЬЮТЕРНОГО МОДЕЛИРОВАНИЯ И ЭЛЕКТРОННЫХ САПР АНТЕНН И УСТРОЙСТВ СВЧ»	70
<b>Клевцова А.Б.</b> МОДЕЛЬ ПРОЦЕССА ФОРМИРОВАНИЯ ТРЕБОВАНИЙ НА ПАРАМЕТРЫ РАЗРАБАТЫВАЕМОГО ТЕХНИЧЕСКОГО ОБЪЕКТА	73
<b>Клевцов С.И.</b> МОДЕЛЬ ОБНАРУЖЕНИЯ НЕШТАТНОЙ СИТУАЦИИ НА ОСНОВЕ МАТРИЧНОГО ПАРАМЕТРИЧЕСКОГО ПРЕДСТАВЛЕНИЯ О КОНТРОЛИРУЕМОМ ОБЪЕКТЕ	76
<b>Клевцов С.И.</b> ОСОБЕННОСТИ ВИЗУАЛЬНОГО ПРОЕКТНОГО МОДЕЛИРОВАНИЯ ПРОЦЕССОВ ОБРАБОТКИ ИНФОРМАЦИИ В РЕАЛЬНОМ ВРЕМЕНИ В СИСТЕМАХ СБОРА И ОБРАБОТКИ ДАННЫХ ДАТЧИКОВ	81
<b>Ковальов С.О., Кравченко О.Г., Цололо С.О., Варавка А.М.</b> СИСТЕМА АНАЛІЗУ ПОТОКІВ ДАНИХ КОРИСТУВАЧІВ ІЗ ЗОВНІШНІХ USB-ПРИСТРОЇВ	85
<b>Корниенко В.Т., Шеверева А.В.</b> ИСПОЛЬЗОВАНИЕ ВИРТУАЛЬНЫХ ПРИБОРОВ LABVIEW ДЛЯ АНАЛИЗА РАБОТЫ ЦИФРОВЫХ СКРЕМБЛЕРОВ	89
<b>Корой В.В.</b> SSD НОСИТЕЛЬ ПОВЫШЕННОЙ ИЗНОСОСТОЙКОСТИ НА ОСНОВЕ ВЫБОРОЧНОЙ БУФФЕРИЗАЦИИ	93
<b>Косенко О.В.</b> АНАЛИЗ МОДЕЛЕЙ ПРОИЗВОДСТВЕННО-ТРАНСПОРТНЫХ ЗАДАЧ	94
<b>Котова М.В., Звягинцева А.В.</b> РАЗРАБОТКА МАТЕМАТИЧЕСКОЙ МОДЕЛИ В ВИЗУАЛЬНОЙ ОБЪЕКТНО-ОРИЕНТИРОВАННОЙ СРЕДЕ ПРОГРАММИРОВАНИЯ DELPHI-7	99
<b>Кравчук Д.А., Немыкина А.В.</b> ПРИМЕНЕНИЕ СЛОЖНЫХ СИГНАЛОВ ПРИ СОЗДАНИИ ГИДРОАКУСТИЧЕСКИХ СИСТЕМ СВЯЗИ ДЛЯ МОНИТОРИНГА МОРСКОГО ШЕЛЬФА	104
<b>Кравчук Д.А.</b> ЭКСПЕРИМЕНТАЛЬНЫЕ ИССЛЕДОВАНИЯ ПО УПРАВЛЕНИЮ ПРОЦЕССОМ МОДОВОГО РАСПРОСТРАНЕНИЯ СИГНАЛА В МЕЛКОМ МОРЕ ДЛЯ СИСТЕМ ДИСТАНЦИОННОГО МОНИТОРИНГА МОРСКОГО ШЕЛЬФА	105
<b>Ледовской М.И.</b> ВИРТУАЛЬНАЯ СЕТЬ ДЛЯ ДЕМОНСТРАЦИИ ТЕХНОЛОГИЙ 1С ПРЕДПРИЯТИЕ	108

<b>Масюков И.И., Борзов Д.Б.</b> ПЕРСПЕКТИВЫ И ВАРИАНТЫ ПРИМЕНЕНИЯ МНОГОПРОЦЕССОРНОЙ ТЕХНИКИ В СОВРЕМЕННОЙ ЖИЗНИ	112
<b>Мионов Д.А., Борзов Д.Б.</b> ВОЗМОЖНОСТИ РАСПАРАЛЛЕЛИВАНИЯ ПРОГРАММ И ПАРАЛЛЕЛЬ- НОЙ КОМПИЛЯЦИИ ДЛЯ МНОГОЯДЕРНЫХ ПРОЦЕССОРОВ	113
<b>Набиев Р.Н., Шукюров С.С.</b> ТРЕНИЕ В СИСТЕМЕ МАГНИТНОЙ ЛЕВИТАЦИИ	114
<b>Оводенко А.В.</b> МОДЕЛИ КОНТРОЛЯ, ДИАГНОСТИКИ И РАБОТЫ МНОГОПРОЦЕС- СОРНОЙ МАЖОРИТАРНОЙ ТОЛЕРАНТНОЙ К ОТКАЗАМ ИЗМЕРИ- ТЕЛЬНО ВЫЧИСЛИТЕЛЬНОЙ СИСТЕМЫ	121
<b>Оводенко А.В., Самойленко А.П.</b> КОНЦЕПЦИИ РАЗВИТИЯ СИНТЕЗА ВСТРОЕННЫХ СИСТЕМ КОНТРО- ЛЯ БЕЗОТКАЗНОЙ РАБОТЫ БОРТОВЫХ РАДИОЭЛЕКТРОННЫХ А.В. КОМПЛЕКСОВ	124
<b>Панычев А.И., Захарова Е.В.</b> СРАВНИТЕЛЬНЫЙ АНАЛИЗ РАСЧЕТОВ ИНТЕНСИВНОСТИ СИГНАЛОВ WLAN ВНУТРИ ПОМЕЩЕНИЯ	129
<b>Панычев А.И., Сербин А.И.</b> МОДЕЛИРОВАНИЕ РАСПРЕДЕЛЕНИЯ СИГНАЛОВ WLAN ВНУТРИ ПОМЕЩЕНИЯ С ЦИЛИНДРИЧЕСКИМ ПРЕПЯТСТВИЕМ	134
<b>Песоченко С.В.</b> МИКРОКОНТРОЛЛЕРНЫЙ ПРИБОР ДЛЯ КОНТРОЛЯ И ПРЕДОТВРА- ЩЕНИЯ ЗАСЫПАНИЯ ВОДИТЕЛЯ ЗА РУЛЕМ	138
<b>Петров Н.С.</b> ОРГАНИЗАЦИЯ ПРИЁМА ВЫСОКОДИНАМИЧНОГО ПОТОКА ИНФОР- МАЦИИ КОММУНИКАЦИОННЫМ МОДУЛЕМ РАСПРЕДЕЛЁННОЙ ИНФОРМАЦИОННОЙ МИКРОКОМПЬЮТЕРНОЙ СИСТЕМЫ	141
<b>Пьявченко О. Н. Нечитайло Г. А.</b> ИНТЕЛЛЕКТУАЛЬНЫЙ МИКРОКОНТРОЛЛЕРНЫЙ КОММУНИКАЦИ- ОННЫЙ МОДУЛЬ РАСПРЕДЕЛЕННОЙ ИНФОРМАЦИОННОЙ МИКРО- КОМПЬЮТЕРНОЙ СИСТЕМЫ	146
<b>Самойленко А.П., Рудь Д.Е.</b> МЕТОД ОЦЕНКИ ЗАГРУЗКИ ТЕЛЕКОММУНИКАЦИОННОЙ СИСТЕМЫ В УСЛОВИЯХ НАРУШЕНИЯ ОРДИНАРНОСТИ ИНФОРМАЦИОННОГО ПОТОКА	150
<b>Скубилин М.Д., Алмасани С.А.</b> К ВОПРОСУ О ТЕСТИРОВАНИИ СЕРДЕЧНОЙ ДЕЯТЕЛЬНОСТИ	155
<b>Скубилин М.Д., Коберси И.С., Аль Дулайми А.Н.</b> О МАССОМЕТРИИ ТРАНСПОРТНЫХ СРЕДСТВ	159
<b>Скубилин М.Д., Стефаненко В.К., Четырешников А.А.</b> ОБ АВТОМАТИЧЕСКОМ ОГРАНИЧЕНИИ СКОРОСТИ АВТОТРАНСПО- РТНЫХ СРЕДСТВ	162
<b>Скубілін М.Д., Нагучев Д.Ш., Набієв Б.Р.</b> ПРО ЕЛЕКТРОННИЙ КАМУФЛЯЖ ІНФОРМАЦІЇ	166
<b>Соловьёв М.А., Полуянович Н.К.</b> УПРАВЛЕНИЕ ЭЛЕКТРОПРИВОДОМ ДЕФЛЕКТОРОВ СИСТЕМЫ КОН- ДИЦИОНИРОВАНИЯ ВОЗДУХА ДЛЯ НЕЙТРАЛИЗАЦИИ ВРЕДНЫХ ВЕЩЕСТВ	169

<b>Финаев В.И., Скубилин М.Д., Коберси И.С., Каид В.А., Заргарян Ю.А.</b> К ВОПРОСУ О РАДИООБСЕРВАЦИИ	173
<b>Финаев В.И., Скубилин М.Д., Одей Ф.О.</b> ОБ ОПТИМИЗАЦИИ В ЭЛЕКТРОЭНЕРГЕТИКЕ	178
<b>Шушанов И.И., Полуянович Н.К.</b> ИССЛЕДОВАНИЕ ИМПУЛЬСНОГО РЕГУЛЯТОРА НАПРЯЖЕНИЯ	182
<b>Barkalov A.A., Malcheva R.V., Barkalov A.A.</b> REDUCTION IN THE NUMBER OF LUTS IN LOGIC CIRCUIT OF MEALY FSM	187
<b>Kobersi I.S., Abdulmalik S., Shkurkin D.V.</b> COMPARE BETWEEN FLC AND PID REGULATORS IN THE OIL LEVEL CONTROL TASK	192
<b>Kobersi I.S., Firov N.A., Sakhno D.A.</b> OPTIMIZATION GENETIC ALGORITHM OF NEURAL NETWORK IN THE TASKS OF VEHICLE PARKING	196
<b>Malcheva R.V., Kovalev S.A., Mohammad Yunis</b> RESEARCH OF PRODUCTIVITY OF A PARALLEL IMPLEMENTATION OF RAY-POLYGON INTERSECTION STAGE	199