

МНОГОКАНАЛЬНЫЙ СИГНАТУРНЫЙ АНАЛИЗАТОР

Дяченко О.Н., Журавель А.П.

А.С. 1797118 СССР, МКИ⁵ G06F 11/00. Многоканальный сигнатурный анализатор/
О.Н.Дяченко, А.П.Журавель (СССР) № 4752972/24; Оpubл. 23.02.93.- Бюл. №



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

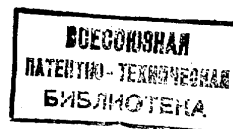
(19) SU (11) 1797118 A1

(51) G 06 F 11/00

ГОСУДАРСТВЕННОЕ ПАТЕНТНОЕ
ВЕДОМСТВО СССР
(ГОСПАТЕНТ СССР)

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



1

(21) 4752972/24
(22) 23.10.89
(46) 23.02.93. Бюл. № 7
(71) Донецкий политехнический институт
(72) О.Н.Дяченко и А.П.Журавель
(56) Авторское свидетельство СССР
№ 1383363, кл. G 06 F 11/00, 1986.
Авторское свидетельство СССР
№ 1737452, кл. G 06 F 11/00, 1991.
(54) МНОГОКАНАЛЬНЫЙ СИГНАТУРНЫЙ
АНАЛИЗАТОР
(57) Изобретение относится к вычислитель-
ной технике и может использоваться в сис-
темах тестового диагностирования
дискретных объектов. Цель изобретения –
повышение быстродействия. Многоканаль-

2

ный сигнатурный анализатор содержит два
счетчика, два блока сравнения, блок индика-
ции, два индикатора, группу элементов И,
три формирователя сигнатур, три блока хра-
нения эталонных сигнатур, два триггера,
элемент ИЛИ, три элемента И, элемент
задержки и одновибратор. Анализатор
обеспечивает контроль двоичных последо-
вательностей одновременно по нескольким
каналам и дает информацию о наличии в
анализируемой последовательности векто-
ров одного ошибочного вектора или оши-
бочных векторов большей кратности. В
случае наличия одного ошибочного вектора
анализатор автоматически указывает его
местоположение. 1 ил.

Изобретение относится к цифровой
вычислительной технике и может быть ис-
пользовано в системах тестового диагно-
стирования цифровых устройств.

Целью изобретения является повыше-
ние быстродействия анализатора за счет
обеспечения возможности выделения из
сигнатур дополнительной диагностической
информации о кратности ошибок в многока-
нальных двоичных последовательностях.

На чертеже показана схема анализато-
ра.

Анализатор содержит формирователи
сигнатур 1, 2, 3, блоки памяти 4, 5, 6 эталон-
ных сигнатур, блоки 7, 8 сравнения, счетчи-
ки 9, 10, триггеры 11, 12, блок 13 индикации,
одновибратор 14, индикатор 15, элемент
ИЛИ 16, индикатор 17, элементы 18, 19, 20
И, группу элементов И 21, элемент задержки
22, группу входов начальной установки 23,

тактовый вход 24, группу информационных
входов 25-7-25 – К, вход 26 сброса и вход
"Пуск" 27.

Пусть N – количество K-разрядных век-
торов исследуемой последовательности, ко-
торые подаются на информационные входы
25-1-25-K анализатора (K – разрядность
формирователей сигнатур).

Счетчик 9 и триггер 11 образуют (K+1)-
разрядный суммирующий счетчик, счетчик
10 – (K+1)-разрядный вычитающий.

Формирователи сигнатур, счетчики,
триггеры срабатывают по переднему фронту
поступающих на них импульсных сигна-
лов.

Одновибратор 14 по переднему фронту
сигнала формирует одиночный импульс дли-
тельностью, необходимой для установки
триггера 11 в единичное состояние, и менее

7.

(19) SU (11) 1797118 A1

длительности периода синхроимпульсов, подаваемых на вход 24 анализатора.

Эталонные сигнатуры должны быть рассчитаны для количества тактов, равного $2^k - 1$, независимо от N .

Формирователи 1, 3 представляют собой K -разрядные параллельные сигнатурные регистры, т.е. многоходовые регистры сдвига с линейными обратными связями, определенными образующими примитивными и отличными друг от друга полиномами.

Формирователь 2 представляет собой K независимых друг от друга счетных T -триггеров, счетные входы которых являются информационными входами второго формирователя 2 сигнатур. Таким образом, формирователь 2 осуществляет поразрядное суммирование по модулю два исследуемых векторов информации.

Элемент И 20 и одновибратор 14 служат для установки в единичное состояние триггера 11, который можно считать нулевым разрядом счетчика 9, только в тот момент времени, когда старший разряд счетчика 9 устанавливается в единицу, а остальные разряды этого счетчика – в нулевое состояние, и только в том случае, если имелись ошибочные биты (бит) в исследуемых векторах информации.

Для удовлетворения последнего требования используется элемент 22 задержки, время задержки которого должно быть больше времени срабатывания триггера 11 и меньше длительности периода синхроимпульсов, подаваемых на вход 24 анализатора.

Элемент И 18 прекращает подачу синхроимпульсов в том случае, если нет ошибочных битов в исследуемых векторах информации или они имели место, но компенсировали друг друга в обоих формирователях 1 и 2 сигнатур (вероятность этого случая очень мала) и старший разряд счетчика 9 установился в единицу, а остальные разряды – в нулевое состояние; ошибочные биты имели место в исследуемых векторах информации, старший разряд счетчика 9 установлен в единичное состояние и содержимое формирователей 1, 2 сигнатур не равны нулю и совпали, т.е. на выходе блока 7 появился логический ноль; ошибочные биты имели место в исследуемых векторах информации, но в одном из формирователей сигнатур они компенсируют друг друга, а в другом – нет, и старший разряд счетчика 9 установился в нулевое состояние.

В том случае, если в исследуемых векторах информации имел место только один ошибочный вектор, то по окончании работы

анализатора в формирователях 1, 3 будет одинаковое содержимое и на выходе блока 8 установится уровень логического нуля. В противном случае на выходе блока 8 будет уровень логической единицы. Пусть выходу блока 8 соответствует младший разряд индицируемого двоичного числа. Тогда индикация двоичного кода, состоящего из всех нулей и единицы в старшем разряде, в конце работы анализатора означает, что ошибочные биты в исследуемых векторах информации отсутствуют или компенсируются во всех трех формирователях сигнатур (вероятность этого очень мала); индикация кода, состоящего из всех нулей (состояние младшего разряда – произвольное) означает, что ошибочные биты в исследуемых векторах информации имеют место, но в первом 1 или втором 2 формирователях сигнатур ошибочные биты компенсируют друг друга; индикация кода, в младшем разряде которого единица, означает, что кратность ошибочных векторов больше единицы, и, наконец, индикация кода, в младшем разряде которого ноль, а в остальных – комбинация нулей и единиц, означает, что в исследуемых векторах информации имел место один ошибочный вектор, при этом индицируемый код (за исключением старшего и младшего разрядов) представляет собой номер такта, на котором возникает ошибочный вектор.

Анализатор работает следующим образом.

По внешнему сигналу, поступающему на вход сброса 26, все разряды формирователей 1, 2, 3 сигнатур устанавливаются в нулевое состояние. По внешнему сигналу, поступающему на вход "Пуск" 27, счетчик 9 устанавливается в нулевое состояние, триггеры 11, 12, устанавливаются в нулевое состояние, эталонные сигнатуры с выходов первого 4, второго 5 и третьего 6 блоков эталонных сигнатур заносятся соответственно в формирователи 1, 2, 3 сигнатур и со входов $24-0 \div 24-K$ начальной установки заносится двоичный код числа N в счетчик 10. При этом на инверсном выходе старшего разряда счетчика 10 появляется логическая единица (так как $N \leq 2^k - 1$), которая разрешает прохождение сигналов через элемент И 19 и через группу элементов И 21. Кроме того, на выходе старшего разряда счетчика 9 устанавливается логический ноль, следовательно, на выходе элемента ИЛИ 16 появится логическая единица, разрешающая прохождение синхроимпульсов через элемент И 18, а так как триггер 12 установлен в нулевом состоянии, то на его инверсном выходе установлена логическая единица, кото-

рая также разрешает прохождение синхроимпульсов через элемент И 18. Логический ноль на выходе старшего разряда счетчика 9 "запирает" элемент И 20.

Синхроимпульсы со входа 24 анализатора через элемент И 18 поступают на счетный вход триггера 11, который является нулевым разрядом счетчика 9, через элементы 18, 19 И синхроимпульсы поступают на вычитающий вход счетчика 10, через элемент И 18 и элемент 22 задержки синхроимпульсы поступают на тактовые входы первого 1, второго 2 и третьего 3 формирователей сигнатур.

Исследуемые вектора с информационными входами $25-1 \div 25-K$ анализатора через группу элементов И 21 поступают на информационные входы формирователей 1-3 сигнатур. Анализатор производит сжатие последовательности исследуемых векторов. Через N тактов работы анализатора в формирователях 1, 3 сформируются сигнатуры вектора ошибки, а в формирователе 2 - вектор ошибки. Во всех разрядах счетчика 10 будут нули, а на инверсном выходе старшего разряда счетчика 10 будет логическая единица, которая все еще разрешает прохождение синхроимпульсов через элемент И 18 и прохождение информации через группу элементов И 21 ($N+1$ -й синхроимпульс устанавливает на инверсном выходе старшего разряда счетчика 10 логический ноль, который запрещает поступление синхроимпульсов через элемент И 19 и прохождение исследуемой информации через группу элементов И 21. Синхроимпульсы, поступающие на тактовые входы формирователей сигнатур, задерживаются элементом 22 задержки, поэтому, когда на вход формирователя 1 сигнатур придет ($N+1$ -й синхроимпульс, передача исследуемых векторов через группу элементов И 21 уже будет запрещена. На этом счетчик 10 заканчивает свою работу.

Допустим, в исследуемых векторах не было ошибочных битов. Тогда через N тактов работы анализатора содержимое формирователей 1-3 будет нулевым, а на выходе блока 7 появляется логический ноль, который "запирает" элемент И 20. Счетчик, образованный счетчиком 9 и триггером 11 досчитывает до 2^K , на выходе старшего разряда этого счетчика установится логическая единица, на выходе элемента ИЛИ 16 появляется логический ноль, который запрещает прохождение синхроимпульсов через элемент И 18. На выходе блока 8 будет логический ноль. На этом работа анализатора завершается с индикацией двоичного чис-

ла, в старшем разряде которого единица, а в остальных - нули.

Допустим, в исследуемых векторах информации были ошибочные биты (причем все ошибочные биты находились в одном ошибочном векторе информации). Тогда через N тактов работы анализатора содержимое первого 1, второго 2 и третьего 3 формирователей сигнатур не будет нулевым, а на выходе блока 7 будет логическая единица. Когда счетчик, образованный счетчиком 9 и триггером 11, досчитывает до 2^K , на выходе старшего разряда этого счетчика установится логическая единица, на выходе элемента И 20 появится логическая единица, на входе одновибратора 14 появится передний фронт, а на его выходе появится одиночный импульс, который установит триггер 11 в единичное состояние. В дальнейшем происходит изменение сигнатуры в первом 1 и третьем 3 формирователях сигнатур и счет тактов в счетчике, образованном счетчиком 9 и триггером 11, до тех пор, пока содержимое формирователей 1, 2 сигнатур не совпадет, при этом на выходе блока 7 появится логический ноль, на выходе элемента ИЛИ 16 также появится логический ноль, который запретит прохождение синхроимпульсов через элемент И 18. На выходе блока 8 будет логический ноль - признак того, что ошибочный вектор только один. На этом работа анализатора завершается с индикацией двоичного кода порядкового номера такта, на котором появился ошибочный вектор информации.

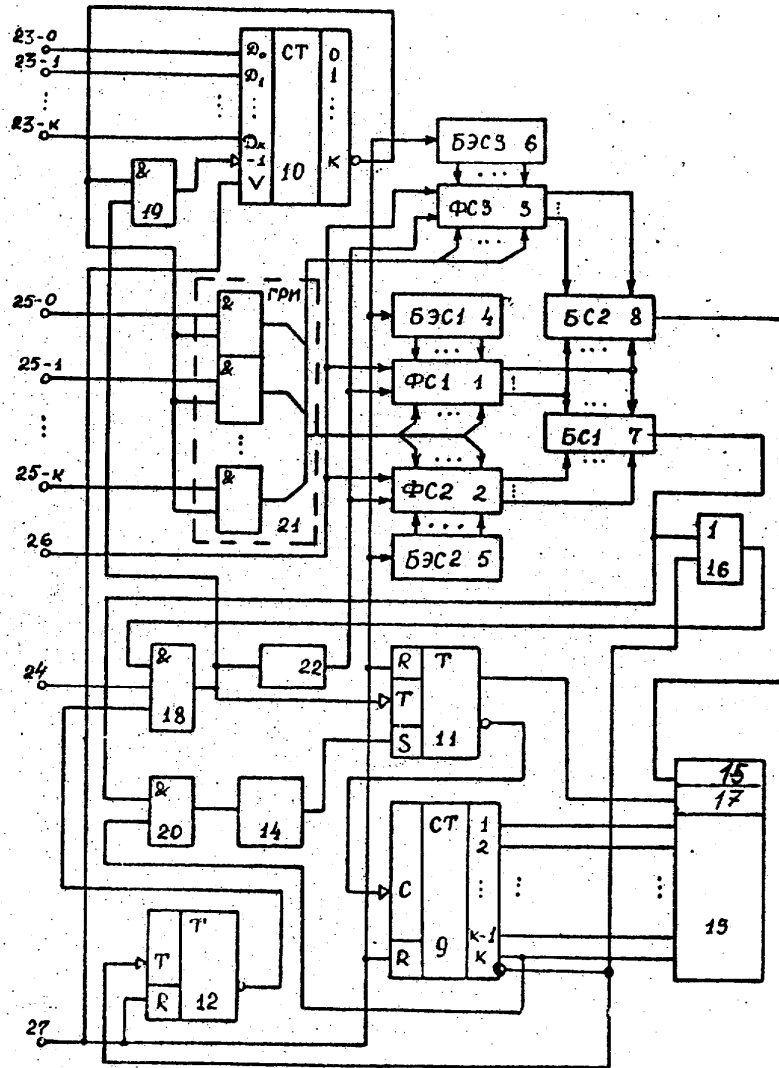
В том случае, когда в исследуемых векторах имеют место несколько ошибочных векторов информации, работа анализатора аналогична рассмотренному случаю, когда такой вектор один, за исключением того, что по завершении работы анализатора будет индцироваться двоичное число, в младшем разряде которого - единица (признак кратности ошибочных векторов).

Ф о р м у л а и з о б р е т е н и я

Многоканальный сигнатурный анализатор, содержащий два счетчика, блок индикации, первый индикатор, элемент ИЛИ, первый и второй элементы И, первый и второй формирователи сигнатур, первый и второй блоки хранения эталонных сигналов, причем входы сброса первого и второго формирователей сигнатур объединены и образуют вход сброса анализатора, входы считывания первого и второго блоков хранения эталонных сигнатур, установочный вход первого счетчика и вход параллельной загрузки второго счетчика объединены и образуют вход Пуск анализатора, группа информационных входов второго счетчика

образует группу входов начальной установки анализатора, группа разрядных выходов первого счетчика соединена с группой входов блока индикации, выход первого элемента И соединен с тактовым входом второго счетчика, инверсный выход последнего разряда которого соединен с первым входом первого элемента И, группы информационных выходов первого и второго блоков хранения эталонных сигнатур соединены соответственно с группами входов начальной установки первого и второго формирователей сигнатур, отличающийся и в том, что, с целью повышения быстродействия, он дополнительно содержит третий элемент И, первый и второй счетные триггеры, одновибратор, элемент задержки, группу элементов И, второй индикатор, третий формирователь сигнатур, третий блок хранения эталонных сигнатур, причем выход первого блока сравнения соединен с первым входом элемента ИЛИ и первым входом второго элемента И, второй вход которого соединен с прямым выходом последнего разряда первого счетчика инверсный выход последнего разряда которого соединен с вторым входом элемента ИЛИ и с тактовым входом первого триггера, инверсный выход которого соединен с первым выходом третьего элемента И, второй вход которого соединен с выходом элемента ИЛИ, выход третьего элемента И соединен с тактовым входом второго триггера, вторым входом первого элемента И и входом элемента задержки, выход которого соединен с тактовым и входами формирователей сигнатур,

группы информационных входов которых поразрядно объединены и подключены к выходам соответствующих элементов И группы, первые входы которых объединены и подключены к инверсному выходу последнего разряда второго счетчика, выход второго блока сравнения и прямой выход второго триггера соединены соответственно с входами первого и второго индикаторов, инверсный выход второго триггера соединен с тактовым входом первого счетчика, выход второго элемента И соединен с входом одновибратора, выход которого соединен с установочным входом второго триггера, вход сброса которого объединен с входом сброса первого и триггера и входом считывания третьего блока хранения эталонных сигнатур и подключен к входу Пуск анализатора, вход сброса третьего формирователя сигнатур подключен к входу сброса анализатора, третий вход третьего элемента И образует тактовый вход анализатора, группа информационных выходов третьего блока хранения эталонных сигнатур соединена с группой входов начальной установки третьего формирователя сигнатур, группа информационных выходов первого формирователя сигнатур соединена с первыми группами входов первого и второго блоков сравнения, группы информационных выходов второго и третьего формирователей сигнатур соединены с вторыми группами входов первого и второго блоков сравнения соответственно, вторые входы элементов И группы образуют группу информационных входов анализатора.



автор Составитель М.Иванов
 Техред М.Моргентал Корректор Л.Филь

зз 654 Тираж Подписное
 ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
 113035, Москва, Ж-35, Раушская наб., 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101

Ссылки

1. А.С. 1311011 СССР, МКИ⁴ H03K 13/00, G06F 11/00. Логический анализатор / О.Н.Дяченко (СССР) № 4016159/24-24; Оpubл. 15.05.87.- Бюл. № 18.

2. А.С. 1336010 СССР, МКИ⁴ G06F 11/16. Многовходовый сигнатурный анализатор /А.Н.Тарасенко, Г.М.Львов, О.Н.Дяченко, А.И.Уткин, А.А.Коновалов, Н.Л.Антипова (СССР) № 4053868/24-24; Оpubл. 07.09.87. - Бюл. № 33.

3. А.С. 1383363 СССР, МКИ⁴ G06F 11/00. Сигнатурный анализатор / А.Н.Тарасенко, Г.М.Львов, О.Н.Дяченко, А.И.Уткин, Н.Л.Антипова (СССР) № 4158907/24-24; Оpubл. 23.03.88.- Бюл. № 11.

4. А.С. 1430956 СССР, МКИ⁴ G06F 11/16. Многоканальный сигнатурный анализатор /А.Н.Тарасенко, Г.М.Львов, О.Н.Дяченко, А.И.Уткин, Н.Л.Антипова, Г.В.Кунашев (СССР) № 4236241/24-24; Оpubл. 15.10.88.- Бюл. № 38.

5. А.С. 1552184 СССР, МКИ⁵ G06F 11/00. Устройство для контроля цифровых узлов /А.Н.Тарасенко, О.Н.Дяченко, В.К.Майдыковский, Н.А.Зосимова (СССР) № 4462267/24-24; Оpubл. 23.03.90.- Бюл. № 11.

6. А.С. 1649558 СССР, МКИ⁵ G06F 13/00, 11/00. Устройство для сопряжения абонента с общей магистралью /О.Н.Дяченко, Я.В.Юхновецкий, В.Н.Гавриш (СССР) № 4686956/24; Оpubл. 15.05.91.- Бюл. № 18.

7. А.С. 1645958 СССР, МКИ⁵ G06F 11/00. Устройство для контроля цифровых узлов /А.Н.Тарасенко, О.Н.Дяченко, И.Н.Шаталов, А.И.Дойных, Н.А.Зосимова, А.В.Анцыгин (СССР) № 4677075/24, 4462267/24; Оpubл. 30.04.91.- Бюл. № 16.

8. А.С. 1737452 СССР, МКИ⁵ G06F 11/00. Сигнатурный анализатор/ А.Н.Тарасенко, О.Н.Дяченко (СССР) № 4744428/24; Оpubл. 30.05.92.Бюл.№ 20.

9. А.С. 1797118 СССР, МКИ⁵ G06F 11/00. Многоканальный сигнатурный анализатор/ О.Н.Дяченко, А.П.Журавель (СССР) № 4752972/24; Оpubл. 23.02.93.- Бюл. № 7.

10. [А.С. 1829035 СССР, МКИ⁵ G06F 11/00. Сигнатурно-синдромный анализатор/ О.Н.Дяченко \(СССР\) № 4864016/24; Оpubл. 23.07.93.Бюл. № 27.](#)

11. А.С. 1837291 СССР, МКИ⁵ G06F 11/00. Многоканальный сигнатурный анализатор/ О.Н.Дяченко (СССР) № 4767976/24; Оpubл. 30.08.93.- Бюл. № 32.

1. Патент України № 6840, МКИ5 G 06 F 11/00. Сигнатурно-синдромний аналізатор/ О.М.Дяченко (Україна); Оpubл. 31.03.95.- Бюл. №1.

2. Патент України № 6922, МКИ5 G 06 F 11/00. Багатоканальний сигнатурний аналізатор/ О.М.Дяченко, О.П.Журавель (Україна); Оpubл. 31.03.95.- Бюл. №1.

3. Патент України № 6877, МКИ5 G 06 F 11/00. Багатоканальний сигнатурний аналізатор/ О.М.Дяченко, (Україна); Опубл. 31.03.95.