

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ  
ДОНЕЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ  
КАФЕДРА КОМП'ЮТЕРНОЇ ІНЖЕНЕРІЇ

## **МЕТОДИЧНІ ВКАЗІВКИ**

**до самостійної роботи з курсу "Архітектура комп'ютерів"  
для студентів заочної форми навчання за напрямком  
"Комп'ютерна інженерія"**

**Донецьк 2011**

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ  
ДОНЕЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ  
КАФЕДРА КОМП'ЮТЕРНОЇ ІНЖЕНЕРІЇ

**МЕТОДИЧНІ ВКАЗІВКИ**

до самостійної роботи з курсу "Архітектура комп'ютерів"  
для студентів заочної форми навчання за напрямком  
"Комп'ютерна інженерія"

Розглянуто  
на засіданні кафедри  
комп'ютерної інженерії.  
Протокол № 8 від  
17.05.2010 г.

Затверджено  
на засіданні навчально - видавничої  
ради ДНТУ.  
Протокол № 1 від 13 січня 2011 р.

Донецьк ДНТУ 2011

УДК 681.3

Методичні вказівки до самостійної роботи з курсу "Архітектура комп'ютерів" для бакалаврів за напрямком "Комп'ютерна інженерія" / Укл. В. В. Лапко, Ю.В. Губарь. - Донецьк: ДонНТУ, 2011. - 40 с.

У методичних вказівках розглядаються питання проектування 1-адресних, 2-адресних і 3-адресних комп'ютерів з І - і М – архітектурою для студентів спеціальностей за напрямком "Комп'ютерна інженерія". Матеріали посібника дозволяють студентам придбати професійні навички по розробці структурних моделей комп'ютерів типових архітектур, навчитися розробляти граф-схеми алгоритмів операцій виклику команд, вибірки операндів і виконання основних базових операцій ( арифметичних операцій, умовного та безумовного переходів, пересилання даних тощо).

Укладачі

проф. Лапко В.В.,  
доц. Губарь Ю.В.

Відповідальний  
за випуск

проф. Святний В.А.

Рецензент

проф. Аверін Г. В.

## ПЕРЕЛІК ОСНОВНИХ СКОРОЧЕНЬ

**ОП** - оперативна пам'ять.

**РАП** - регістр адреси оперативної пам'яті.

**РОП** - вихідний регістр оперативної пам'яті.

**РЗП** - регістр запису в оперативну пам'ять.

**ЛЧАК** - лічильник адреси команд.

**РК** - регістр команд.

**БР** - буферний регістр.

**АП** - арифметичний пристрій.

**АКК** - акумулятор.

**РКО РК** - регістр коду операції регістру команд.

**РАРК** - регістр адреси регістру команд.

**АО** - арифметична операція.

**ПО** - операція пересилання даних.

**БП** - операція безумовного переходу.

**УП** - операція умовного переходу.

## 1.ВИБІР КОМАНД В І – КОМП'ЮТЕРАХ

### 1.1.Вибір команд постійної довжини

#### 1.1.1.Вибір команд фіксованого формату при однаковій довжині команд і комірок оперативної пам'яті (ОП)

У цьому випадку команди програми зберігається в оперативній пам'яті в послідовно розташованих комірках (рис.1.1) і адреса кожної команди збігається з адресою комірки пам'яті. У силу цього лічильник адреси команд (ЛЧАК) безпосередньо визначає номер комірки ОП (рис.1.2).

У зв'язку з цим для виклику команди досить у РАП скопіювати вміст ЛЧАК (рис.1.3) і запустити в ОП операцію зчитування (Пуск  $Rd = 1$ ). Після завершення зчитування вмісту заданої комірки у вихідний регістр ОП (у РОП) інформаційний сигнал завершення операції зчитування  $E_{оп}$  встановлюється в стан "1".

По сигналу готовності даних у РОП ( $E_{оп} = 1$ ) з використанням індивідуального каналу зв'язки (РОП  $\rightarrow$  РК) поточна команда завантажується в регістр команд (РК), а ЛЧАК просувається на наступну команду (ЛЧАК = ЛЧАК + 1) (рис.1.3).

#### 1.1.2.Вибір команд за форматом кратним довжині машинного слова ОП

На рис.1.4 наведено тестовий приклад заповнення адресного простору ОП командами програми при довжині комірки ОП (машинного слова) 32 біта (4 байта) і довжині команди 16 біт (2 байта).

В одному слові (С) ОП у цьому випадку розташовуються дві команди за форматом півслова (ПС). Отже, кількість команд (адресний простір команд) у два рази більше кількості комірок пам'яті ОП. У зв'язку із цим розрядність ЛЧАК повинна перевищувати розрядність РАП на один біт (на рис.1.4 довжина ЛЧАК рівна 4 біта). При цьому в ЛЧАК фіксується адреса півслова у поточній комірці ОП (тобто у слові ОП) і номер активної команди. У зв'язку з цим за ЛЧАК (20) = 0 команда (півслово) викликається із старшої частини слова (з нульового півслова ОП, тобто з РОП(0)), а за ЛЧАК (20) = 1 - з РОП (1). Розташування команд в ОП у цьому випадку наведено на рис.1.5.

Адреса команди після зчитування із ОП поточної команди повина просуватися на одне півслово (рис.1.6). Тому інкрементування ЛЧАК здійснюється за 20 – м розрядом (ЛЧАК (0 / 20) = ЛЧАК (0 / 20) + 1).

Адресація команд довжиною у півслово (ПС) у комірці пам'яті довжиною чотири півслова наведена на рис.1.7. Структура блоку і модуль "Виклик команди" наведені відповідно на рис.1.8 і рис.1.9.

#### 1.2.Вибір "суміші" команд довжиною одне півслово (ПС) і слово (С)

Формат команди у цьому випадку позначається у старшому розряді як ознака "П" або "С" (рис.1.10). При зберіганні програми в ОП варіанти розташування "суміші" команд "П" і "С" у комірках ОП довжиною два півслова наведені на рис.1.11. Структура блоку і модуль виклику команди за цих умов наведені на рис.1.12 і рис.1.13.

### 1.3. Вибір “суміші” команд із буферизацією комірок пам'яті

На рис.1.14 наведена структура блоку виклику команд із буферизацією тієї частини комірки пам'яті, яка є пасивною в даному циклі роботи комп'ютера, тобто старшої частини наступної команди при природному адресуванні команд у програмі.

У цьому випадку, якщо поточна команда не є командою безумовного (або умовного) переходу ( $ТП = 0$ ), у наступному циклі роботи комп'ютера вибірка команди з буферного регістру (БР) відбувається без звертання до ОП (рис.1.15). Якщо перехід на активну команду (викликовану в поточному циклі роботи обладнання керування) пов'язаний із командами умовного або безумовного переходу (тобто за  $ТП = 1$ ), вміст буферного регістру (БР) ігнорується, тобто буфер вважається порожнім.

При довжині комірки пам'яті довжиною чотири півслова (вісім байт) і “суміші” команд у півслово (“П”) і слово (“С”) довжина буферного регістру повинна забезпечувати буферизацію у найгіршому випадку трьох півслів комірки пам'яті: РОП1, РОП2 і РОП3 (рис.1.16).

При цьому ЛЧАК повинен забезпечувати адресацію команд до півслова, адреса якого повинна формуватися двома додатковими розрядами ЛЧАК (Лч (20) і Лч (21)). Вибір команди із БР1, БР2 і БР3 за природним порядком виконання програми здійснюється за даними додаткових розрядів ЛЧАК, тобто ЛЧ (20) і ЛЧ (21) (рис.1.17). Можливі варіанти розташування команд у ОП наведені на рис.1.18.

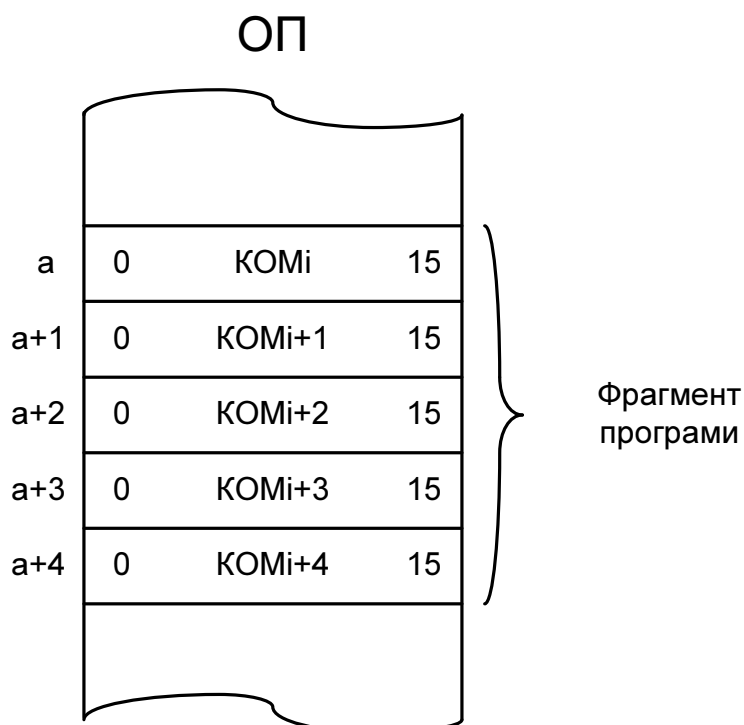


Рисунок 1.1 – Фрагмент розташування програми у ОП при зберіганні кожної команди (КОМ) у окремій комірці ОП: КОМ<sub>i</sub> - (i - a) команда програми; α, α+1 - номер (адреса) комірки ОП; (0 ÷ 15) - довжина (розрядність) комірки ОП (кількість біт у комірці ОП) і кожної команди.

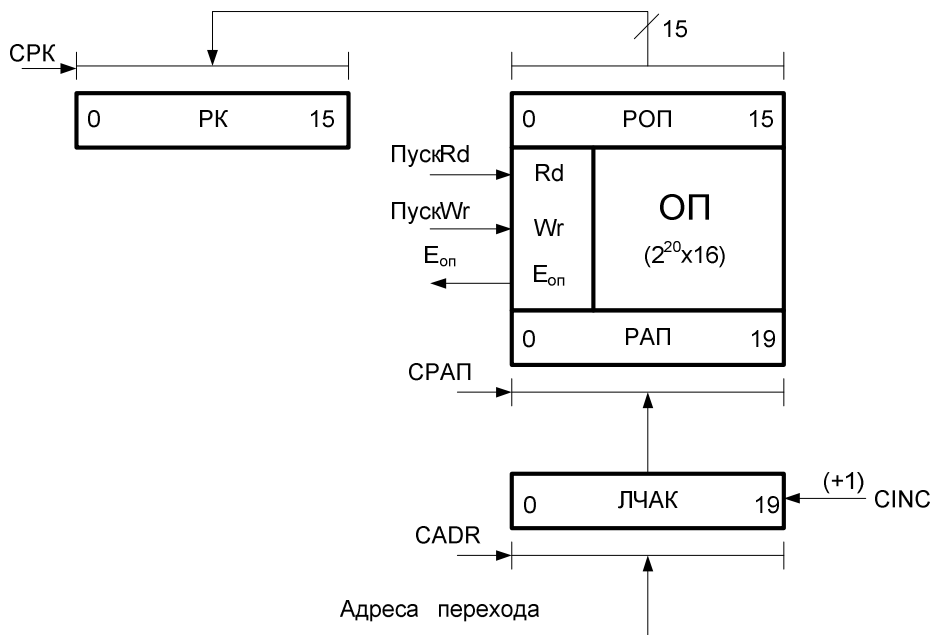


Рисунок 1.2 – Структурна схема блоку виклику команд (рис.1.1) у реєстр команд (РК) з ОП: РАП - реєстр адреси пам'яті; РОП – вихідний реєстр ОП; ЛЧАК - лічильник адреси команд;  $E_{оп}$  – ознака закінчення циклу роботи ОП (кінець операції зчитування команди з ОП).

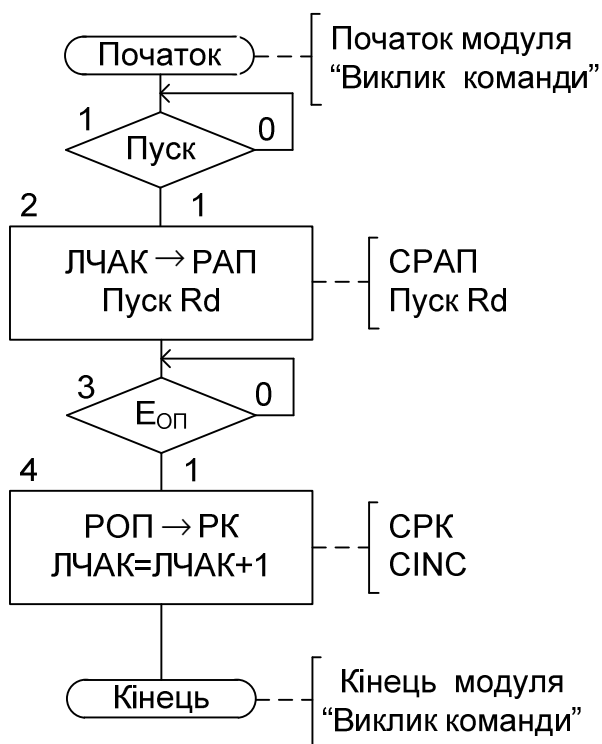


Рисунок 1.3 – Модуль мікропрограми “Виклик команди”: СРАП, СРК, CINC, ПускRd - сигнали керування мікроопераціями у вузлах тракту виклику команди.

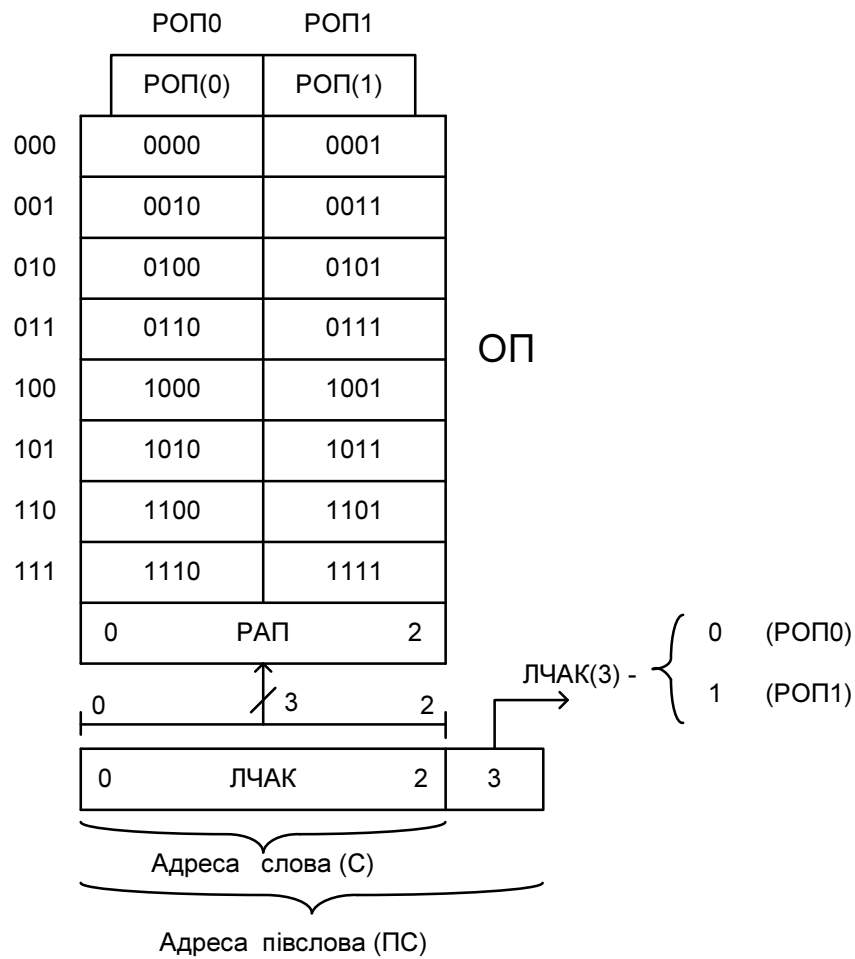
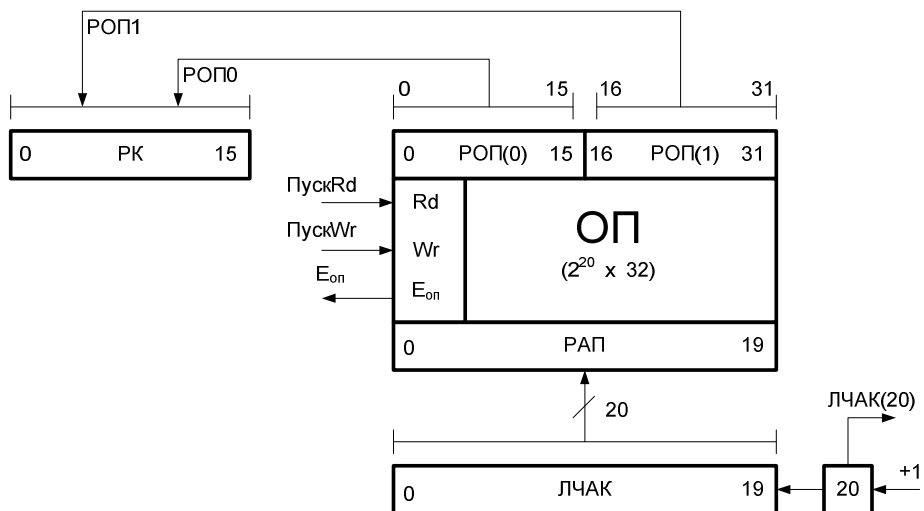


Рисунок 1.4 – Адресація слів (С) і команд довжиною у півслово (ПС)





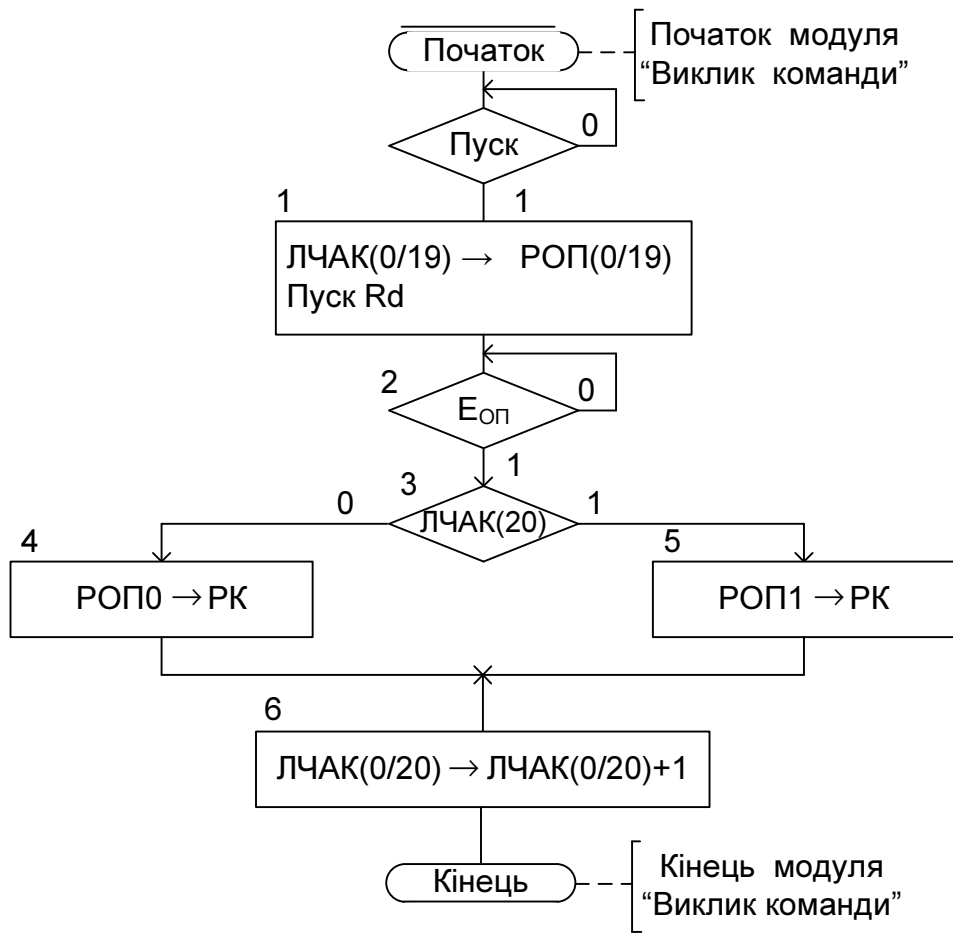


Рисунок 1.6 – Модуль мікропрограми “Виклик команди” при зберіганні двох команд (двох півслів) у одному слові (комірці) ОП.

	РОП0	РОП1	РОП2	РОП3					
101	101 <span style="border: 1px solid black; padding: 2px;">00</span>	101 <span style="border: 1px solid black; padding: 2px;">01</span>	101 <span style="border: 1px solid black; padding: 2px;">10</span>	101 <span style="border: 1px solid black; padding: 2px;">11</span>	ОП				
110	110 <span style="border: 1px solid black; padding: 2px;">00</span>	110 <span style="border: 1px solid black; padding: 2px;">01</span>	110 <span style="border: 1px solid black; padding: 2px;">10</span>	110 <span style="border: 1px solid black; padding: 2px;">11</span>					
111	111 <span style="border: 1px solid black; padding: 2px;">00</span>	111 <span style="border: 1px solid black; padding: 2px;">01</span>	111 <span style="border: 1px solid black; padding: 2px;">10</span>	111 <span style="border: 1px solid black; padding: 2px;">11</span>					
	0	15	16	31	32	47	48	63	

Рисунок 1.7 – Адресація команд довжиною півслово у комірці ОП довжиною чотири півслова (подвійного слова).

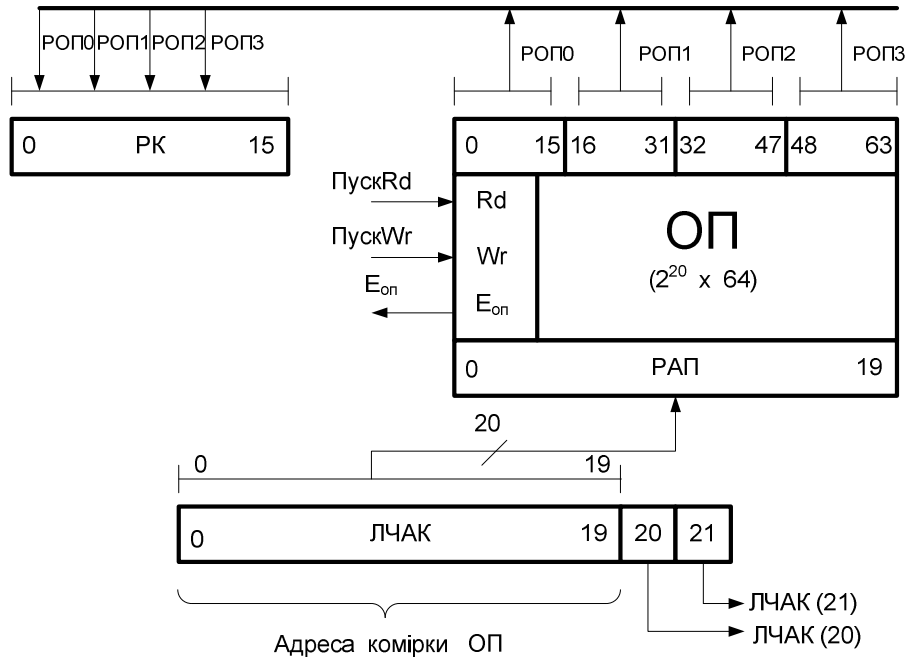


Рисунок 1.8 – Структура блоку виклику команди довжиною півслово (ПС) із комірки пам'яті довжиною чотири півслова (00, 01, 10, 11 - номери півслів у комірки пам'яті).

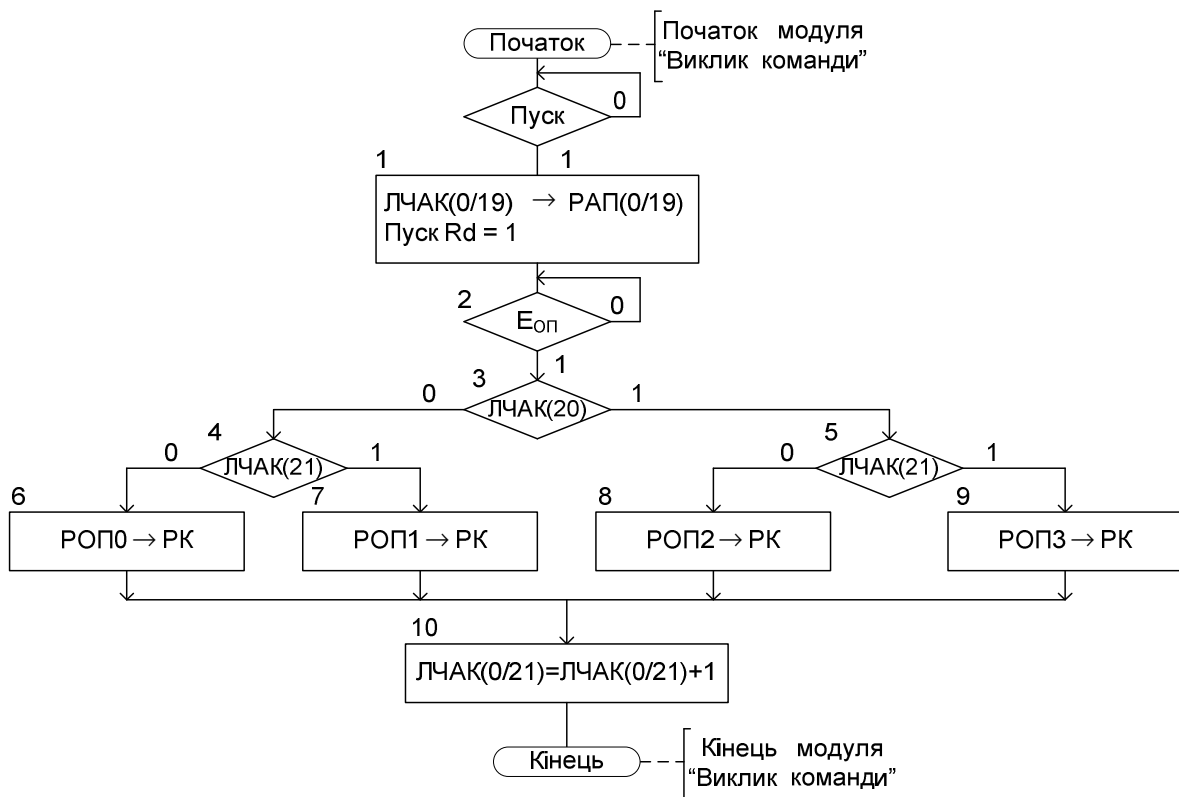


Рисунок 1.9 – Модуль мікропрограми “Виклик команди” при зберіганні команд довжиною півслово (ПС) у комірках пам'яті ОП довжиною чотири ПС (рис.1.7).

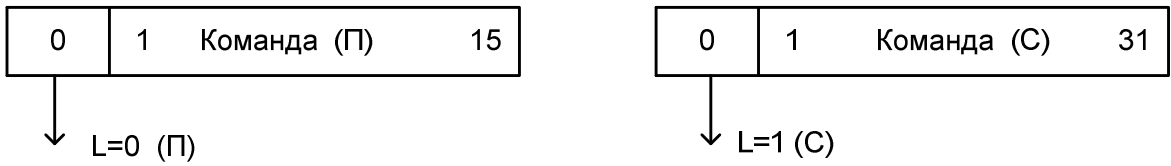


Рисунок 1.10 – Формати команд довжиною півслово ( $L = 0$ ) і слово ( $L = 1$ ).

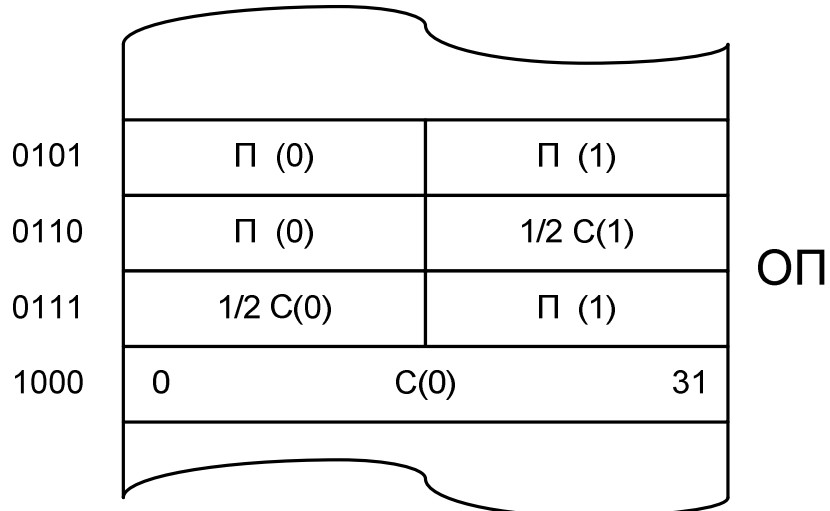


Рисунок 1.11 – Розташування “суміші” команд довжиною півслово (П) і слово (С) в комірках ОП довжиною слово (чотири байти): П (0), П (1) – команда типу “П” розташована відповідно в “0” і “1” півслові РОП; 1/2 С (0), 1/2 С (1) – півслово команди типу “С”, які розташовані в “0” і “1” півслові комірці ОП; С (0) - команда “С” починається з “0” півслова РОП (нульового півслова комірці ОП).

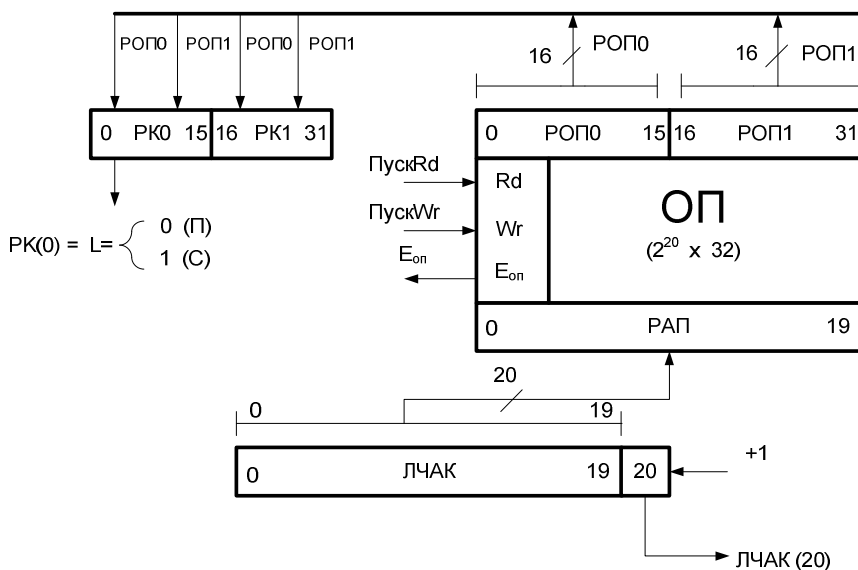


Рисунок 1.12 – Структура блоку виклику команди довжиною півслово (П) або слово (С).

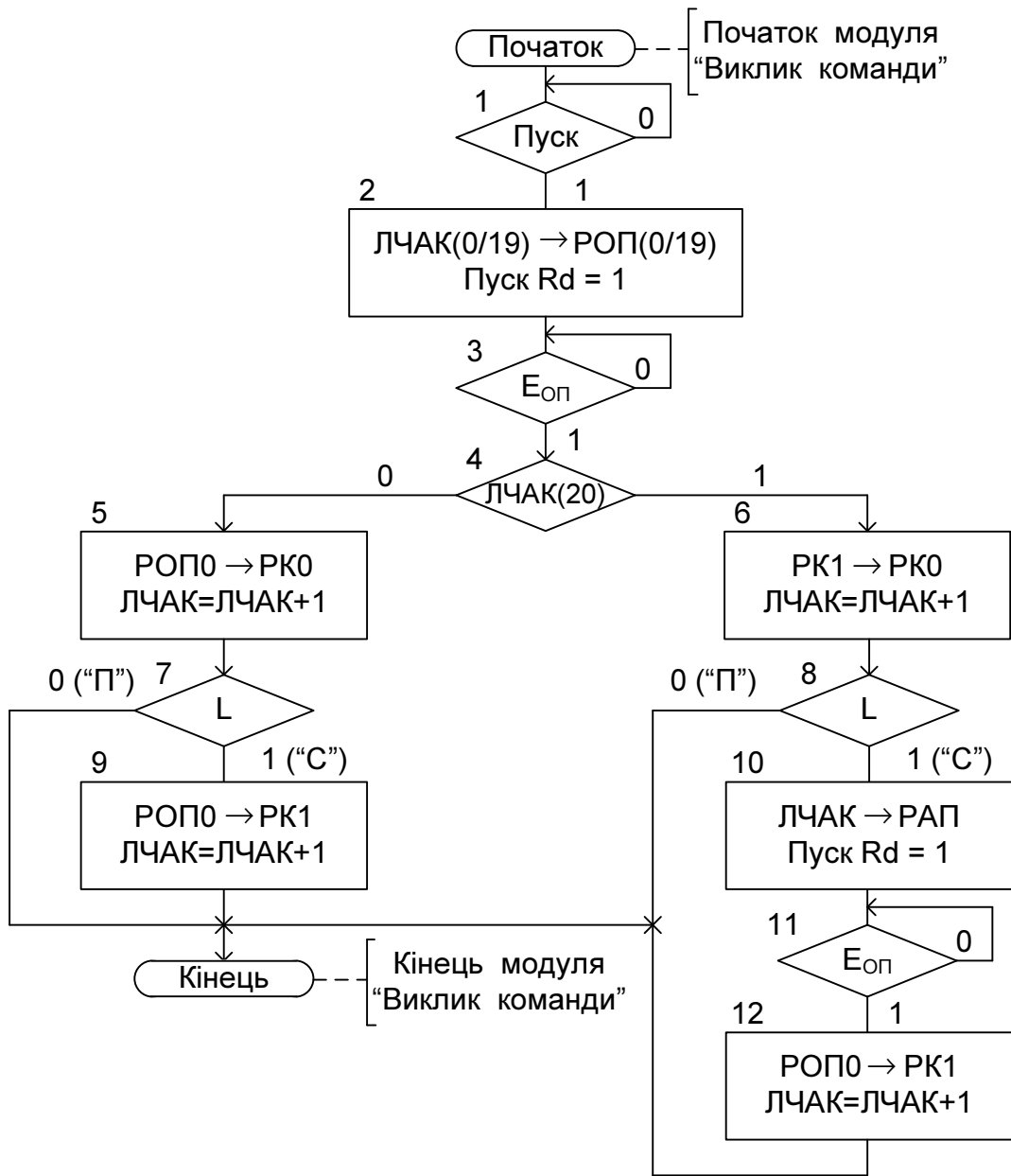


Рисунок 1.13 – Модуль мікропрограми “Виклик команди” при обробці “суміші” команд “П + С” і комірці пам’яті довжиною одне слово (С).

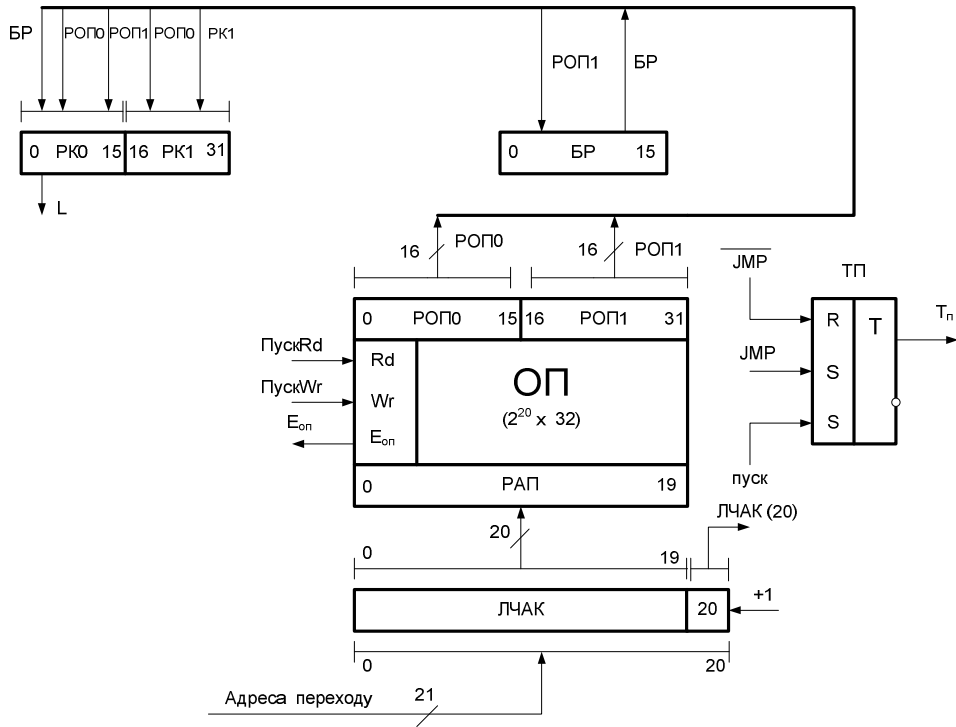


Рисунок 1.14 – Структура блоку виклику команди із буферизацією півслова комірок пам'яті (РОП1)

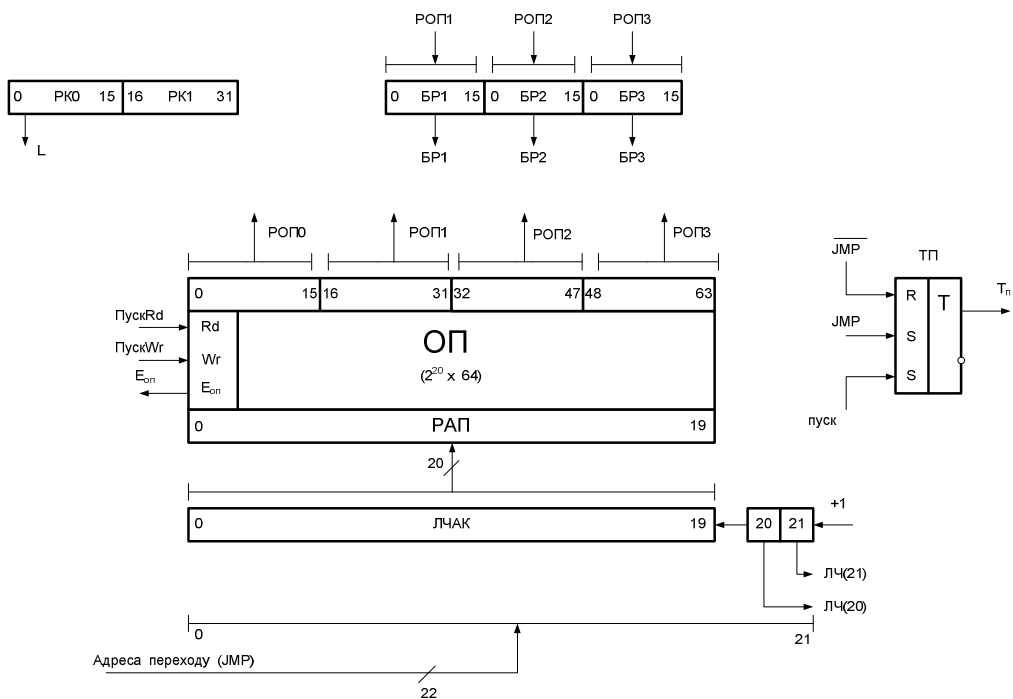


Рисунок 1.16 – Структура блоку виклику команди із буферизацією трьох півслів комірок пам'яті ("П").

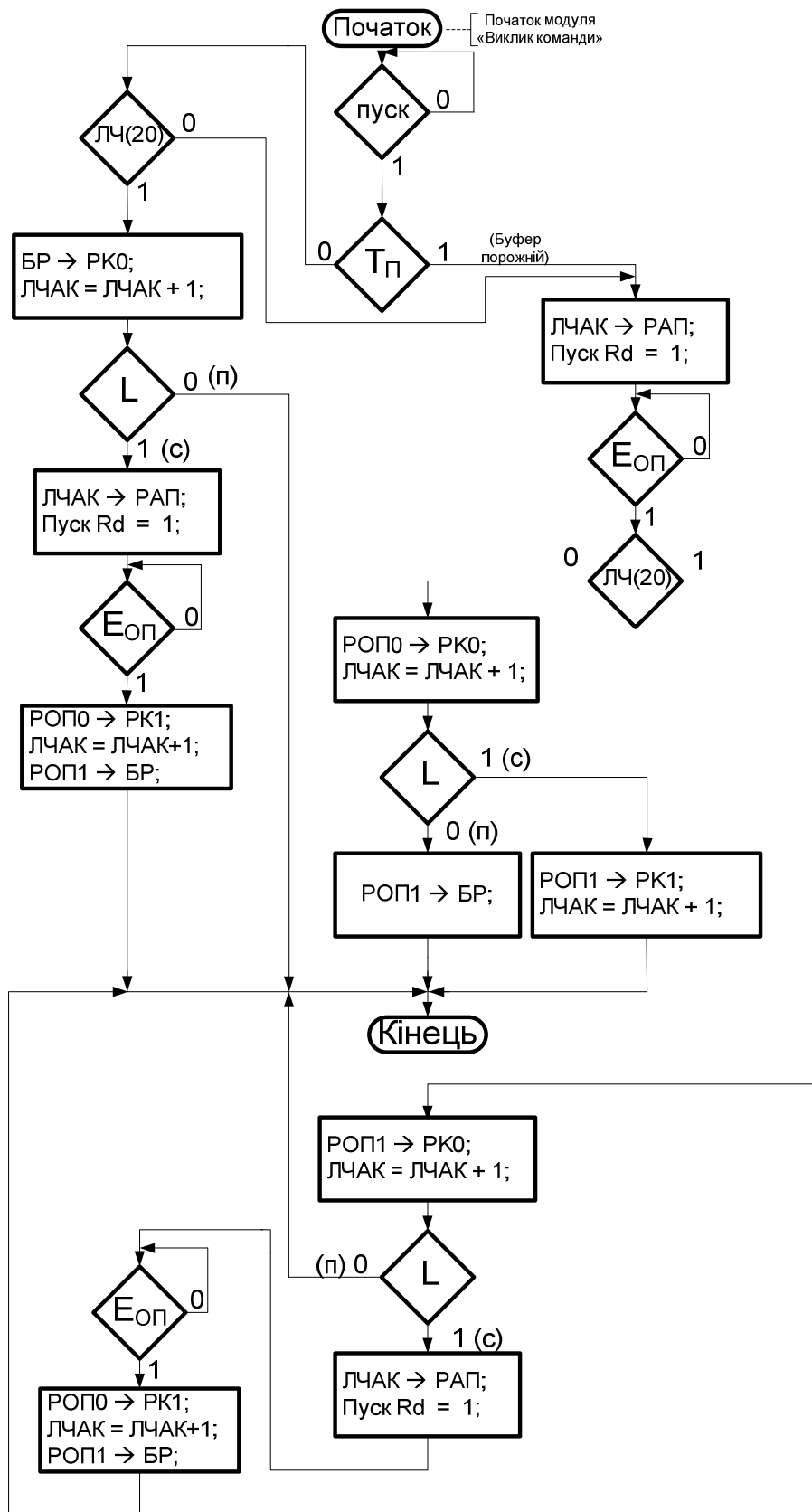


Рисунок 1.15 – Модуль мікропрограми “Виклик команди” із буферізацією півслова (РОП1) комірки пам’яті (рис.1.14).

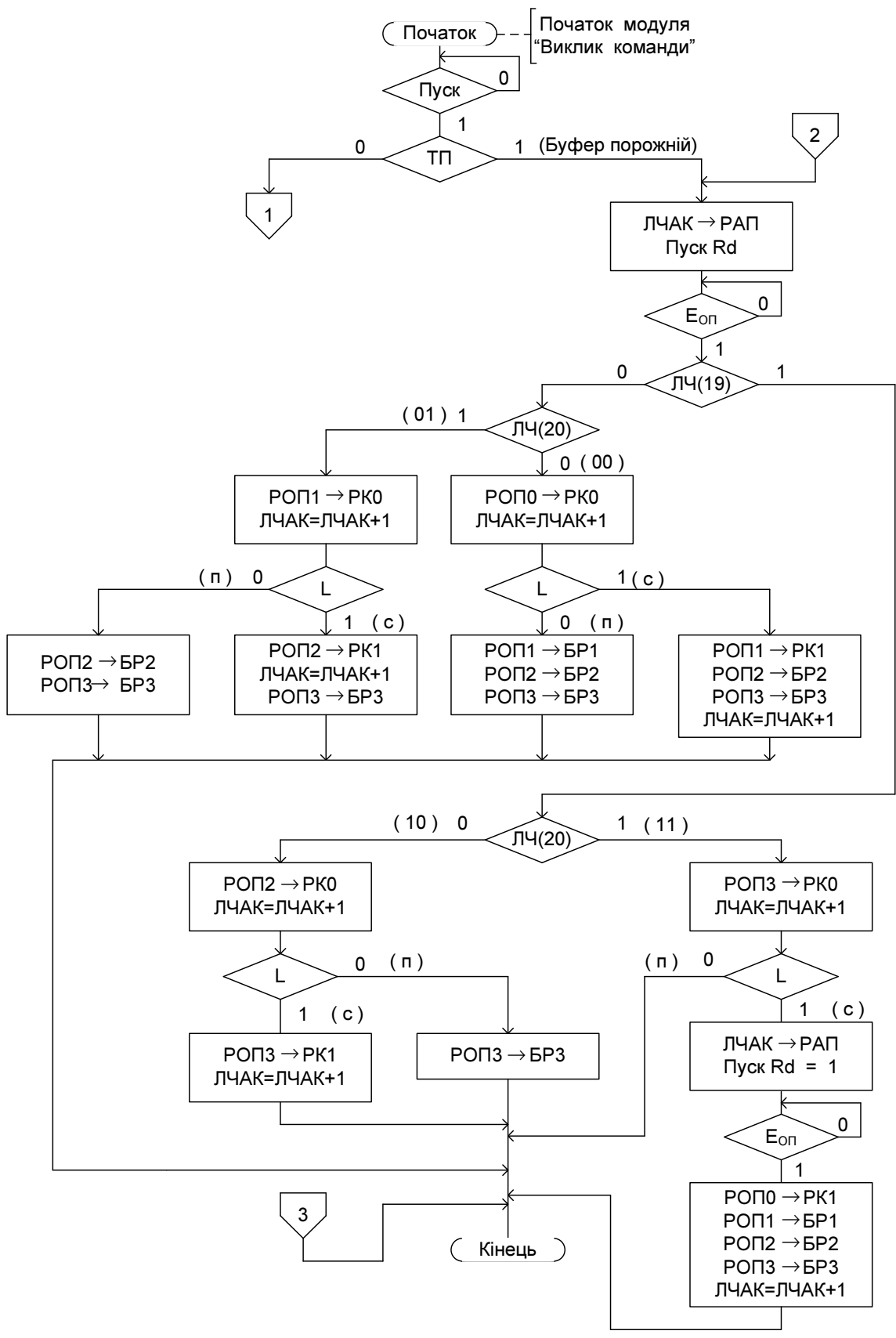


Рисунок 1.17 (початок) - Модуль "Виклик команди" із буферізацією трьох півслів комірок пам'яті (рис.1.16).

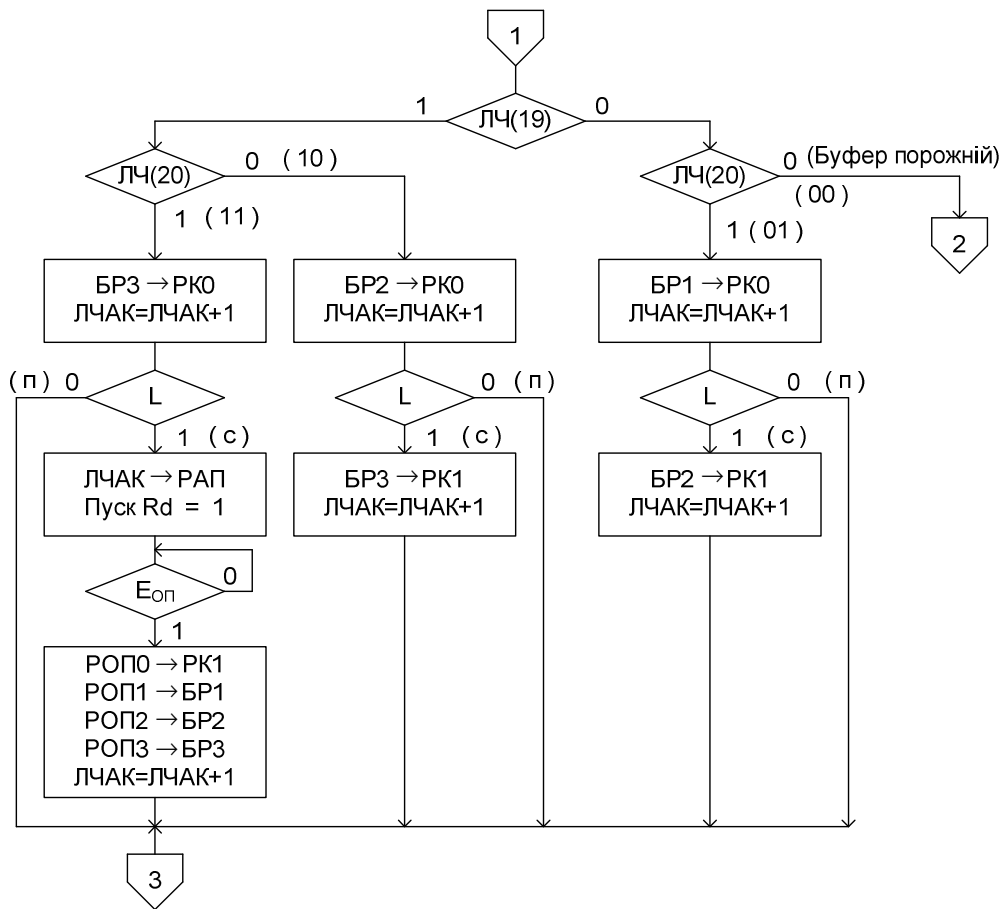


Рисунок 1.17 (кінець) – Модуль “Виклик команди” із буферізацією трьох півслів комірок пам'яті (рис.1.16).

РОП0		РОП1		РОП2		РОП3	
0	П 15	16	П 31	32	П 47	48	П 63
C(00)				C(10)			
П(00)		C(01)				1/2C(11)	
1/2C(00)		П(01)		C(10)			
C(00)				П(10)		П(11)	

ОП

Рисунок 1.18 – Розташування “суміші” команд (П+С) у комірці пам'яті довжиною два слова.



## **2. ВИКОНАННЯ АРИФМЕТИЧНИХ ОПЕРАЦІЙ У ТРИАДРЕСНИХ (3А) І – КОМП'ЮТЕРАХ**

### **2.1. Виконання арифметичних операцій (АО) у триадресних комп'ютерах із індивідуальними каналами передачі інформації між пристроями (І - комп'ютерах) на основі безакумуляторного арифметичного пристрою (БАК АП)**

Можлива структура такої машини показана на рис.2.1. Передбачається, що в машині команди АО виконуються згідно алгоритму:

$$(A1) * (A2) \rightarrow A3,$$

де  $(A1)$ ,  $(A2)$  - вміст комірок пам'яті за адресами  $A1$  і  $A2$ ;  $A3$  - адреса комірки пам'яті для запису результату.

Мікропрограма роботи керуючого автомата комп'ютера при виконанні “АО” показана на рис.2.2. При цьому передбачається, що модуль “Виклик команди” реалізується з використанням раніше викладених зв'язків (інформаційних каналів) і алгоритмів. У зв'язку з багаторазовим характером роботи АП у мікропрограмі реалізовано алгоритм формування “подовженого” такту КП комп'ютера із використанням сигналу готовності даних в АП -  $E_{АП}$  (вершина 12).

### **2.2. Виконання АО у триадресних (3А) І – комп'ютерах на основі акумуляторного АП (АК АП)**

При використанні акумуляторного АП у триадресної машині використовуються різні способи завдання другого операнда і адреси зберігання результату АО (рис.2.3). Можлива структура для реалізації АО із неявною адресацією другого операнда та неявним способом завдання адреси результату операції показана на рис.2.4. Відповідний модуль мікропрограми “Виконання АО” у машині на основі акумуляторного АП наведено на рис.2.5.

### **2.3. Виконання АО у двоадресної (2А) машині на основі архітектури АК АП**

Можливі способи завдання операндів у двоадресної (2А) машині на основі архітектури АП АК показані на рис.2.6. Склад і зв'язки у машині та алгоритм виконання АО наведені відповідно на рис.2.7 і рис.2.8.

### **2.4. Виконання АО у одноадресній машині (1А) на основі архітектури АК АП**

Типові способи виконання АО і ПО у одноадресній (1А) машині на основі архітектури АК АП показані на рис.2.9. Можлива структура для реалізації АО у одноадресній машині і алгоритм виконання АО у АП АК наведені відповідно на рис.2.10 і рис.2.11.

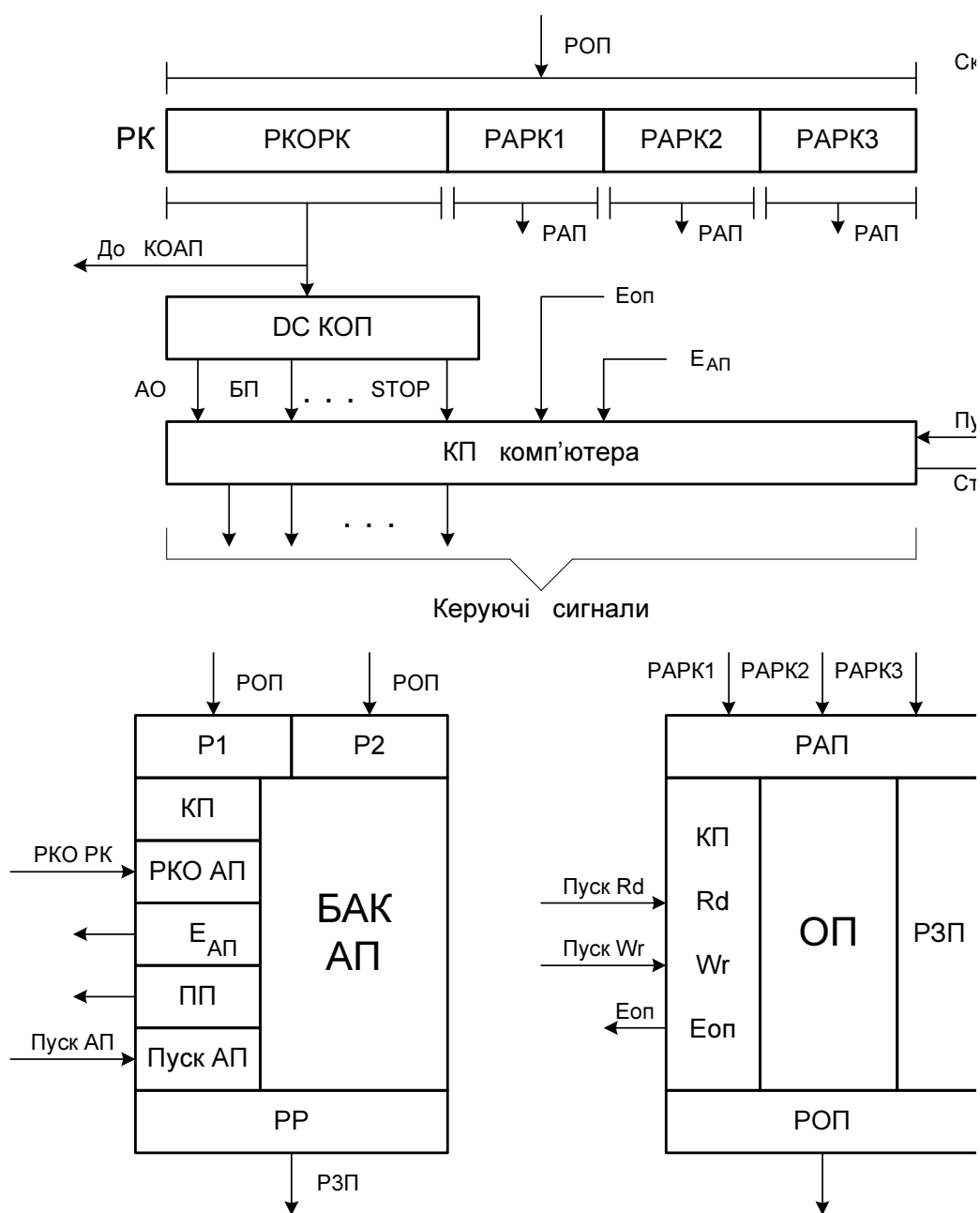


Рисунок 2.1 - Структура триадресного (3А) комп'ютера на основі безакумуляторного (БАК) арифметичного пристрою (АП):

РКОРК - реєстр коду операції реєстру команд;

РАРК1, РАРК2, РАРК3 - реєстри першої, другої і третьої адреси реєстру команд (РК);

РЗП – реєстр запису ОП;

АО - ознака арифметичної операції;

БП – ознака команди безумовного переходу;

STOP - ознака команди зупинки комп'ютера (за програмою).

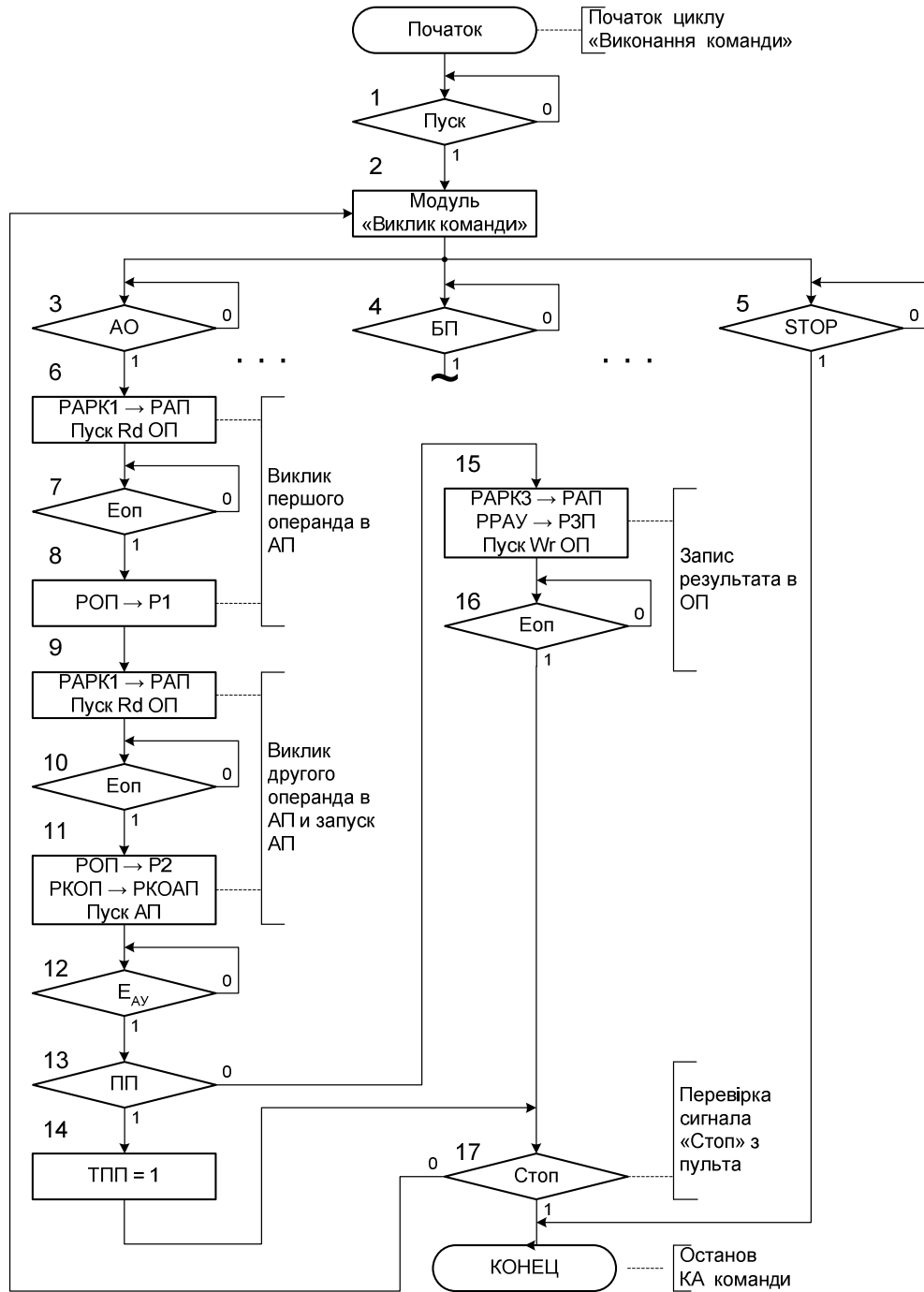


Рисунок 2.2 - Модуль мікропрограми “Виконання АО” у триадресній (ЗА) машині (рис.2.1) на основі безакумуляторного АП (БАК АП)

КОП	ОМ	A1	A2	A3	Алгоритм виконання АО
АО	$M_{123}$	A1	A2	A3	$(A1) * (A2) \rightarrow A3$
АО	$M_{12A}$	A1	A2	-	$(A1) * (A2) \rightarrow AK$
АО	$M_{1A}$	A1	-	-	$(A1) * AK \rightarrow AK$
АО	$M_{1A3}$	A1	-	A3	$(A1) * AK \rightarrow A3$

Рисунок 2.3 - Модифікації (М) триадресних (3А) команд (КОП A1 A2 A3) арифметичних операцій (АО) машини на основі акумуляторного АП (АК АП): АК - акумулятор АП (регістр – акумулятор АП); ОМ – ознака модифікації триадресної команди;  $M_{123}$ ,  $M_{12A}$ ,  $M_{1A}$ ,  $M_{1A3}$  - ознаки модифікації АО у триадресній ЕОМ.

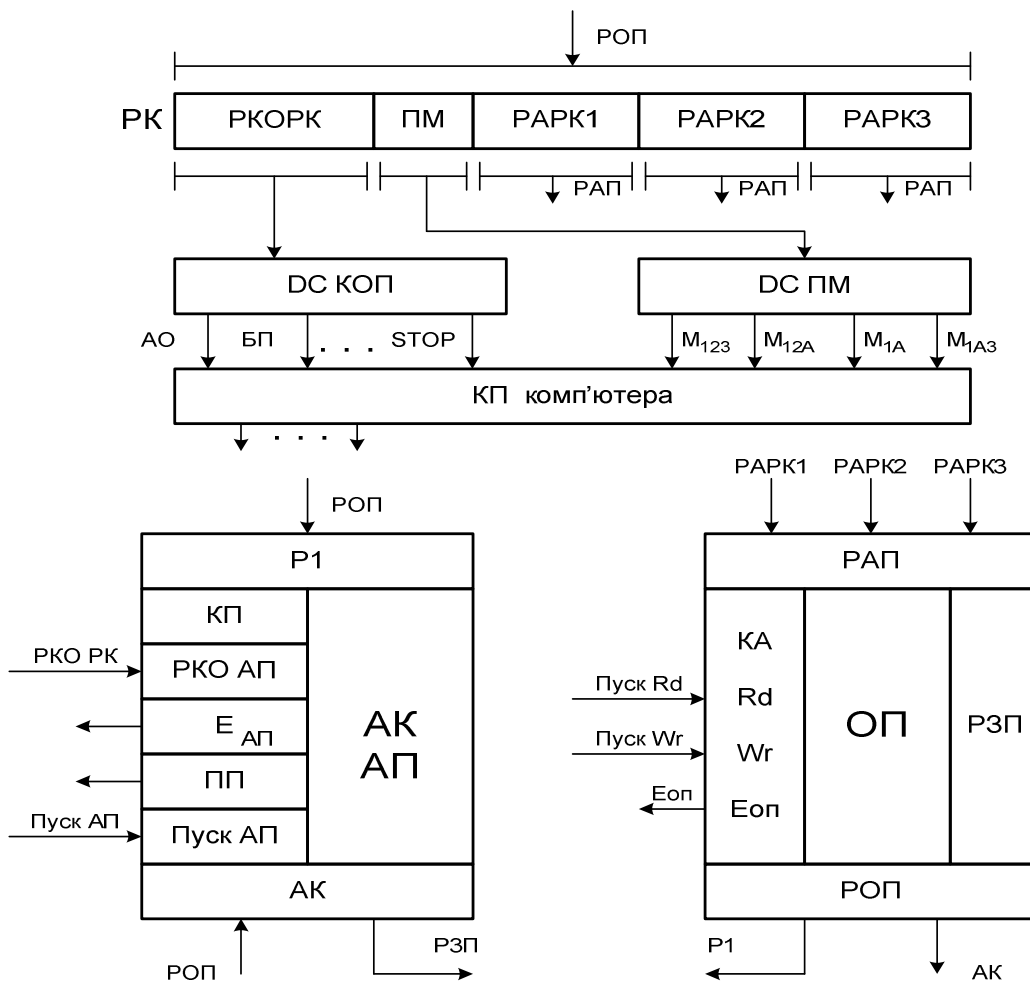


Рисунок 2.4 – Структура триадресної машини на основі акумуляторного АП (АК АП)

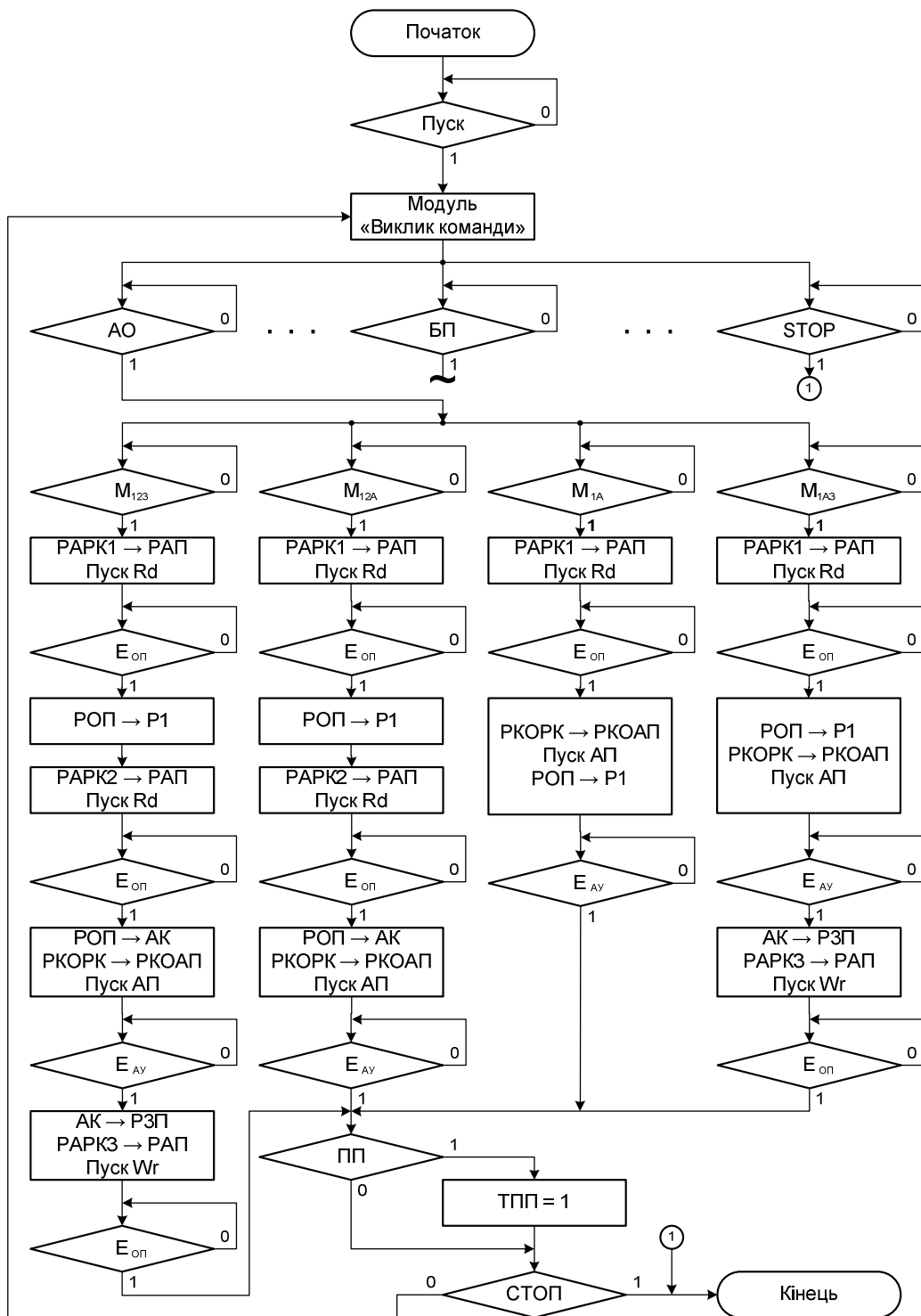


Рисунок 2.5 – Модуль “Виконання АО” у триадесній машині на основі АП АК

КОП	ОМ	А1	А2	Алгоритм виконання АО
АО	$M_{I22}$	A1	A2	$(A1) * (A2) \rightarrow A2$
АО	$M_{I2A}$	A1	A2	$(A1) * (A2) \rightarrow AK$
АО	$M_{IA2}$	A1	A2	$(A1) * AK \rightarrow A2$
АО	$M_{IAA}$	A1	-	$(A1) * AK \rightarrow AK$

Рисунок 2.6 - Модифікація (М) двоадресних АО у машині на основі АК АП

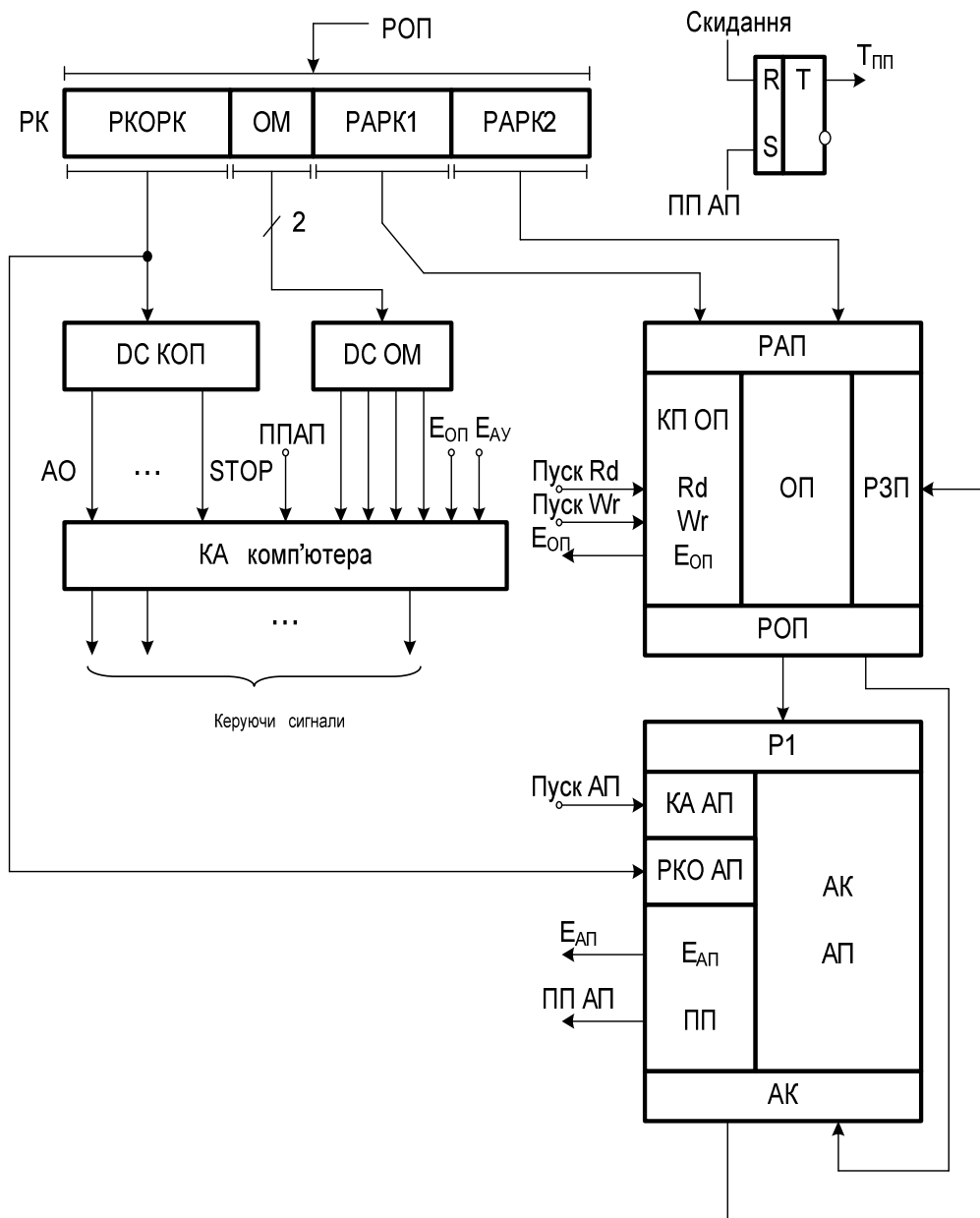


Рисунок 2.7 – Структура двоадресної машини на основі АП АК

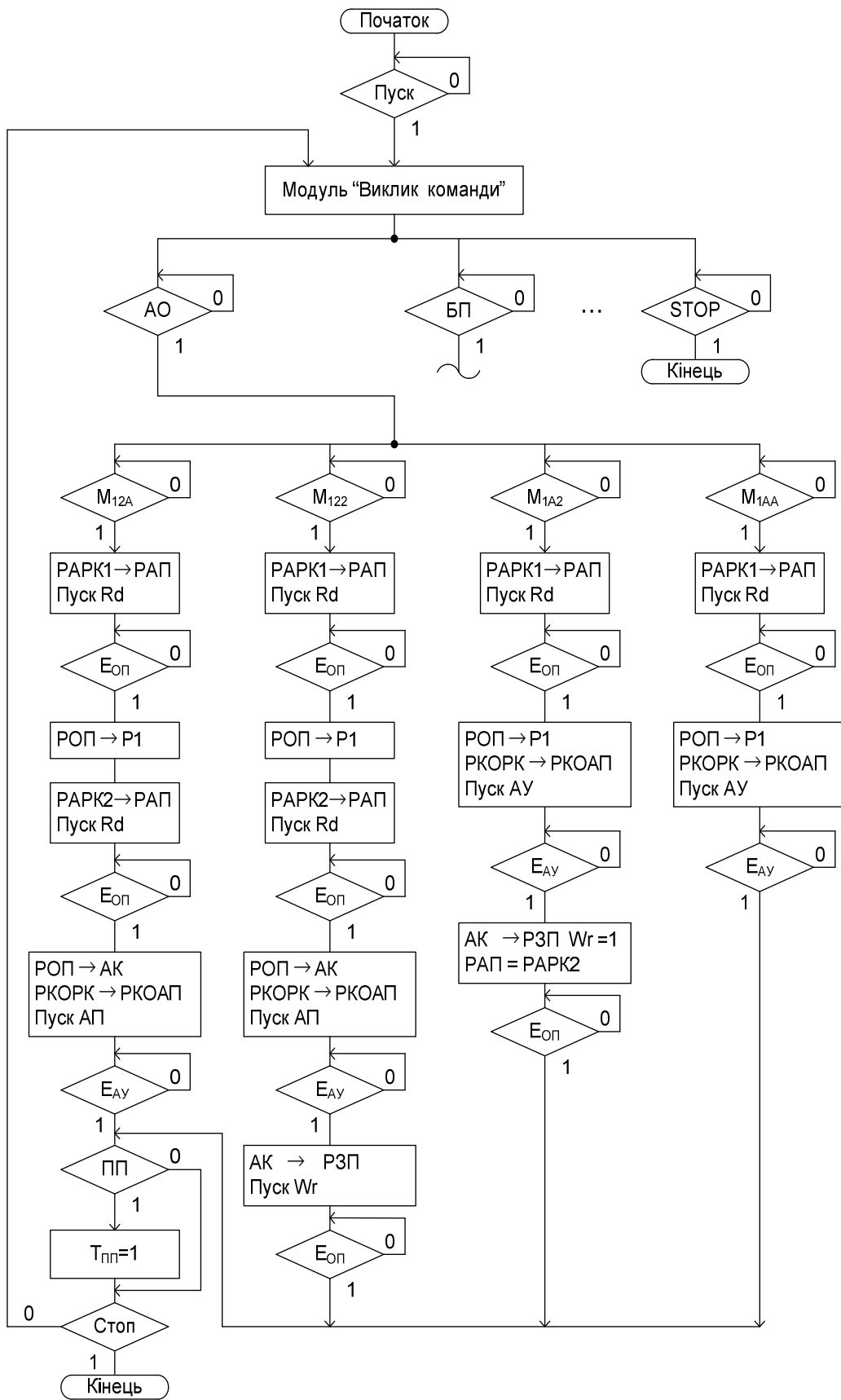


Рисунок 2.8 – Модуль “Виконання АО” двоадресної машини на основі АП АК

КОП	ПМ	А	Алгоритм виконання АО і посилкових операцій (ПО)
АО	0	А	$(A) * АК \rightarrow АК$
АО	1	А	$(A) * АК \rightarrow A$
АО	0	А	$(A) \rightarrow АК$ (завантаження АК)
АО	1	А	$АК \rightarrow A$ (запис АК в ОП)

Рисунок 2.9 – Способи виконання АО і ПО у одноадресній (1А) машині  
на основі АК АП

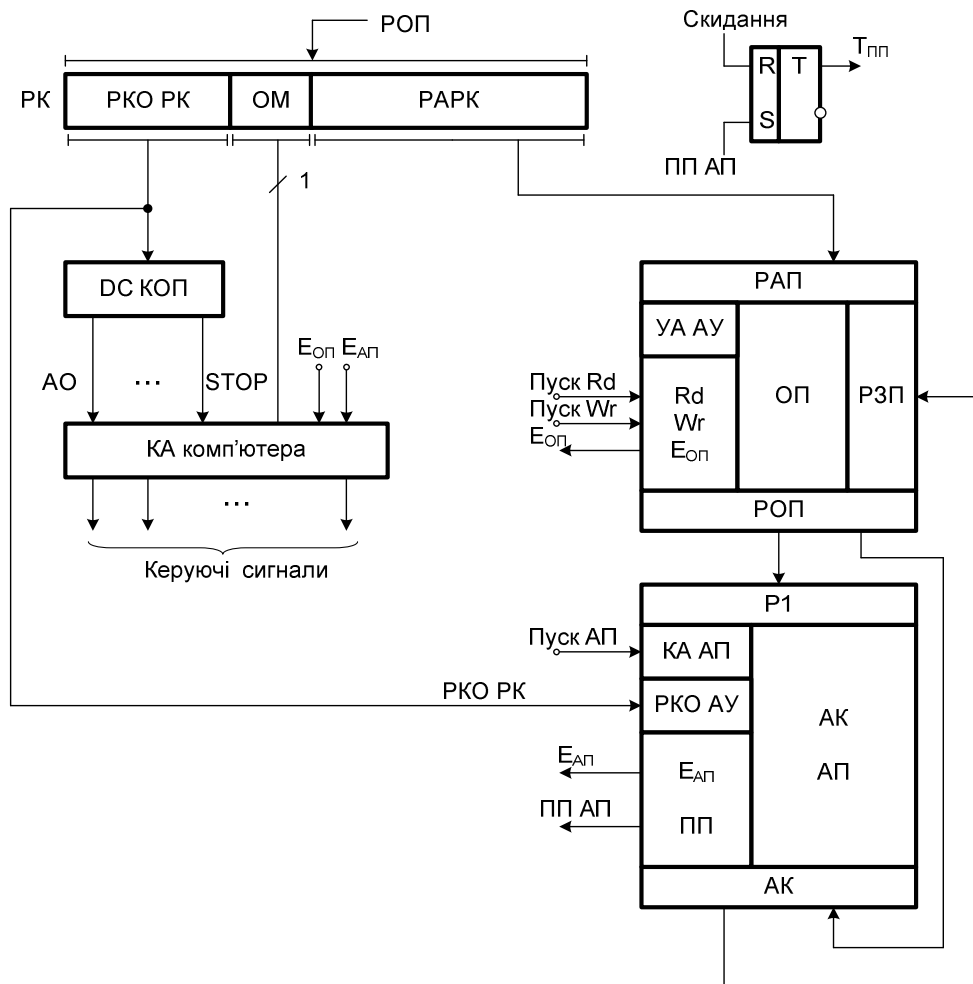


Рисунок 2.10 – Структура одноадресної (1А) машини для реалізації типових команд завантаження АК (ПО) і виконання АО в АП АК.



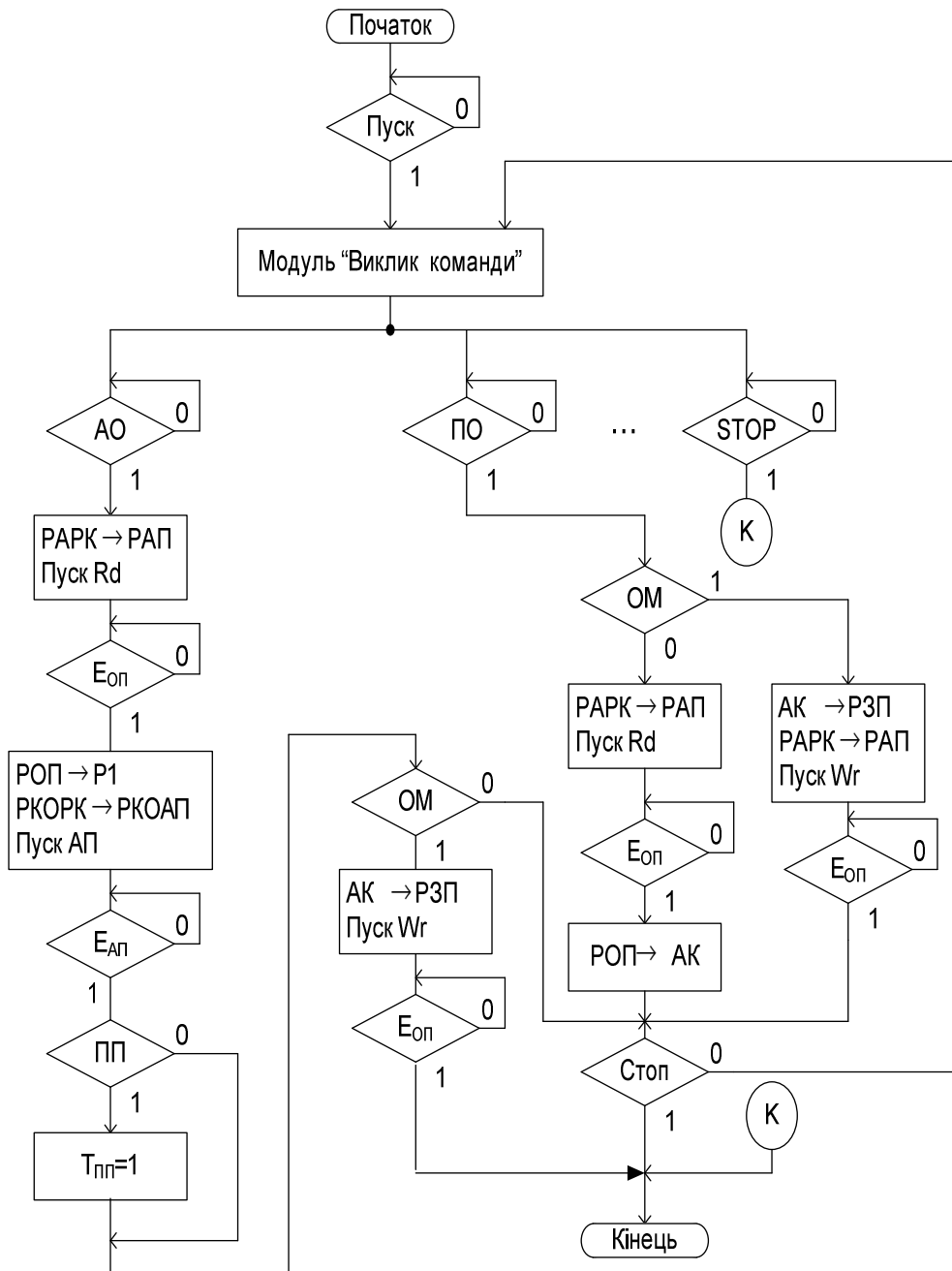


Рисунок 2.11 – Виконання АО і ПО у одноадресній машині на основі АП АК

### 3.ВИКЛИК КОМАНД У М – КОМП'ЮТЕРАХ (У КОМП'ЮТЕРАХ ІЗ ЗАГАЛЬНОЮ СИСТЕМНОЮ МАГІСТРАЛЛЮ) НА ОСНОВІ БЕЗАКУМУЛЯТОРНОГО АП (БАК АП)

Можлива структура М – комп'ютера із загальною системною магістраллю і роздільними шинами даних (ШД), адреси (ША) і керування (ШК) показана на рис.3.1. Керування викликом команди постійної довжини (довжиною одне 32 – розрядне слово) і ширині вибірки з ОП довжиною одне 32 – бітове слово у цьому випадку здійснюється відповідно до мікропрограми на рис.3.2.

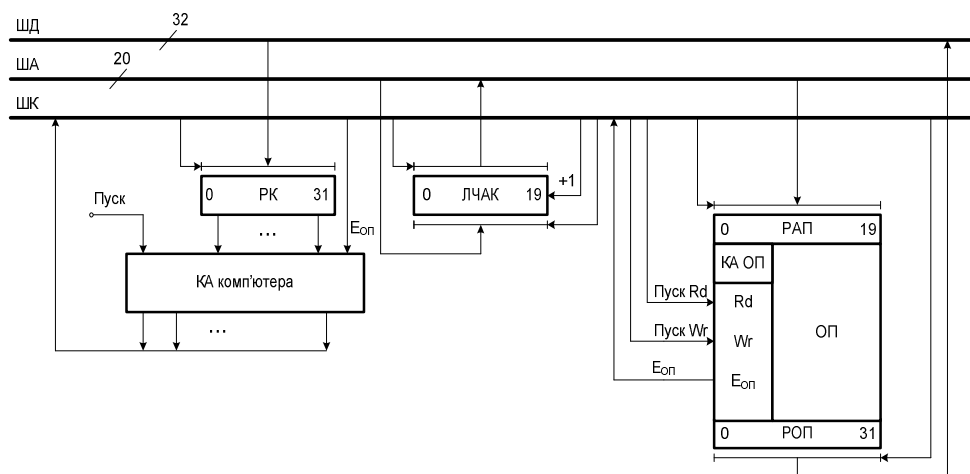


Рисунок 3.1 - Структура блоку “Виклик команди” у комп'ютері з М - архітектурою

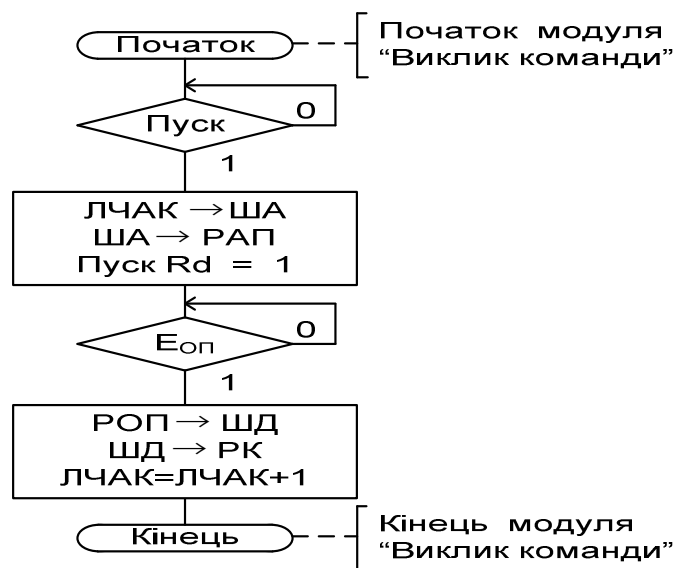


Рисунок 3.2 – Виклик команди у комп'ютері із М – архітектурою

#### 4. ВИКОНАННЯ АРИФМЕТИЧНИХ ОПЕРАЦІЙ (АО) У ТРИАДРЕСНОМУ (ЗА) М – КОМП'ЮТЕРІ НА ОСНОВІ БЕЗАКУМУЛЯТОРНОГО АП (БАК АП)

Можлива структура триадресного (ЗА) М – комп'ютера для реалізації АО у БАК АП показана на рис.4.1. Модуль виконання АО у БАК АП у машині із магістральною організацією показано на рис.4.2. Передбачається, що виконання команд здійснюється відповідно до алгоритму

$$(A1) * (A2) \rightarrow A3,$$

де  $(A1)$ ,  $(A2)$ - вміст першої та другої адреси команди;  $A3$  – значення третьої адреси команди; \* - тип АО в АП.

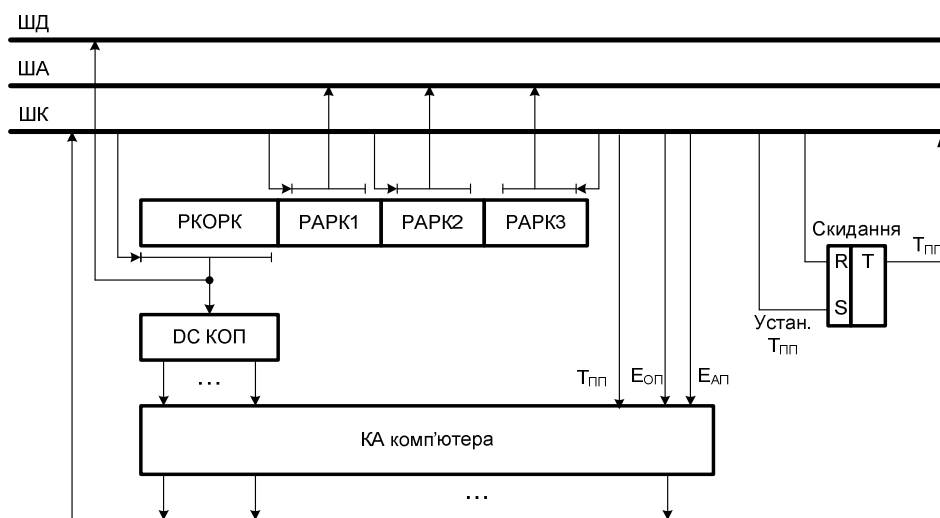


Рисунок 4.1 – Структура зв'язків у триадресному М – комп'ютері для реалізації АО в АП БАК (початок)

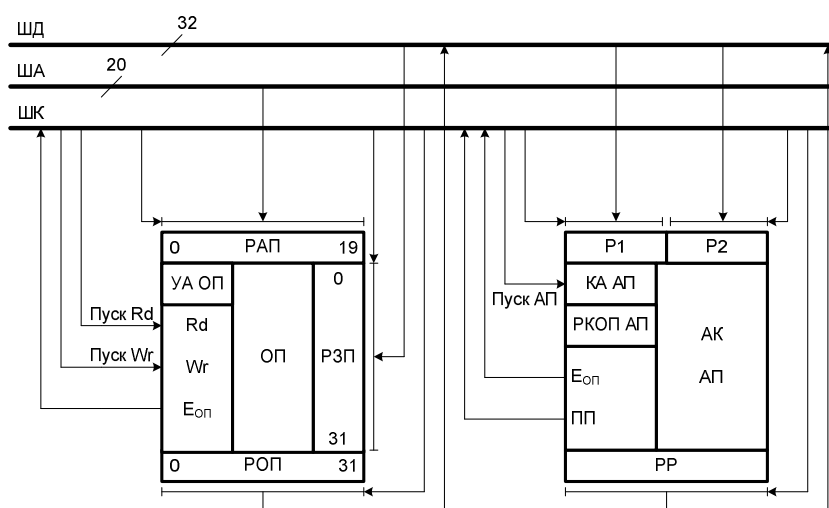


Рисунок 4.1 - Структура зв'язків у триадресному М – комп'ютері для реалізації АО у БАК АП (кінець)

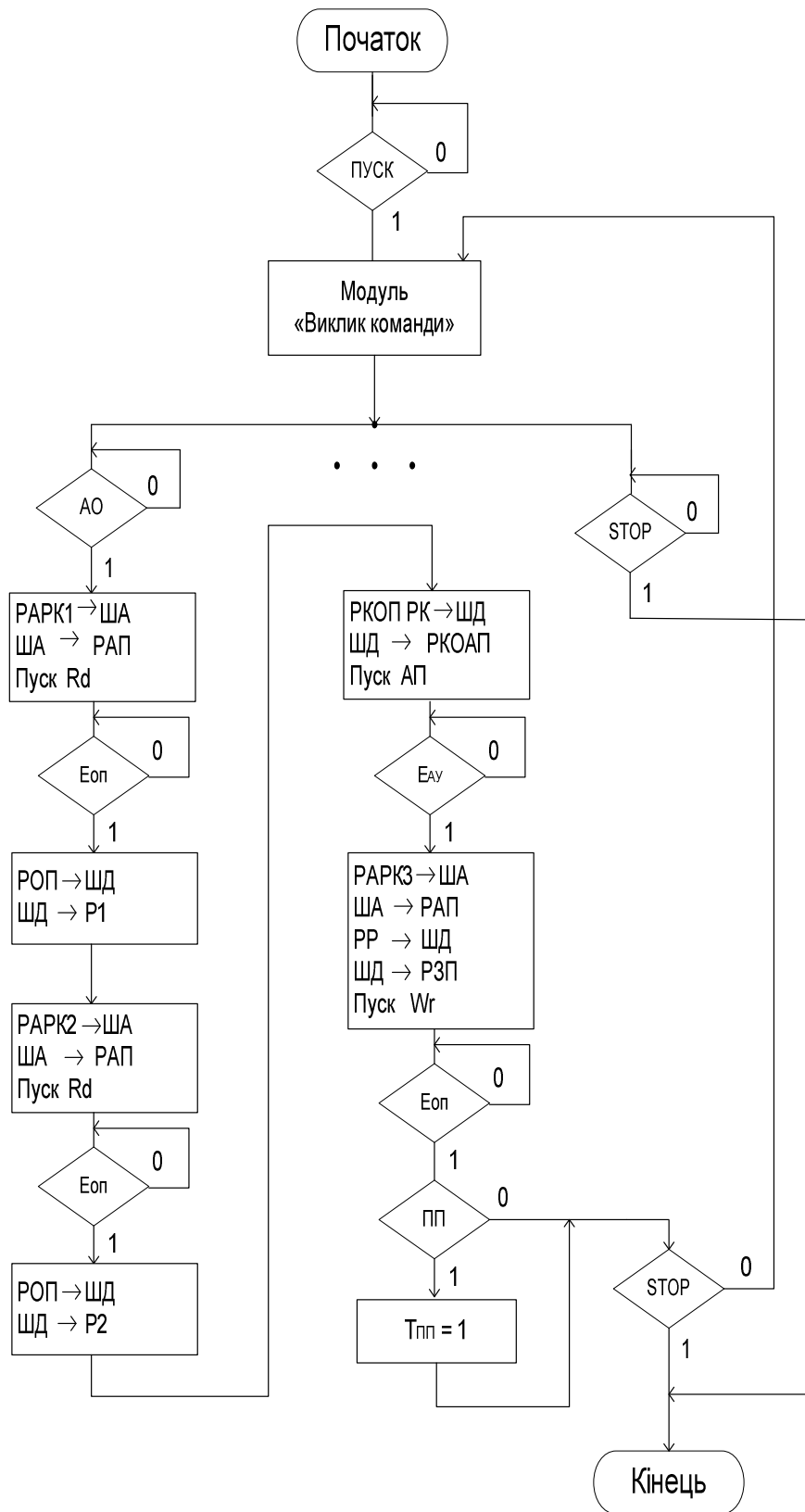


Рисунок 4.2 – Виконання АО у БАК АП триадресного М - комп'ютера

## 5. СТРУКТУРА ТА ФУНКЦІОНАЛЬНА ОРГАНІЗАЦІЯ ЯДРА КОМП'ЮТЕРА ІЗ ІЄРАРХІЧНОЮ ПАМ'ЯТТЮ НА ОСНОВІ РЕГІСТРОВОЇ ПАМ'ЯТІ І ОПЕРАТИВНОГО ЗАПАМ'ЯТОВУЮЧОГО ПРИСТРОЮ

Інформаційні канали та сигнали керування реєстрової пам'яті (РП) і оперативної пам'яті (ОП) показані на рис.5.1. Короткі адреси комірок пам'яті РП утворюють у командах (рис.5.2 – рис.5.4) машини адреси типу R, а складові виконавчих адрес ОП ( $A_{ВИК}^{ВД}$  і  $A_{ВИК}^{ХВД}$ ) утворюють у командах (рис.5.2 – рис.5.4) так звані адреси типу S. Результат операції у ОП завжди записується в один із реєстрів РП (за адресою R1). Отже, формально кожний із реєстрів РП може бути використано у якості акумулятора в процесі обробки даних.

Другий операнд може адресуватися також адресою типу R. Тоді команда утворює формат RR (рис.5.5). При адресуванні у другій адресі простої змінної адреса операнда визначається однорівневою відносною адресацією (рис.5.6):

$$A_{ВИК}^{ВД} = ОП [PP(B_2) + D_2],$$

де  $PP(B_2)$  - базова адреса даних в ОП (вміст комірки пам'яті РП за адресою  $B_2$ );  $D_2$  - зміщення адреси другого операнда щодо базової адреси даних в ОП.

Таким чином, команди при  $B \neq 0$  (при  $A_{ВИК}^{ВД}$ ) являють собою RS структуру (перша адреса в команді типу R, а друга - типу S).

При адресуванні у командах за другою адресою одного з елементів деякого масиву даних ( $X_0, X_1, \dots, X_i$ ) адреса другого операнда задається з використанням дворівневої (рис.5.3) відносної адресації (рис.5.6):

$$A_{ВИК}^{ХВД} = PP(X_2) + PP(B_2) + D_2,$$

де  $(PP(B_2) + D_2)$  - адреса нульового елемента ( $X_0$ ) масиву  $X$  у області даних ОП;  $PP(X_2)$  - зміщення адреси поточного елемента масиву ( $X_i$ ) щодо першого елемента масиву ( $X_0$ ).

Таким чином, у структурному відношенні команди цього типу є структурою типу RX (R - ознака адреси першого операнда, X - ознака адресації елемента масиву чисел з другої адреси).

Із позиції розрядності коду команди RR, RX і RS утворюють "суміш" 16 – розрядного (П) і 32 – розрядного (С) форматів. Тому керування викликом команд повинне здійснюватися з урахуванням можливості початку команди або з нульового півслова РОП (РОП0), або першого півслова РОП (РОП1). Відповідна ознака початку поточної команди

визначається 20 – м розрядом ЛЧАК (ЛЧАК(20)) (рис.5.1). Змістовний граф модуля “Виклик команди” показано на рис.5.7. Змістовний граф модуля “Виконання АО” показано на рис.5.8.

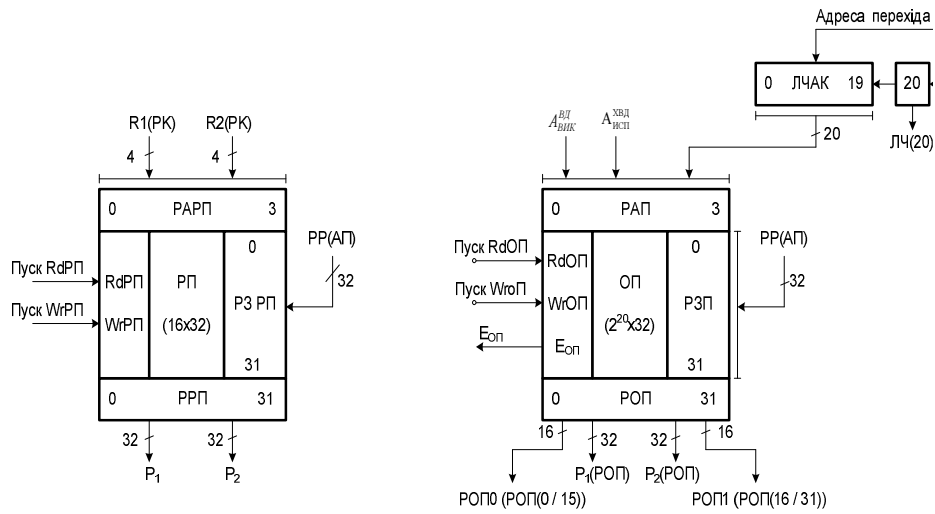


Рисунок 5.1 – Структура ієрархічної пам'яті комп'ютера із локальною регістровою пам'яттю (РП)

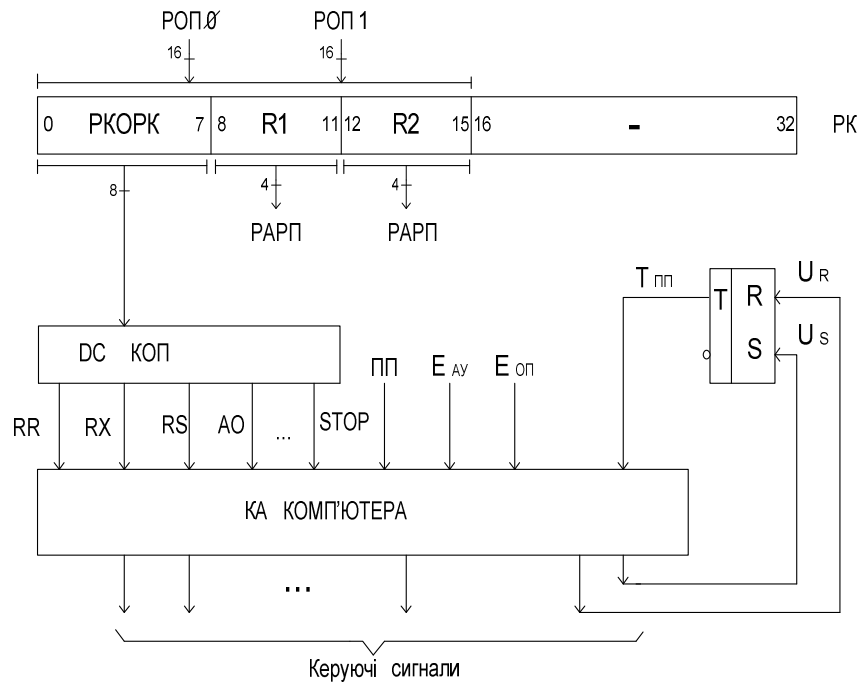


Рисунок 5.2 – Активні поля регістру команд (PK) при виконанні команди RR у комп'ютері (R1 і R2 - адреси простих змінних у РП)

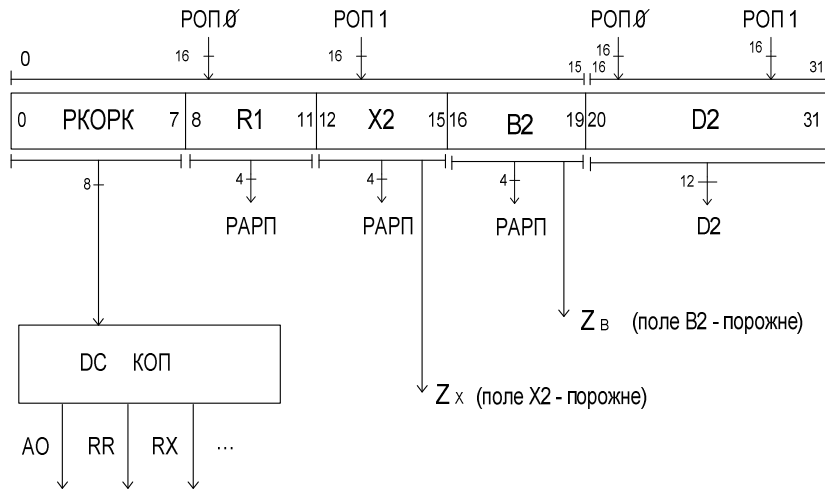


Рисунок 5.3 – Активні поля регістру команд (PK) при виконанні команди RX:

- R1 – адреса простої змінної в РП;
- B2 - базова адреса (у РП по B2) для даних в ОП;
- D2 – зміщення масиву чисел X ( $x_0, x_1, \dots$ ) відносно бази даних B2;
- X - адреса в РП по X2 для поточного елемента масиву ( $x_0, x_1, \dots$ );
- $x_i = \text{ОП} [\text{РП} (B2) + \text{РП} (X2) + D2]$ ,
- де  $(\text{РП}(B2) + \text{РП}(X2) + D2)$  - адреса комірки ОП (адреса типу S).

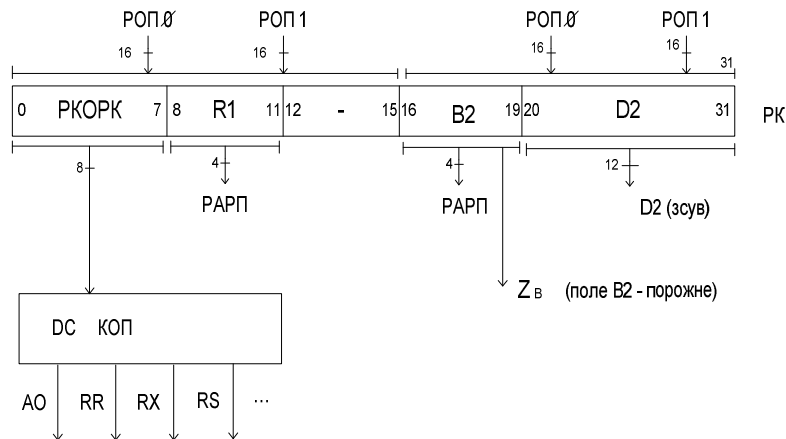


Рисунок 5.4 - Активні поля регістру PK при виконанні команди RS: R1 - адреса першого операнду та результату операції у РП; B2 - базова адреса даних в ОП (вміст комірки РП за адресою B2); D2 - зміщення адреси простої змінної відносно першого елемента даних у ОП;  $(\text{РП} (B2) + D2)$  - адреса типу S (номер комірки у ОП).

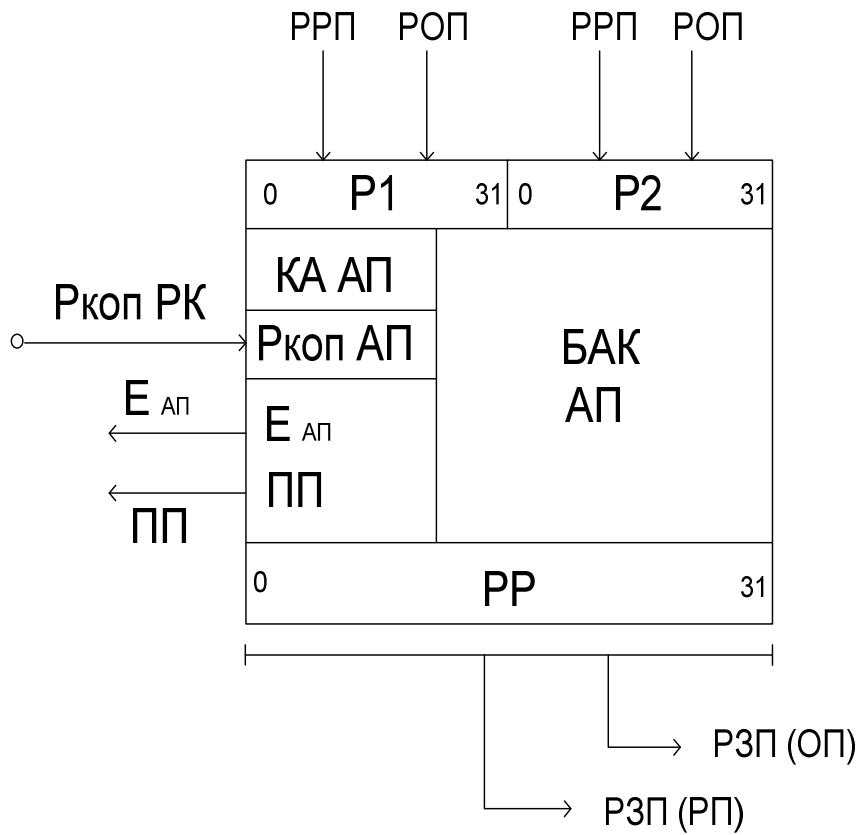


Рисунок 5.5 – Інформаційні канали і сигнали керування безакумуляторного АП комп'ютера із ієрархічною структурою пам'яті

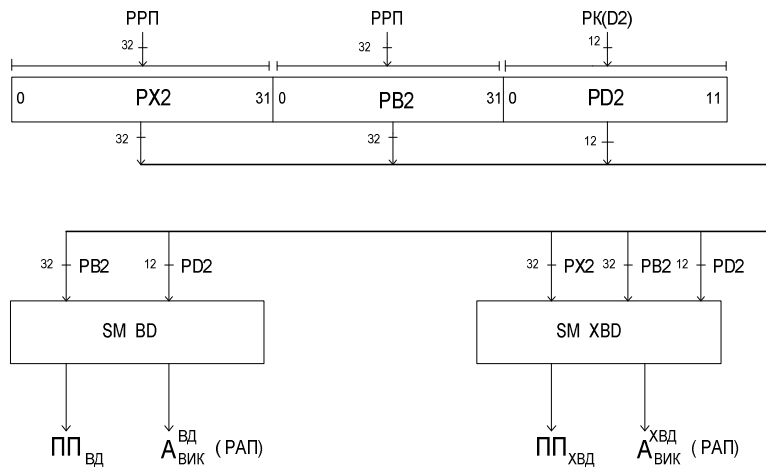


Рисунок 5.6 – Формування виконавчої адреси за однорівневою ( $A_{ВИК}^{ВД}$ ) і дворівневою ( $A_{ВИК}^{ХВД}$ ) відносної адресації



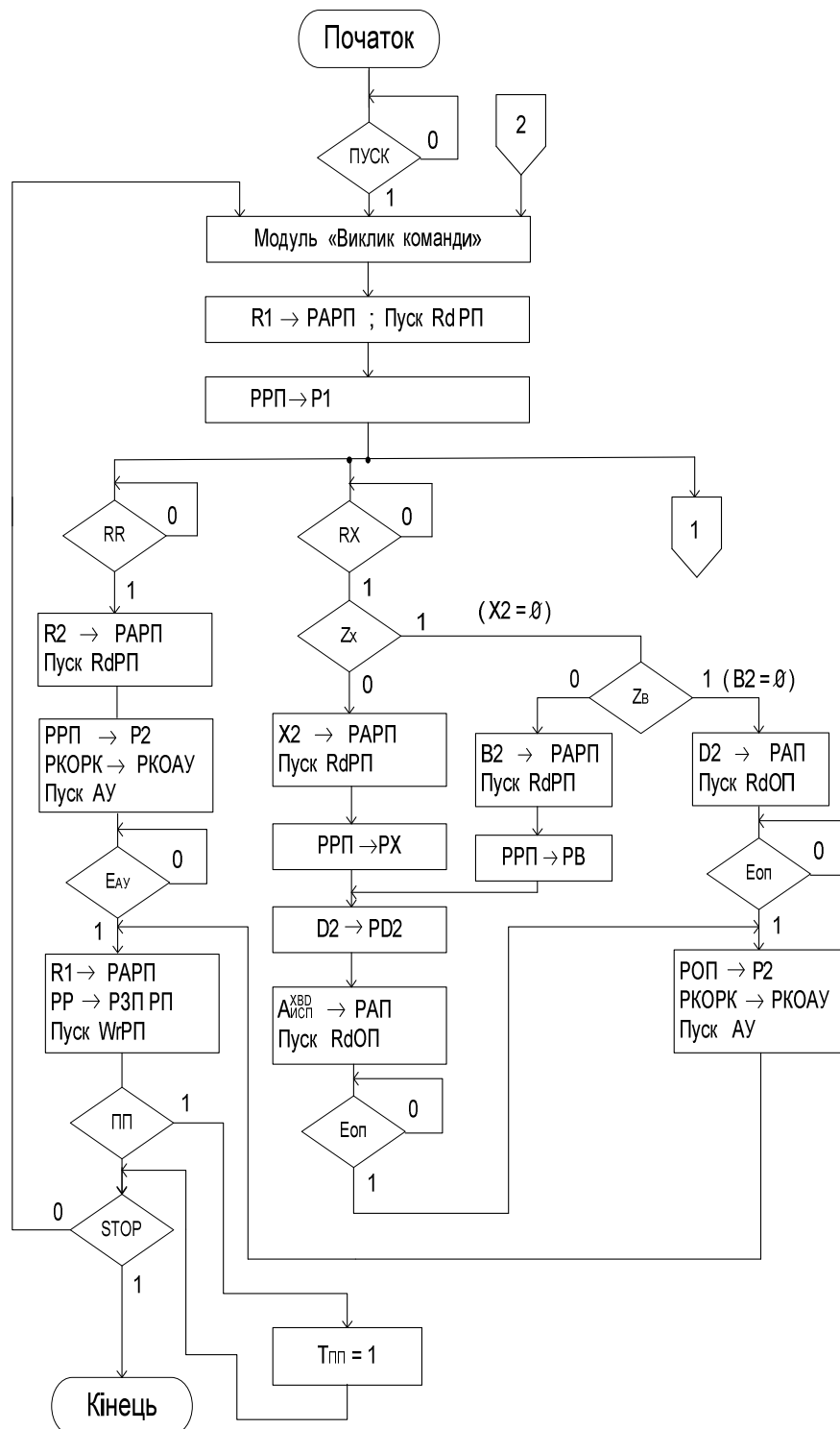


Рисунок 5.8, а - Керування виконанням АО при обробці команд RR, RX і RS у комп'ютері із дворівневою пам'яттю (початок мікропрограми).

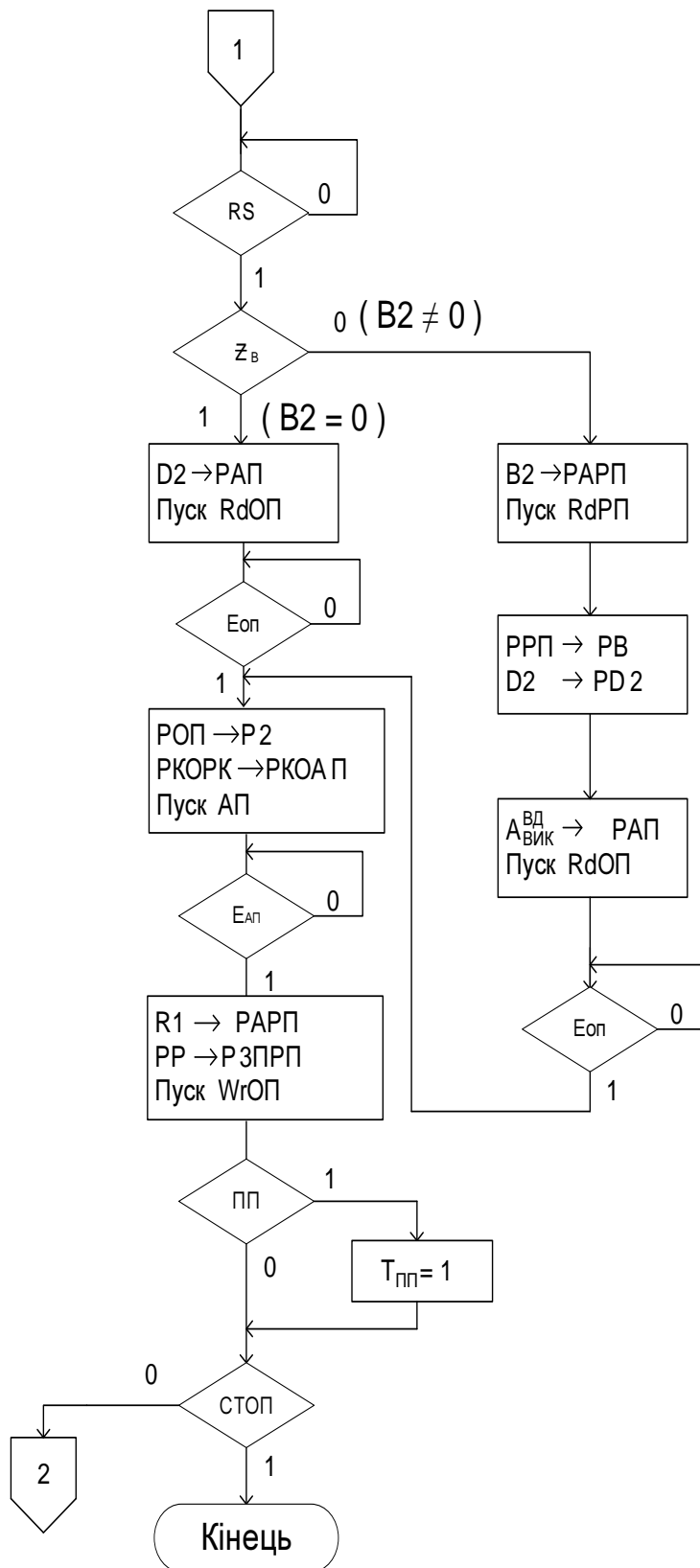


Рисунок 5.8, б - Керування виконанням АО при обробці команд RR, RX і RS у комп'ютері із дворівневою пам'яттю (кінець мікропрограми)

## 6. ТЕСТОВІ ЗАВДАННЯ ДО КОМПЛЕКСНОЇ КОНТРОЛЬНОЇ РОБОТИ

### Завдання 1

Розробити функціональну схему (ФС) і мікропрограму (МП) запису команд із основної пам'яті (ОП) у регістр команд (РК): ОП [ ЛЧАК ] → РК, де ЛЧАК - лічильник адреси команд.

Параметри основної пам'яті. Таблиця 1

Варіант = (N) <sub>mod6</sub>	Параметри ОП	
	Розрядність комірки ОП (біт)	Ємність ОП (Мб)
0	16 (ПС)	2
1	32 (2 ПС)	4
2	32 (2 ПС)	16
3	16 (ПС)	4
4	64 (4 ПС)	8
5	64 (4 ПС)	16

Розрядність регістру команд. Таблиця 2

Варіант = (N) <sub>mod4</sub>	Розрядність РК	
	Кількість біт	Кількість півслів (ПС)
0	16	ПС (одне півслово)
1	32	2ПС (два півслова)
2	48	3ПС (три півслова)
3	64	4ПС (чотири півслова)

### Завдання 2

Розробити функціональну схему та мікропрограму запису команд із ОП у РК (ОП [ ЛЧАК ] → РК) і виконання арифметичної операції (АО) у комп'ютері заданої архітектури.

Архітектура комп'ютерів. Таблиця 3.

Варіант = (N) <sub>mod13</sub>	Тип архітектури комп'ютера	Примітки
0	I – 3A	I – архітектура комп'ютера з індивідуальними (I) шинами зв'язку пристроїв. 3A – комп'ютер із триадресною системою команд (СК)
1	M – 3A	M – архітектура комп'ютера з магістральної (M) системою шин зв'язку пристроїв.
2	I – 3A – АК (ОМ)	АК – АП - арифметичний пристрій (АП) комп'ютера з акумуляторної архітектурою. ОМ - поле ознаки модифікації АО.
3	M – 3A – АК (ОМ)	
4	I – 2A – АК (ОМ)	
5	M – 2A – АК (ОМ)	
6	I – 1A – АК (ОМ)	
7	M – 1A – АК (ОМ)	
8	I – 1A – АК (ОМ / ПА)	ПА - поле ознаки адресації регістру адреси регістру команд (РАРК).
9	M – 1A – АК (ОМ / ПА)	
10	I – 1A – АК (ОМ / ПА / В)	В - поле адресації пам'яті базових адрес (ПБА).
11	I – 1A – АК (ОМ / ПА / Х / В)	Х - поле адресації пам'яті індексів (ПІ)
12	I – 1A – АК (ОМ / ПА / ХК / ВК)	ХК / ВК - однорозрядні ознаки наявності індексу і / або бази в багатослівній команді.

### Завдання 3

Розробити функціональну схему та мікропрограму запису команд із змінною довжиною у РК (ОП [ ЛЧАК ] → РК) із буферизацією наступної команди (команд) у спеціальному буферному регістрі (БР).

Параметри основної пам'яті. Таблиця 4

Варіант = (N) <sub>mod3</sub>	Параметри ОП	
	Розрядність комірки ОП (біт)	Ємність ОП (Мб)
0	32	4
1	48	4
2	64	16

Типи заданих команд. Таблиця 5.

Варіант = (N) <sub>mod4</sub>	Склад "суміші" команд	Примітки
0	RR + RX	RR = ПС, RX = 2ПС
1	RR + SS	SS = 3ПС
2	RX + SS	
3	RR + RX + SS	

## СПИСОК ЛІТЕРАТУРИ

### Основна література

1. Орлов С. А., Цилькер Б. Я. Организация ЭВМ и систем. Фундаментальный курс по архитектуре и структуре современных компьютерных средств: Учебник для вузов. 2 – е изд. – СПб.: Питер, 2011. – 668 с.
2. Жмакин А. Архитектура ЭВМ. 2 – е изд. – СПб.: БХВ – Петербург, 2010.–312 с.
3. Гуоров В. В., Чуканов В. О. Основы теории и организации ЭВМ. - М.: Бином, 2006. – 272 с.
4. Бабіч М. П., Жуков І. А. Комп'ютерна схемотехніка. Навчальний посібник. – Київ: МК – Прес, 2004. – 412 с.

### Додаткова література

5. Цилькер Б. Я., Орлов С. А. Организация ЭВМ и систем: Учебник для вузов. – СПб.: Питер, 2006. – 668 с.
6. Столлингс У. Структурная организация и архитектура компьютерных систем, 5 – е изд. // Пер. с англ. – М.: изд. Дом “Вильямс”, 2002. – 896 с.
7. Самофалов К. Г., Корнейчук В. И., Тарасенко В. П. Цифровые ЭВМ. Теория и проектирование. – К.: Выща шк., 1989. – 424 с.
8. Каган Б. М. Электронные вычислительные машины и системы: Учебное пособие для вузов. – М.: Энергоатомиздат, 1991. – 592 с.
9. Майоров С. А., Новиков Г. И. Структура электронных вычислительных машин. – Л.: Машиностроение, 1979. – 384 с.
10. Майоров С. А., Новиков Г. И. Принципы организации цифровых машин. – Л.: Машиностроение, 1974. – 232 с.
11. Методичні вказівки до лабораторного практикуму з курсу “Архітектура комп'ютерів” для студентів спеціальностей “Комп'ютерні системи і мережі” та “Системне програмування” / Укл. Лапко В. В., Губарь Ю. В. - Донецьк: Видавництво ДНТУ, 2005.– 120 с.
12. Методичні вказівки до лабораторного практикуму РС&EWB з курсу “Цифрові ЕОМ” для студентів спеціальностей “Комп'ютерні системи і мережі” та “Системне програмування” / Укл. Лапко В. В., Губарь Ю. В. - Донецьк: Видавництво ДНТУ, 2004.– 78 с.
13. Проектирование цифровых систем на комплектах микропрограммируемых БИС / С.С. Булгаков, В. М. Мещеряков, В.В. Новоселов, Л.А. Шумилов; Под ред. В. Г. Колесникова – М.: Радио и связь, 1984. – 240 с.
14. Мик Дж., Брик Дж. Проектирование микропроцессорных устройств с разрядно – модульной организацией – М.: Мир, 1984. – т.1, т.2.
15. Хвощ С.Т., Варлинский Н.Н., Попов Е.А. Микропроцессоры и микроЭВМ в системах автоматического управления – Л.: Машиностроение, 1988. – 640 с.
16. Справочник по устройствам цифровой обработки

информации / Н.А. Виноградов, В. Н. Яковлев, В.В. Воскресенский и др. – К.: Техніка, 1988. - 415 с.

17. Угрюмов Е. П. Цифровая схемотехника. – СПб.: БХВ – Петербург, 2004.–528 с.

18. Карцев М. А., Брик В. А. Вычислительные системы и синхронная арифметика. – М.: Радио и связь, 1981. – 360 с.

19. Карцев М. А. Арифметика цифровых машин. М.: Наука, 1969.

20. Потемкин И. И. Функциональные узлы цифровой автоматики. – М.: Радио и связь, 1985. – 210 с.

21. Корнейчук В. И., Тарасенко В. П. Основы компьютерной арифметики. – К.: 2002. 175 с.

22. Уэйкерли Д. Проектирование цифровых устройств. В 2 – х томах. – М.: Постмаркер, 2002. – 544 с. (1 т.); 528 с. (2 т.).

## З М І С Т

ПЕРЕЛІК ОСНОВНИХ СКОРОЧЕНЬ .....	3
1. ВИБІР КОМАНД В І- КОМП'ЮТЕРАХ .....	4
1.1. Вибір команд постійної довжини .....	4
1.1.1. Вибір команд фіксованого формату при однаковій довжині команд і комірок оперативної пам'яті (ОП) .	4
1.1.2. Вибір команд за форматом кратним довжині машинного слова ОП.....	4
1.2. Вибір “суміші” команд довжиною одне півслово (ПС) і слово (С) .....	4
1.3. Вибір “суміші” команд із буферизацією комірок пам'яті.....	5
2. ВИКОНАННЯ АРИФМЕТИЧНИХ ОПЕРАЦІЙ У ТРИАДРЕСНИХ (ЗА) І- КОМП'ЮТЕРАХ .....	16
2.1. Виконання арифметичних операцій (АО) у триадресних комп'ютерах із індивідуальними каналами передачі інформації між пристроями (І – комп'ютерах) на основі безакумуляторного арифметичного пристрою (БАК АП).....	16
2.2. Виконання АО у триадресних (ЗА) І – комп'ютерах на основі акумуляторного АП (АК АП).....	16
2.3. Виконання АО у двоадресній (2А) машині на основі архітектури АК АП.....	16
2.4. Виконання АО у одноадресній машині (1А) на основі архітектури АК АП.....	16
3. ВИКЛИК КОМАНД У М – КОМП'ЮТЕРАХ (У КОМП'ЮТЕРАХ ІЗ ЗАГАЛЬНОЮ СИСТЕМНОЮ МАГІСТРАЛЛЮ) НА ОСНОВІ БЕЗАКУМУЛЯТОРНОГО АП (БАК АП).....	25
4. ВИКОНАННЯ АРИФМЕТИЧНИХ ОПЕРАЦІЙ (АО) В ТРИАДРЕСНІМ (ЗА) М – КОМП'ЮТЕРІ НА ОСНОВІ БЕЗАКУМУЛЯТОРНОГО АП (БАК АП).....	26
5. СТРУКТУРА ТА ФУНКЦІОНАЛЬНА ОРГАНІЗАЦІЯ ЯДРА КОМП'ЮТЕРА З ІЄРАРХІЧНОЮ ПАМ'ЯТТЮ НА ОСНОВІ РЕГІСТРОВОЇ ПАМ'ЯТІ ІЗ ОПЕРАТИВНОГО ЗАПАМ'ЯТОВУЮЧОГО ПРИСТРОЮ .....	28
6. ТЕСТОВІ ЗАВДАННЯ ДО КОМПЛЕКСНОЇ КОНТРОЛЬНОЇ РОБОТИ.....	35
СПИСОК ЛІТЕРАТУРИ.....	38



## **МЕТОДИЧНІ ВКАЗІВКИ**

**до самостійної роботи з курсу "Архітектура комп'ютерів"  
для студентів заочної форми навчання  
за напрямком "Комп'ютерна інженерія"**

**Укладачі**

**Володимир Васильович Лапко**

**Юрій Володимирович Губарь**

