

УДК 004.921

**Е.А. Башков** (д-р.тех.наук), **О.А. Авксентьева** (ассистент),  
**Д.И. Хлопов** (магистрант), **Г.В. Войтов** (ассистент)  
Донецкий национальный технический университет  
bashkov@pmi.dgtu.donetsk.ua

## **РЕАЛИЗАЦИЯ СПЕЦИАЛИЗИРОВАННОГО УСТРОЙСТВА ГЕНЕРАЦИИ ОТРЕЗКОВ ПРЯМЫХ ДЛЯ ОБЪЕМНЫХ 3D ДИСПЛЕЕВ НА ПЛИС FPGA**

Рассматривается реализация специализированного устройства воксельного представления отрезков прямых для объемных 3D дисплеев на ПЛИС FPGA. Предложены эффективные методы использования конвейерной архитектуры ПЛИС FPGA для параллельной реализации алгоритма генерации отрезков прямых для 3D дисплеев. Представлены предварительные результаты работы реализованного устройства.

**Ключевые слова:** воксель, алгоритм, растровое разложение, программно-аппаратный модуль

### **Введение**

Актуальностью рассматриваемой темы является то, что одним из наиболее эффективных и популярных средств предоставления человеку сгенерированной компьютером информации для практически всех приложений является визуализация на базе 3D дисплеев. К таким системам относятся параллаксные, голографические и объемные технологии [1]. Построение 3D дисплеев на базе объемных технологий требует разработки соответствующей аппаратуры и программного обеспечения, причем важную роль при этом играет требование визуализации в реальном времени, что заставляет разработчиков искать наиболее эффективные пути их реализации.

Целью создания специализированного устройства является возможность обеспечения высокой производительности при генерации базового для объемных 3D дисплеев графического примитива - отрезка прямой. В качестве элементной базы выбрана технология ПЛИС FPGA (Field Programming Gate Array – программируемое пространство массивов вентилей), популярность которой непрерывно возрастает во всем мире из-за ее высокого быстродействия, малого времени до выпуска готовой продукции, низкой стоимости изготовления системы и малых габаритов [2]. Эти аспекты и послужили главной причиной попытки аппаратной

реализации данного графического примитива именно на базе технологии FPGA.

### **Базовый алгоритм генерации отрезков прямых для объемных 3D дисплеев**

Задача генерации отрезков прямых в трехмерном пространстве формулируется следующим образом [3]. Предполагается, что некоторая часть трехмерного евклидова пространства, которое отображается дисплеем, имеет вид трехмерного параллелепипеда. Также предполагается, что данное пространство заполнено атомарными элементами – вокселями, которые отображаются объемным дисплеем и представляют собой кубы с единичной стороной. Следовательно, множество вокселей, которые заполняют пространство дисплея, можно представить трехмерным массивом вокселей.

Для построения отрезка в трехмерном пространстве задаются начальный и конечный воксели. Задача растрового разложения отрезка прямой формулируется как задача определения множества вокселей, каждый из которых (кроме начального и конечного) имеют два и только два соседних вокселя, центр каждого из которых лежит на минимальном расстоянии до отрезка.

В [4] предложен метод нахождения такого множества. Суть данного метода заключается в том, что на определенном шаге генерации имеется некоторый найденный воксель последовательности, и требуется определить следующий воксель растрового разложения. Для этого рассматриваются семь соседних вокселей-претендентов в направлении, которое определяется направляющим вектором отрезка прямой (рис. 1).

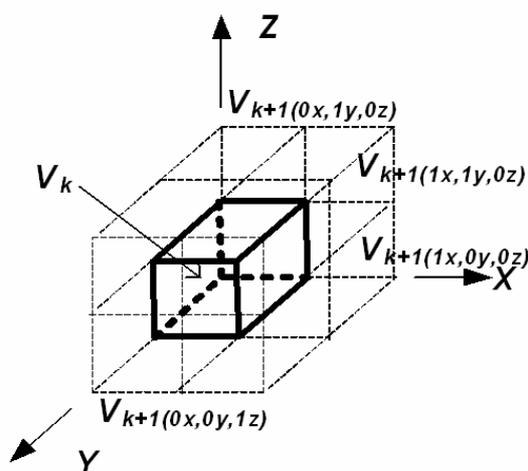


Рисунок 1 – Расположение вокселей-претендентов

Вычисление расстояния между вокселем-претендентом и заданным отрезком прямой находится по формуле (1).

$$D_k = |W_k - (W_k - U)U|, \quad (1)$$

где  $U$  - направляющий вектор заданного отрезка,  $W_k$  – векторная разность между рассматриваемым вокселем-претендентом и начальной точкой заданного отрезка. Следующий в последовательности воксель определяется как воксель-претендент с минимальным расстоянием до заданной прямой. Таким способом генерируется множество вокселей в растровом разложении отрезка прямой.

### **Реализация базового алгоритма генерации отрезков прямых для 3D дисплеев на архитектуре FPGA**

Эффективная реализация рассмотренного алгоритма на базе технологии ПЛИС FPGA предполагает работу с целочисленными значениями. Однако в базовом алгоритме генерации отрезков прямых рассчитываемые значения расстояний от вокселей-претендентов до заданной прямой представляются в виде вещественных чисел. Но так как эти расстояния используются только для сравнения, то базовый алгоритм может быть модифицирован путем приведения всех аргументов вычислений к общему знаменателю. То есть в ходе вычислений обрабатываются не абсолютные значения расстояний, а относительные. Но так как расстояния используются только для сравнения, то на результаты выбора вокселя с минимальным отклонением это не влияет.

Структура разрабатываемого специализированного устройства состоит из процессора (MicroBlaze), процессора локальной шины и специализированного вычислительного ядра (рис. 2).

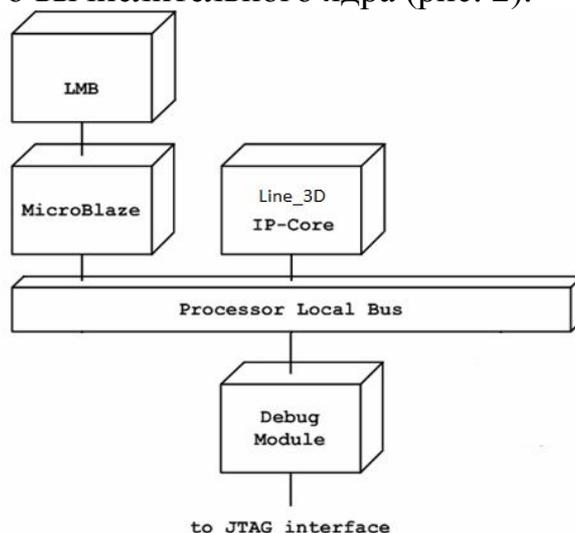


Рисунок 2 – Структура специализированного устройства

Процессор MicroBlaze выполняет инициализацию входных данных и запускает цикл поиска множества вокселей растрового разложения заданного отрезка прямой в трехмерном пространстве. Загрузка приложения на отладочный комплекс, а также вывод данных на консольный терминал осуществляется через интерфейс JTAG. Специализированное вычислительное ядро выполняет непосредственное вычисление расстояния от рассматриваемого вокселя-претендента до заданной прямой (рис. 3).

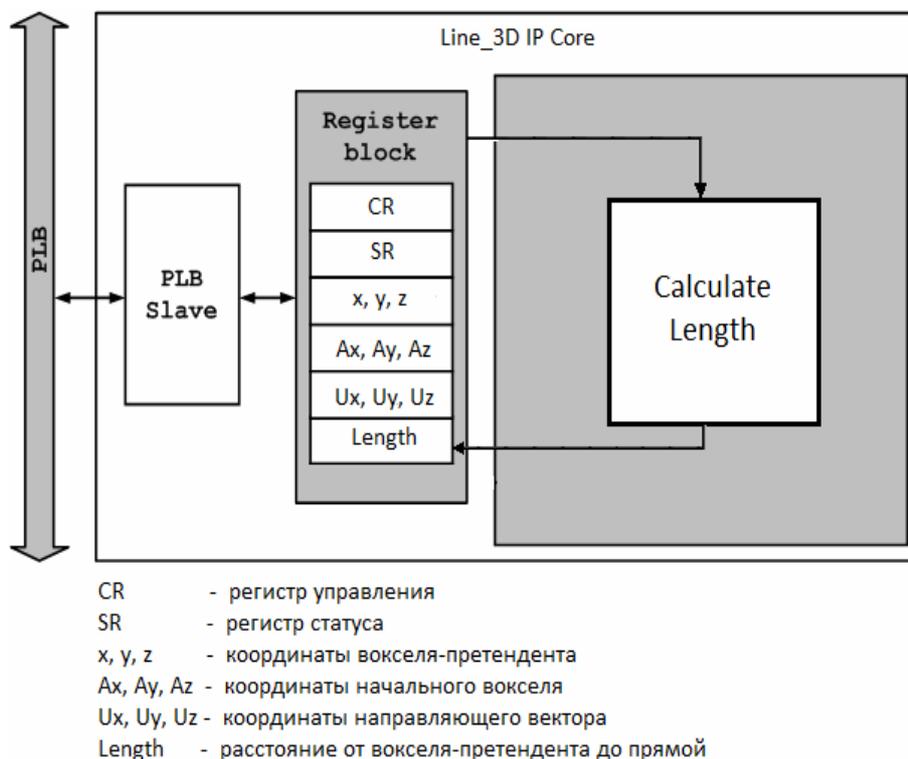


Рисунок 3 – Структура вычислительного ядра

Общий алгоритм взаимодействия процессора MicroBlaze с вычислительным ядром следующий. Сначала передаются входные данные для вычисления расстояния до прямой и регистр управления устанавливается в активное состояние. Именно по данному событию ядро начинает заданное вычисление. Пока ядро работает, регистр статуса находится в неактивном состоянии. По завершению вычислений регистр статуса устанавливается в активное состояние, тем самым сигнализируя возможность выдачи на выход достоверного результата вычисления.

Был проведен ряд экспериментов генерации множества вокселей отрезков прямой. На рис. 4 приведен вывод результата вычислений для отрезка с начальной координатой A(1; 3; 4) и конечной B(12; 11; 9) на гипертерминал.

```

XMD$
A = 1 3 4
B = 12 11 9
Generate voxels:
 2 4 4
 3 5 5
 4 5 5
 5 6 6
 6 7 6
 7 7 7
 8 8 7
 9 9 8
10 9 8
10 10 8
11 10 9
12 11 9
    
```

Рисунок 4 – Результаты работы генератора отрезков прямых

С целью определения целесообразности использования данной аппаратной оптимизации осуществлено сравнение времени построения отрезка для чисто программной реализации функции и варианта с использованием специализированного ядра. Следует отметить, что в обоих случаях используется только целочисленная арифметика. Для генерации каждого отрезка фиксировались количество вокселей и длительность работы подпрограммы (с и без аппаратной оптимизации). Результаты эксперимента сведены в таблицу 1.

Таблица 1 – Сравнение времени генерации отрезка прямой для программной и программно-аппаратной реализации

Количество вокселей	5	12	27	39	95	121	172	274
Время генерации отрезка в случае программно-аппаратной реализации (мкс)	1519	3218	6807	9768	23378	29717	42053	66747
Время генерации отрезка в случае программной реализации (мкс)	2891	6546	14328	20640	49909	63515	90085	143287

На рис. 5 приведены графики зависимости времени генерации от количества вокселей отрезка прямой для программной и программно-аппаратной реализации.

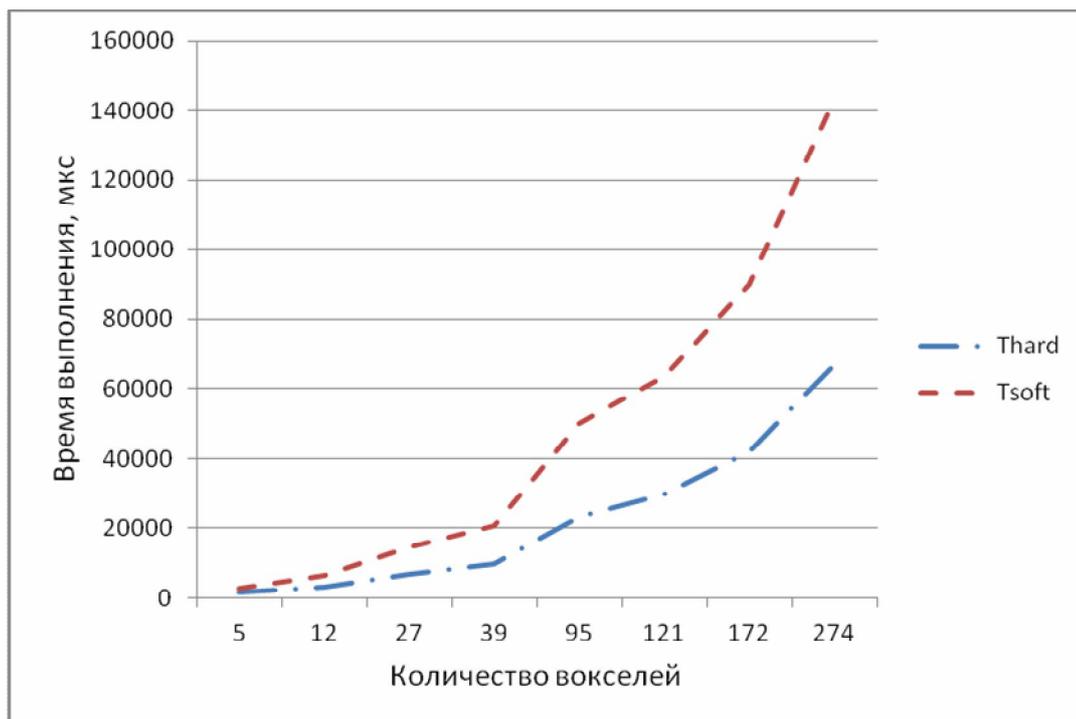


Рисунок 5 – Графики зависимости времени генерации от количества вокселей отрезка прямой для программной (Tsoft) и программно-аппаратной (Thard) реализации.

## **Выводы**

В данной работе была описана возможность реализации специализированного устройства генерации отрезков прямых для 3D дисплеев на базе технологии FPGA, а также продемонстрированы результаты работы такого устройства. Но оценивая использование данной технологии с точки зрения времени, можно сделать вывод, что использование процессора MicroBlaze в большей части вычислений является неэффективным. Дальнейшие исследования следует направить на реализацию всего алгоритма воксельного разложения на специализированном вычислительном ядре, а MicroBlaze использовать только для инициализации входных данных. Все вычисления должны выполняться этим отдельным модулем, которое фактически представляет собой специализированное устройство.

## **Список литературы**

1. Favalora G.E. et al., "100 million-voxel volumetric display", in Proc SPIE Cockpit-Displays IX: Displays for Defense Appl, 2002, vol. 4712

2. Spartan-3E FPGA Family: Data Sheet [Электронный ресурс]. — Режим доступа: [http://www.xilinx.com/support/documentation/data\\_sheets/ds312.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds312.pdf).

3. Башков Е.А., Авксентьева О.А., Аль-Орайкат Анас М. К построению генератора графических примитивов для трехмерных дисплеев. В сб. Наукові праці Донецького національного технічного університету, серія "Проблеми моделювання та автоматизації проектування динамічних систем". Вип. 7 (150). - Донецьк, ДонНТУ. – 2008.- ст. 203-214.

4. Аль-Орайкат Анас Махмуд. Алгоритмический базис построения генераторов отрезков прямых для 3D дисплеев / Анас Махмуд Аль-Орайкат, Е.А. Башков, О.В. Дубровина и др. // Наукові праці Донецького державного технічного університету, Серія «Обчислювальна техніка та автоматизація». - Вип. 18 (169). – Донецьк : ДонНТУ, 2010. - С. 62 - 70

*Надійшла до редакції 8.10.2012р.. Рецензент: канд.тех.наук Зори С.А.*

**Є.О. Башков, О.О. Авксентьева, Д.І. Хлопов, Г.В. Войтов**  
Донецький національний технічний університет

**Релізація спеціалізованого пристрою генерації відрізків прямих для об'ємних 3D дисплеїв на ПЛІС FPGA.** Розглядається реалізація спеціалізованого пристрою воксельного представлення відрізків прямих для об'ємних 3D дисплеїв на ПЛІС FPGA. Запропоновано ефективні методи використання конвеєрної архітектури ПЛІС FPGA для паралельної реалізації алгоритму генерації відрізків прямих для 3D дисплеїв. Представлено попередні результати роботи реалізованого пристрою.

**Ключові слова:** воксель, алгоритм, растрове розкладання, програмно-апаратний модуль

**E.A. Bashkov, O.A. Avksenteva, D.I. Khlopov, G.V. Voitov**  
Donetsk National Technical University

**Implementation of a specialized device of generating line segments for volumetric 3D displays on FPGA.** The paper considers implementation of a specialized device for voxel representation of line segments for volumetric 3D displays on FPGA. We propose effective methods of applying FPGA architecture for parallel implementation of line segments generation algorithm for 3D displays. Preliminary results of the device implementation are provided.

**Keywords:** voxel, algorithm, raster decomposition, firmware module