

СТРУКТУРНЫЙ МЕТОД УЧЕТА ВРЕМЕННЫХ ЗАДЕРЖЕК ПРИ ЛОГИЧЕСКОМ МОДЕЛИРОВАНИИ МОП-СТРУКТУР НА ПЕРЕКЛЮЧАТЕЛЬНОМ УРОВНЕ

Андрюхин А.И., Терещук Д.С.
Кафедра ПМиИ, ДонНТУ,
andr@r5.dgtu.donetsk.ua

Abstract

Andruckin A.I., Tereshuk D.S.. Structural method of the account of delays for logic simulation of MOS-structures at a switching level. The transistors which are added into the device to simulate the different kind delays are described. Structural method is to suggested to be used for switch-level simulation of MOS structures taking into account the delays of transistors.

Развитие интегральной технологии при производстве СБИС потребовало достаточно детального изучения реакции проектируемого устройства на время поступления входных сигналов и задержки в его структурных частях. Существует много способов описания динамического поведения устройств: временные диаграммы, модели с временными булевыми функциями, автоматные модели, модели непрерывной логики и др. Необходимость обработки большого объема информации при проектировании СБИС вызвало повышения требований к автоматизации этого процесса и логическое моделирование стало достаточно важным инструментом при проектировании и тестировании СБИС.

Логическое моделирование с задержками наиболее точно отражает поведение логических схем цифровых вычислительных и управляющих систем, но предъявляет высокие требования к скорости моделирования.

Рассмотрим способ логического моделирования, основанный на известном представлении элемента в виде модели, которая представляет собой последовательное соединение идеального логического элемента и элементов задержки. Суть его заключается в автоматическом построении промежуточного описания логической схемы из исходного путем внесения специальных элементов, функционирование которых позволяет имитировать задержки различных типов (инерционных, распространения). Таким образом моделирование схемы с задержками сводится к моделированию соответствующей преобразованной схемы. При моделировании на вентильном уровне в качестве элемента задержки распространения выступает элемент-повторитель, реализующий функцию $Y=X$, где X (Y) – вход (выход) повторителя (рис. 1а). Такой элемент осуществляет задержку выходного сигнала элемента-предшественника на один такт модельного системного времени (т. е. сдвиг сигнала, на один такт по отношению к текущему такту времени). Пример представления элемента НЕ на вентильном уровне при значении задержки распространения, равном 2, показан на рис 1б.

Известно, что основные трудности временного моделирования (моделирования с задержками) -это учет временных задержек на линиях обратных связей (ОС).

Известным примером учета инерциальных и транспортных задержек (распространения) на вентильном уровне является моделирование основной базовой модели цифровой схемотехники – *RS*-триггер, выполненный на элементах ИЛИ-НЕ на рис.2.

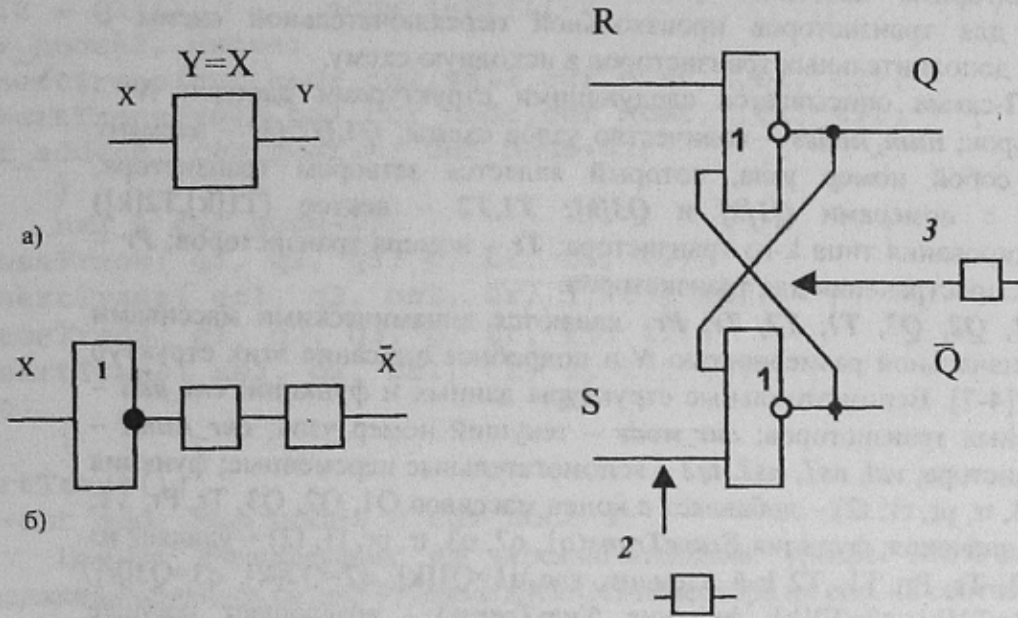


Рисунок 1 - а) Элемент-повторитель;
б) элемент НЕ с задержками

Рисунок 2 - *RS*-триггер с добавляемыми элементами задержек.

Стрелками 2,3 указывается добавление элемента задержки на указываемые линии для получения схем 2,3. Схема 2 предназначена для иллюстрации возможного воздействия инерциальной задержки, а схема 3 показывает влияние задержки распространения. Для вентильного уровня при подаче входных сигналов на первом наборе 1,1 и на втором наборе 0,0 на входы *R*, *S* для схемы 2 будем иметь значения выходов соответственно 0, 0 и неопределенные значения X , X . Вследствии гонки сигналов на линии ОС, мы получим неопределенные значения X на этих линиях при использовании моделирования с единичными задержками. Если мы используем синхронное моделирование т.е. итерации Зейделя, то в зависимости от порядка выбора моделируемого элемента получаем различные результаты на выходах вентилей, что показано в [1-3]. На практике обычно более быстрое срабатывание одного из вентилей обеспечивает парафазность выходов триггера.

При переходе с вентильного уровня на переключательный для моделирования задержек распространения можно построить аналогичную переключательную модель на рис.3, где в качестве элемента задержки выступает *n*-МОП(*p*-МОП)-транзистор, на затвор которого подается "1" ("0") соответственно. Необходимо отметить, что подобная модель эффективна для параллельных алгоритмов моделирования МОП-структур на переключательном уровне, рассмотренных в [4-6], а использование традиционных методов расчета МОП-структур (как метод Брайента) для преобразованной схемы в силу последовательного характера их выполнения невыгодно.

Однако подобная переключательная модель не всегда позволяет адекватно реализовать сдвиг сигнала. Так если сигнал имеет несколько маршрутов своего распространения, то простая вставка, аналогичная вставке на вентиляльном уровне, приводит к неправильным результатам.

Следующий алгоритм позволяет учесть все нюансы требуемого сдвига выходных сигналов для транзисторов произвольной переключательной схемы с помощью добавления дополнительных транзисторов в исходную схему.

Текущая МОП-схема описывается следующими структурами данных: N – количество транзисторов; num_nodes – количество узлов схемы; $Q1, Q2, Q3$ – элемент $Q2[k]$ представляет собой номер узла, который является затвором транзистора, соединяющего узлы с номерами $Q1[k]$ и $Q3[k]$; $T1, T2$ – вектор ($T1[k], T2[k]$) используется для кодирования типа k -го транзистора; Tr – номера транзисторов; Pr – значения задержек распространения для транзисторов.

Структуры $Q1, Q2, Q3, T1, T2, Tr, Pr$ являются динамическими массивами целых чисел с первоначальной размерностью N и подробное описание этих структур данных приведено в [4-7]. Вспомогательные структуры данных и функции: cnt_add – количество добавленных транзисторов; cur_node – текущий номер узла; cur_numt – текущий номер транзистора; $val, ns1, ns2, tq2$ – вспомогательные переменные; функция $InsertTrans(q1, q2, q3, tr, pr, t1, t2)$ – добавляет в конец массивов $Q1, Q2, Q3, Tr, Pr, T1, T2$ соответствующие значения; функция $EraseTrans(q1, q2, q3, tr, pr, t1, t2)$ – удаляет из массивов $Q1, Q2, Q3, Tr, Pr, T1, T2$ k -й элемент, где $q1=Q1[k], q2=Q2[k], q3=Q3[k], pr=Pr[k], tr=Tr[k], t1=T1[k], t2=T2[k]$; функция $NumTrans()$ – возвращает текущее количество транзисторов (т.е. размер массивов $Q1, Q2, Q3, Tr, Pr, T1, T2$); функция $SortTrans()$ – сортировка массивов $Q1, Q2, Q3, Tr, Pr, T1, T2$ по возрастанию значений в $Q1$.

Преобразование исходной схемы описывается следующим образом (псевдокод).

```

cnt_add=0; cur_node=num_nodes+1; cur_numt=N/2+1;
for(i=0; i<NumTrans(); i++)
{
  if (Pr[i]<2) continue;
  q1=Q1[i]; q2=Q2[i]; q3=Q3[i]; pr=Pr[i];
  tr=Tr[i]; t1=T1[i]; t2=T2[i];
  tq2 = 2, если t1=1 и t2=1
  1, иначе;
  for(j=0; j<Pr[i]-1; j++)
  {
    val = Q1[i],      если j=0
    cur_node-1, иначе;
    InsertTrans(val, cur_node, cur_node+1, cur_numt, 1, t1, t2);
    InsertTrans(cur_node+1, cur_node, val, cur_numt, 1, t1, t2);
    cnt_add+=2; cur_numt++;
    val2 = Q2[i],    если j=Pr[i]-2
    cur_node+2, иначе;
    InsertTrans(cur_node, tq2, val2, cur_numt, 1, t1, t2);
    InsertTrans(val2, tq2, cur_node, cur_numt, 1, t1, t2);
    cnt_add+=2; cur_numt++; cur_node+=2;
  }
  ns1 = cur_node-1;
  for(j=0; j<Pr[i]-1; j++)
  {
    val = Q3[i],      если j=0

```

```

    cur_node-1, иначе;
    InsertTrans (val, cur_node, cur_node+1, cur_numt, 1, t1, t2);
    InsertTrans (cur_node+1, cur_node, val, cur_numt, 1, t1, t2);
    cnt_add+=2; cur_numt++;
    val2 = Q2[i],      если j=Pr[i]-2
    cur_node+2, иначе;
    InsertTrans (cur_node, tq2, val2, cur_numt, 1, t1, t2);
    InsertTrans (val2, tq2, cur_node, cur_numt, 1, t1, t2);
    cnt_add+=2; cur_numt++; cur_node+=2;
}
    ns2 = cur_node-1;
    EraseTrans (q1, q2, q3, p, tr, t1, t2);
    InsertTrans (ns1, q2, ns2, tr, 1, t1, t2);
    EraseTrans (q1, q2, q3, p, tr, t1, t2);
    InsertTrans (ns2, q2, ns1, tr, 1, t1, t2);
    i=0;
}
SortTrans ();
N+=cnt_add; num_nodes = cur_node-1;

```

Пример представления на переключательном уровне МОП-структуры с задержками приведен на рис. 4. Схеме ПКМОП-инвертора на рис. 4а соответствуют два варианта схем с задержками, показанные на рис. 4б и 4в, из которых правильной является последняя. В табл. 1 и 2 приведено описание исходной и преобразованной схемы на переключательном уровне.

Заключение

Для МОП-схем с небольшими различиями задержек транзисторов реализован алгоритм преобразования схем путем добавления транзисторов, которые позволяют имитировать инерциальные задержки и задержки распространения аналогично известной методике на вентиляльном уровне. Этот алгоритм является новым (по крайней мере авторам не встречались работы по учету задержек транзисторов путем структурного изменения схемы устройства на переключательном уровне) и является естественным развитием работ [8-10]. Для регулярных МОП-структур этот алгоритм решает вопросы по учету задержек, которые рассматриваются в [11-13].

Таблица 1. Описание исходной схемы ПКМОП-инвертора

<i>Q1</i>	<i>Q2</i>	<i>Q3</i>	<i>Tr</i>	<i>Pr</i>	<i>T1</i>	<i>T2</i>
1	3	4	2	3	1	1
2	3	4	1	3	1	0
4	3	2	1	3	1	0
4	3	1	2	3	1	1

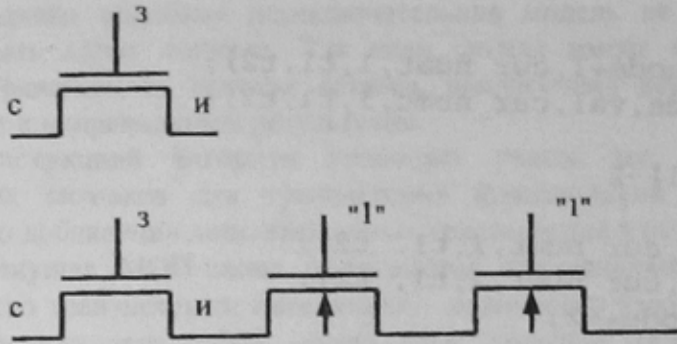


Рисунок 3 - Базовый элемент задержки на переключательном уровне

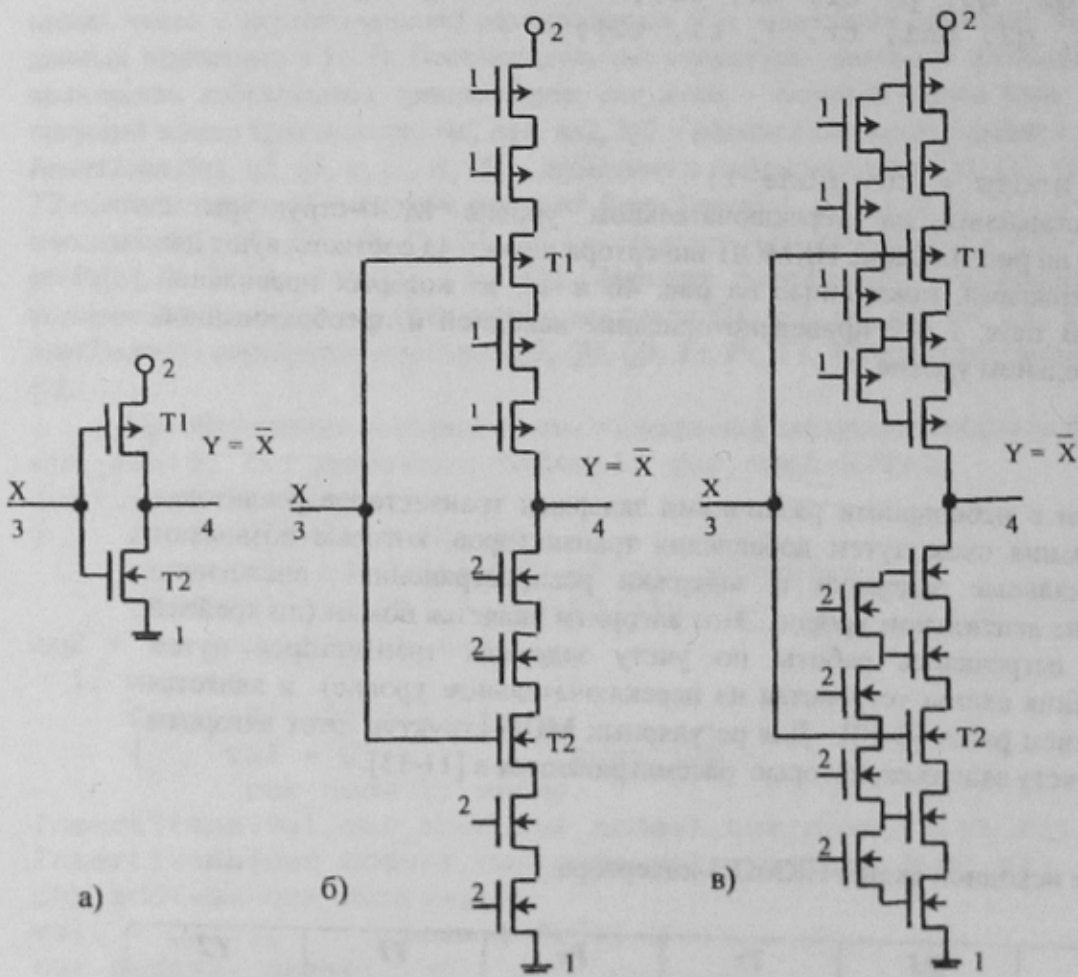


Рисунок 4 - Представление схемы ПКМОП-инвертора с задержками

Таблица 2. Описание преобразованной схемы ПКМОП-инвертора

<i>Q1</i>	<i>Q2</i>	<i>Q3</i>	<i>Tr</i>	<i>Pr</i>	<i>T1</i>	<i>T2</i>
1	5	6	3	1	1	1
2	17	18	15	1	1	0
3	2	7	6	1	1	1
3	2	11	10	1	1	1
3	1	15	14	1	1	0
3	1	19	18	1	1	0
4	9	10	7	1	1	1
4	13	14	11	1	1	0
5	2	7	4	1	1	1
6	5	1	3	1	1	1
6	7	8	5	1	1	1
7	2	5	4	1	1	1
7	2	3	6	1	1	1
8	7	6	5	1	1	1
8	3	12	2	1	1	1
9	2	11	8	1	1	1
10	9	4	7	1	1	1
10	11	12	9	1	1	1
11	2	9	8	1	1	1
11	2	3	10	1	1	1
12	11	10	9	1	1	1
12	3	8	2	1	1	1
13	1	15	12	1	1	0
14	13	4	11	1	1	0
14	15	16	13	1	1	0
15	1	13	12	1	1	0
15	1	3	14	1	1	0
16	15	14	13	1	1	0
16	3	20	1	1	1	0
17	1	19	16	1	1	0
18	17	2	15	1	1	0
18	19	20	17	1	1	0
19	1	17	16	1	1	0
19	1	3	18	1	1	0
20	19	18	17	1	1	0
20	3	16	1	1	1	0

Литература

1. Автоматизированное проектирование цифровых устройств/С.С.Бадулин, Ю.М. Барнаулов, В.А. Бардышев и др. Под редакцией С.С.Бадулина. - М.: Радио и связь, 1981-240 с.
2. Барашко А.С., Скобцов Ю.А., Сперанский Д.В. Моделирование и тестирование дискретных устройств.-К.:Наукова думка, 1992. - 288 с.
3. Андрюхин А.И. Реализация компилятивного логического моделирования с задержками. // Электронное моделирование -1995, N 2, -С. 66-69.
4. Андрюхин А.И. Алгоритмы параллельного логического моделирования и псевдослучайной генерации тестов для МОП-структур // Микроэлектроника. -1995, N 5. - С. 331-336.
5. Андрюхин А.И. Параллельное логическое моделирование МОП-структур на переключательном уровне. // Электронное моделирование. -1996, N 2, -С. 88-92.
6. Андрюхин А.И. Параллельное многозначное логическое моделирование исправных и неисправных псевдобулевых схем. // Электронное моделирование -1997, N 1. - С. 58-63.
7. Ульман Д. Вычислительные аспекты СБИС.М.: Радио и связь, 1990. - 400 с.
8. Андрюхин А.И., Терещук. Логический учет динамики в МОП-структурах//Научные труды Донецкого государственного технического университета. Серия: Проблемы моделирования и автоматизации проектирования динамических систем. Выпуск 29. 2001, С.212-217.
9. Андрюхин А.И. Параллельное моделирование неисправностей МОП-структур. //Научные труды Донецкого государственного технического университета. Серия: Проблемы моделирования и автоматизации проектирования динамических систем. Выпуск 29. 2001, С.205-211.
10. VLSI Testing/Ed. by Williams T.W. Elsevier Science Publishers B.V., 1986-275 p
11. Лобунов В.С. Динамическое моделирование МОП-структур на переключательном уровне//Электронное моделирование-1996, N 1, - С. 67-74.
12. Проектирование СБИС:Пер. с япон./Ватанабэ М., Асада К., Кани К., Оцуки Т.-М.:Мир, 1988.-304 с.
13. Егоров Ю.Б., Зиновьев А.В. Алгоритм ключевого временного моделирования с оценкой мощности//Информационные технологии-1997, N 9, С.12-16.