

# ВЫСОКОПРОИЗВОДИТЕЛЬНЫЕ ЦИФРОВЫЕ УСТРОЙСТВА С ПРОГРАММИРУЕМОЙ ЛОГИКОЙ

## АНАЛИТИЧЕСКИЙ ОБЗОР

Ладыженский Ю.В., Долгополов Д.Г.

Кафедра ПМИ, ДонГТУ

ladyzhen@pmi.donetsk.ua

### Abstracts

*Ladyzhensky Y., Dolgoplov D. High performance digital devices with programmable logic. Analytical Review. This article is devoted to designing of the logic devices in the programming logic circuits base. It is paid the special attention to the products of Intel Incorporation - one of the main leader in this field. The modern microcircuits spectrum, produced by this firm, is considered, it is paid the special attention to consideration of the multifunctional circuits internal structure. The special designing software spectrum is analyzed. The perspective directions of the CAD system developing is defined.*

### Введение

Быстрый рост полупроводниковых технологий в направлении высокой плотности устройств сделал программируемые логические устройства важным инструментом для автоматической разработки комбинационных и других схем. Это объясняется возникновением потребности в высокоинтегрированных специализированных интегральных микросхемах. При малой потребности (до 10000 шт. в год) более выгодно использование стандартных "полуфабрикатов" интегральных схем. Программирование таких приборов осуществляется пользователем, конструктором аппаратуры. Основное преимущество программируемых логических интегральных схем (ПЛИС) перед другими специализированными схемами - малое время изготовления требуемых заказных вариантов схем. С другой стороны широкий спектр рабочих частот и малое время задержки сигнала позволяют достичь высокой производительности при использовании таких схем. Отсюда особое внимание, уделяемое в последнее время к данному сектору рынка интегральных схем как производителей аппаратуры, так и создателей специализированного программного обеспечения для работы с ПЛИС.

### 1. Характеристика микросхем компании Intel

Среди фирм, производящих в настоящее время ПЛИС, к лидерам можно отнести компании: AMD, Intel, Xilinx. Остановимся подробнее на разработках в этом направлении компании Intel. Эта компания с 1992 года предлагает новое семейство

высокоскоростных ПЛИС. Эта серия микросхем обеспечивает высокоскоростную поддержку для быстрых микрокомпьютерных систем. В то же время улучшенное КМОП решение позволяет значительно уменьшить потребляемую мощность и нагреваемость корпуса, свойственные предыдущим поколениям ПЛИС.

Все микросхемы серии выполнены по КМОП СППЗУ (стираемое перепрограммируемое постоянное запоминающее устройство) технологии. При таком подходе изменяемыми элементами схемы являются не пережигаемые переключки, а СППЗУ ячейки. В состав серии микросхем входят /1/:

- FLEXlogic FPGA семейство;
- высокопроизводительные программируемые логические устройства:
  - серия 85C220/85C224 (микросхемы состоят из нескольких конфигурируемых блоков, каждый из которых может быть или логическим блоком, или блоком памяти);
  - серия 22V10 (более 300 эквивалентных вентилей, микросхемы данной серии могут использоваться в качестве контролеров шин в компьютерах с процессорами i486, i386 и Intel i860 системах);
  - серия 610/910 (ПЛИС общего назначения, обслуживают логические функции до 20 входов и 16 макроячеек);
  - серия 5ACXXX (семейство представляет новый подход к преодолению первичных ограничений использования ПЛИС, наличие функции ожидания уменьшает потребляемую мощность почти до нуля);
  - серия 5CXXX (более 300 эквивалентных вентилей, КМОП технология позволяет осуществлять 100% тестирование).

Обобщенная архитектура стираемой программируемой логической схемы представлена на рис. 1

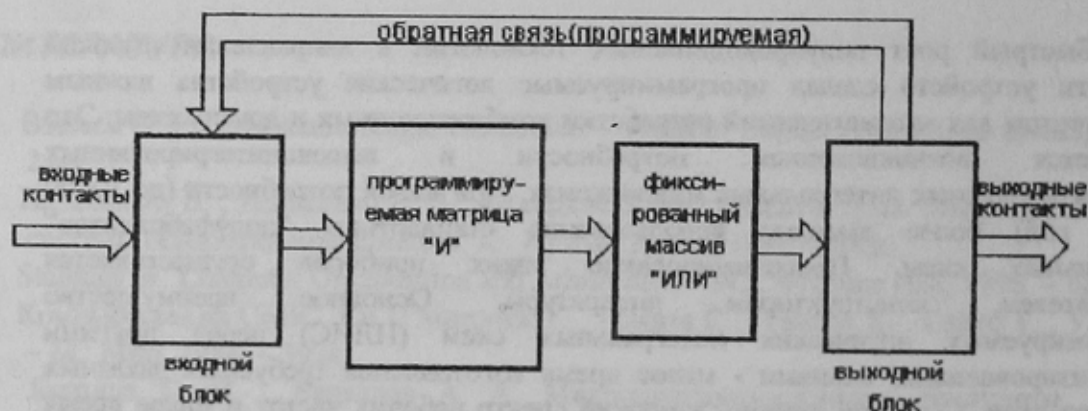


Рис 1. Архитектура стираемой ПЛИС

## 2. Преимущества использования программируемых логических устройств

Использование программируемых интегральных схем предоставляет проектировщикам следующие преимущества: меньшие размеры устройств, меньшая стоимость устройств, повышенная производительность устройств, повышенная надежность устройств, сохранение авторских прав на схемотехнические решения, повышенная гибкость на этапе отладки и оптимизации.

При использовании стираемых ПЛИС (рис.1), в которых вместо пережигаемых перемычек используются ячейки стираемых программируемых запоминающих устройств, появляются и другие преимущества: тестируемость (так как схемы стираемы, то возможна отладка готовых схем прямо в устройстве), повышение эффективности проектируемой архитектуры (это преимущество вытекает из тестируемости, так как позволяет более удачно использовать такие составляющие схемы, как: скрытые регистры, программируемые регистры, программируемый счетчик тактов и др.).

Основные характеристики ПЛИС компании Intel представлены в таблице.

PLD	Внешние контакты	Макроячейки	Рабочая частота, МГц	Контакты "Вход/выход"
FX780	84,132	80	80	60,102
FX740	44,68	40	80	30,50
PLDLV22V10	24,28	10	50	22
PLD910	40,44	24	66.7	36
5C180	68	48	64	64
85C22V10	24,28	10	71.4	22

К вышеперечисленному можно добавить следующие характеристики: многообразие корпусов (герметические, пластиковые и др.), количество эквивалентных вентилей - от 300 до 2500, количество элементов памяти - до нескольких десятков, количество дизъюнктов - порядка десяти, длина конъюнкций - до нескольких десятков.

### 3. Высокопроизводительные и многофункциональные ПЛИС

Рассмотрим более подробно одну из наиболее мощных микросхем - 5C180, предлагаемых компанией Intel /1/. Ее основные свойства:

- 48 макроячеек с программируемым входом/выходом (I/O), до 64 входов (16 "жестких" и 48 макроячеек) или до 48 выходов;
- двойная обратная связь позволяет использовать I/O контакты в качестве скрытой логики и predetermined входов;
- программируемая система квантов времени с четырьмя синхронными часами и асинхронной опцией для всех регистров позволяет синхронно управлять 4 банками по 12 регистров по отдельности и асинхронно сбрасывать все регистры;
- программируемые регистры, могут быть сконфигурированы как D, T, SR или JK типы с индивидуальным сбросом;
- низкая потребляемая мощность (100 мВт);
- программируемый "бит защиты" полностью защищает авторские права на схемно-алгоритмические решения;
- 480 термов произведений.

Данная ПЛИС построена по принципу фиксированной части "ИЛИ" и программируемой "И". Схема разделена на четыре квадранта, схема одного квадранта представлена на рис. 2, каждый из которых содержит 12 макроячеек, термы произведений подводятся к квадрантам при помощи локальной и глобальной шин, каждая макроячейка соединяется с блоком контроля, который



- диаграмма состояний: задается набор состояний и условий перехода из одного в другое;

- булевы уравнения: наиболее общий, но громоздкий способ, основанный на описании зависимостей через ДНФ и другие формы.

Шаг 2: Специализированное программное обеспечение (ПО) преобразовывает все проектные данные в булевы уравнения, возможно автоматическое преобразование булевых уравнений в дизъюнктивную нормальную форму (ДНФ) с применением эвристических алгоритмов минимизации;

Шаг 3: Пользователь имеет возможность определить конкретную ПЛИС, на которой он собирается реализовать проект;

Шаг 4: ПО минимизирует реализацию размещения проекта в корпусе, используя минимальное количество ресурсов (входные/выходные контакты, регистры, термы и макроячейки).

Шаг 5: ПО в конце процесса размещения и оптимизации формирует детальный отчет о требуемых ресурсах для реализации проекта. По данной информации пользователь принимает решение о целесообразности использования той или иной ПЛИС, необходимости разбиения проекта на части и т.д. В результате он может вернуться к шагу 1.

Шаг 6: Моделирование функционирования проекта на тестовых примерах с целью проверки соответствия схемы требуемым спецификациям. Возможен возврат на шаг 1.

Шаг 7: Генерация файла шаблона для программирования ПЛИС - "JEDEC" формат, что делает проект совместимым с любым программатором.

Шаг 8: Программатор создает рабочий вариант проекта.

Описанный процесс проектирования обладает рядом недостатков. К ним следует отнести применение низкоуровневого описания проекта, что увеличивает трудоемкость и сужает область применимости микросхем.

## **5. Программное обеспечение для проектирования в базе ПЛИС**

На рынке программных средств для проектирования в базе ПЛИС существует большое разнообразие предлагаемых средств. Фирмы Intel и AMD предлагают очень похожие продукты PLDShell /4/ и MACHXL /3/ соответственно. Эти средства покрывают весь технологический процесс создания готового изделия: от входного описания до готового образца. Они используют в качестве входного описания проекта текстовый файл на специализированном языке описания и моделирования. После ввода пользователем входного описания проекта данное ПО определяет возможность его реализации на данной схеме или определяет схему, на которых его можно реализовать, выполняет логическую минимизацию, разделяет логические уравнения по блокам ПЛИС, размещает их по контактам и макроячейкам и собирает "JEDEC" файл. Далее пользователь может выполнить логическое моделирование получившейся схемы с целью проверки соответствия входного описания выходным параметрам. Далее можно вернуться на этап проектирования. Результаты моделирования можно просмотреть в виде временных диаграмм, отображающих процесс переключения элементов из одного состояния в другое.

Файл описания проекта в системе MACHXL имеет следующую структуру /3/:

- Раздел объявлений (заголовок, автор, компания, дата и другая информация);

- Раздел уравнений (булевы уравнения для создания ДНФ, условные утверждения, функциональные уравнения для управления синхронными и асинхронными входами);
- Раздел состояний (описывает условия перехода между состояниями);
- Раздел моделирования (возможно создание утверждений моделирования во внешнем файле).

Данный файл может быть создан как внутри системы, так и при помощи любого текстового редактора. Ниже представлено описание на таком языке реализации 2-х битового счетчика с дешифратором без раздела объявлений.

```
CHIP STATEDEC 5C060 ; тип микросхемы
PIN CLK ; синхровход
PIN ENABLE ; счетчик разрешен
PIN Y0 ; выход дешифратора 0
PIN Y1 ; выход дешифратора 1
PIN Y2 ; выход дешифратора 2
PIN Y3 ; выход дешифратора 0
PIN OUT1 ; выход счетчика 1
PIN OUT2 ; выход счетчика 2
EQUATIONS ; уравнения счетчика
OUT1.T := /OUT1 * OUT2 + OUT1 * OUT2 ; переключение Т-триггера 1
OUT1.CLKF = CLK ; синхровход триггера
OUT2.T := VCC ; переключение Т-триггера 2
OUT2.CLKF = CLK ; синхровход триггера
/Y0 = /ENABLE * /OUT2 * /OUT1 ; выход дешифратора 0
/Y1 = /ENABLE * OUT2 * /OUT1 ; выход дешифратора 1
/Y2 = /ENABLE * /OUT2 * OUT1 ; выход дешифратора 2
/Y3 = /ENABLE * OUT2 * OUT1 ; выход дешифратора 3
SIMULATION ; моделирование
SETF ENABLE /CLK ; установка начальных значений
PRLDF /OUT1 /OUT2
FOR COUNT := 1 TO 4 DO
BEGIN
CLOCKF CLK
END
```

### Заключение

Ввиду дешевизны ПЛИС возможно их применение как для проектирования сложных устройств (контролеры шин и периферии), так и простых устройств (дешифраторов, мультиплексоров и др.). При этом такие большие функциональные возможности ПЛИС сочетаются с низким уровнем развития средств проектирования, а именно: низкоуровневость, нацеленность на специалистов довольно высокого уровня, низкая эргономичность, неинвариантность относительно микросхем различных производителей. Перспективным направлением в разработке программного обеспечения для проектирования устройств в базе ПЛИС является, по оценкам экспертов [2], создание универсального средства для проектирования и моделирования проектируемых устройств, независимого относительно производителей схем.

### Литература

1. Intel. Programmable Logic. 1994г.
2. Bostock, Geoff. Programmable logic handbook/Geoff Bostock. -2nd ed.-1993.
3. MACHXL Software User's Guide. 1993г.
4. PLDshell Plus / PLDasm User's Guide V3.0.