

УДК 004.052.32+004.75

## РАСПРЕДЕЛЕННЫЕ ВЫЧИСЛЕНИЯ В СИСТЕМЕ ГЕНЕРАЦИИ ПСЕВДОСЛУЧАЙНЫХ АДАПТИВНЫХ ТЕСТОВ

Корченко А.А., Зинченко Ю.Е.

Донецкий национальный технический университет, Украина

*Рассматривается система генерации тестов для цифровых устройств, в основе которой лежит адаптивный подход псевдослучайной генерации. Приведены результаты применения распределенных вычислений для генерации адаптивных псевдослучайных тестов для набора схем ISCAS'89.*

Как известно, процесс построения псевдослучайных тестов (ПСТ) связан с большим количеством вычислений, объем которых растет экспоненциально с увеличением сложности тестируемой схемы. Идея использования параллельных алгоритмов в тестировании для повышения быстродействия известна давно. При этом используются несколько основных подходов распределения вычислительной нагрузки – разделение списка неисправностей, эвристическое распараллеливание, разделение поискового пространства, алгоритмическое разделение и топологическое разделение [1-4].

Предложенный авторами адаптивный подход генерации ПСТ [5] позволяет повысить качество теста для схем с памятью за счет использования графа состояний схемы. Однако вопрос быстродействия по-прежнему остается актуальным, в связи с чем, предлагается оптимизация адаптивного подхода на основе распределенных вычислений.

Проведенный нами анализ показывает, что основной вычислительной нагрузкой при построении ПСТ являются генерация псевдослучайной последовательности и моделирование схемы в исправном/неисправном состояниях. Для адаптивного подхода генерации к этим пунктам добавляется еще и обработка графа состояний.

В ходе построения теста алгоритм адаптивной генерации предусматривает следующие операции, связанные с графом состояний:

- 1) построение графа, добавление дуг и вершин;
- 2) поиск оптимального пути из вершины  $e_i$  к вершине  $e_j$ ;
- 3) идентификация тупиковых ветвей.

Ускорение параллельной работы алгоритма можно оценить по закону Амдала:

$$S_N = \frac{1}{\alpha - \frac{1-\alpha}{N}} \quad (1)$$

где  $N$  – количество процессоров,  $\alpha$  – доля кода, которая выполняется последовательно.

Отсюда следует, что задача исследования заключается в разработке структуры вычислительной системы и применении известных подходов распараллеливания вычислений к адаптивному алгоритму построения ПСТ для максимизации ускорения алгоритма  $S_N$ .

Учитывая специфику алгоритма адаптивной генерации теста, целесообразно использовать архитектуру параллельной системы с пакетным обменом, которая

может быть реализована как для многопроцессорной платформы, так и для локальной компьютерной сети (рис. 1).

Основой адаптивного подхода генерации [5] является граф состояний и переходов схемы  $G = (V, E)$ , где  $V = \{v_1, v_2, \dots, v_p\}$  – множество состояний схемы и  $E = \{e_1, e_2, \dots, e_q\}$  – множество переходов между состояниями. Переходы между состояниями схемы происходят под воздействием наборов входных сигналов схемы  $X = \{x_1, x_2, \dots, x_n\}$ , где  $n = 2^{ki}$ , а  $ki$  – количество входов схемы. При этом формируются наборы выходных сигналов схемы  $Y = \{y_1, y_2, \dots, y_m\}$ , где  $m = 2^{ko}$ , а  $ko$  – количество выходов схемы.

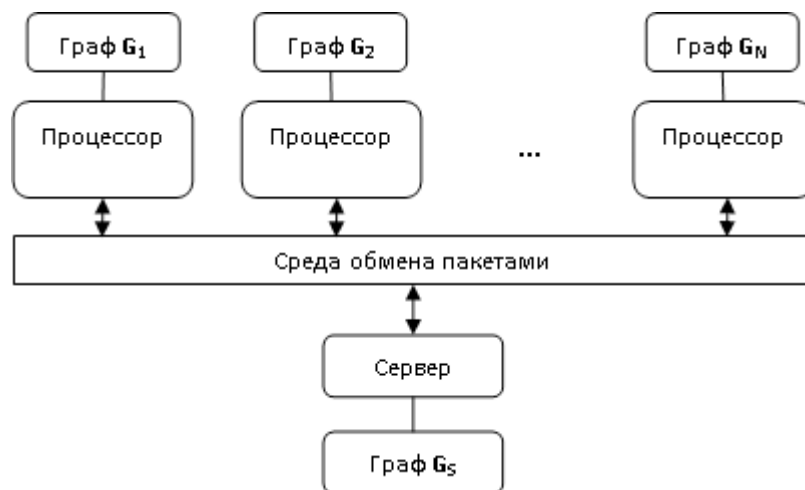


Рисунок 1. Структура вычислительной системы

Предложенная модификация метода псевдослучайной генерации тестов была реализована в составе программного комплекса AGAT, в структуру которого входят система моделирования неисправностей, генератор псевдослучайных последовательностей, модуль управления графом состояний и другие компоненты. Система позволяет загружать модель ЦУ и осуществляет построение теста с заданной полнотой покрытия неисправностей.

Экспериментальные исследования проводились на схемах набора ISCAS'89 [6]. В таблице 1 приведен результат для некоторых схем при построении теста в одно- и двухпроцессорной системах (Intel Core2Duo E6750@2.66ГГц), где  $F_{cov}$  – покрытие неисправностей,  $t$  – время построения теста.

Таблица 1. Результаты параллельного построения ПСТ

Схема	ЛЭ/ Триггеры	1 процессор		2 процессора			
		$F_{cov}, \%$	$t, s$	$F_{cov}, \%$	$t, s$	$F_{cov}, \%$	$t, s$
s820	289/5	64.09	600	64.09	473	73.15	600
s838	390/32	72.71	600	72.71	600	72.71	600
s953	395/29	80.54	600	80.54	513	82.33	600
s1196	529/18	97.23	600	97.23	468	97.49	600
s1423	957/74	83.96	600	83.96	524	85.29	600
s1494	647/6	67.16	600	67.16	492	71.80	600

\*Примечание: для двухпроцессорной системы проводилось два эксперимента – с фиксированным временем (600 сек.) и с фиксированной полнотой покрытия неисправностей, равной полноте аналогичного эксперимента для однопроцессорной системы.

Результаты показывают прирост скорости и качества теста при использовании параллельных вычислений для адаптивного подхода генерации ПСТ. Следует отметить, что эффективность параллельного алгоритма становится наиболее заметной при приближении полноты покрытия неисправностей к своему максимуму. Это связано с тем, что в большинстве схем легко определяющиеся неисправности покрываются в первую очередь, а построение теста для оставшихся неисправностей происходит с гораздо меньшей скоростью.

Для двухпроцессорной системы прирост производительности составляет 10-15% по сравнению с однопроцессорной системой, что объясняется случайным характером метода псевдослучайного построения теста – просчетом большого числа вариантов, которые не используются в результирующем тесте.

Таким образом, в ходе проведенных нами исследований был предложен алгоритм проведения параллельных вычислений для адаптивного подхода построения тестов ЦУ, который позволяет повысить скорость и качество теста, что подтверждается результатами экспериментальных исследований. Результат достигается за счет разделения вычислительной нагрузки на основе данных графа состояний ЦУ.

### Список литературы

- [1] Patil S., Banerjee P. Fault Partitioning Issues in an Integrated Parallel Test Generation Fault Simulation Environment // Proc. 1989 Int'l Test Conf., CS Press, Los Alamitos, Calif. 1989, pp. 718-726.
- [2] Klenke R.H., Williams R.D., Aylor J.H. Parallel-processing techniques for automatic test pattern generation // IEEE Computer, Volume 25, Issue 1, Jan. 1992, pp:71-84.
- [3] Motohara A., Nishimura K., Fujiwara H., Shirakawa I. A Parallel Scheme for Test-Pattern Generation // IEEE International Conference on Computer-Aided Design, 1986, pp. 156-159.
- [4] Klenke R. H., Williams R. D., Aylor J. H. Parallelization Methods for Circuit Partitioning Based Parallel Automatic Test Pattern Generation // Proceedings of the IEEE VLSI Test Symposium, April, 1993, pp. 71-78.
- [5] Зинченко Ю.Е., Корченко А.А. Адаптивный подход к генерации псевдослучайных тестов цифровых устройств // Наукові праці Донецького національного технічного університету. Серія «Проблеми моделювання та автоматизації проектування» (МАП-2011). Випуск 9 (179): – Донецьк: ДонНТУ. – 2011. – С. 360-365.
- [6] Brgles F. Combinational profiles of sequential benchmark circuits / F. Brgles, D. Bryan, K. Kozminski // International symposium of circuits and systems, ISCAS-89. – 1989. – p. 1929-1934.