

УДК 004.05 + 004.031.6

## ИССЛЕДОВАНИЕ И АНАЛИЗ СОВРЕМЕННЫХ МЕТОДОВ ДИНАМИЧЕСКОЙ ВЕРИФИКАЦИИ HDL-ПРОЕКТОВ ЦИФРОВЫХ УСТРОЙСТВ

*Горохов И.В., Шерекин А.А., Волошин Д.Н., Зинченко Ю.Е.  
Донецкий национальный технический университет, Украина  
E-mail: pretty-dirty@yandex.ru*

*В данной статье рассматриваются наиболее известные методы динамической верификации HDL-проектов цифровых устройств (ЦУ), применяемые ведущими компаниями в области автоматизации проектирования ЦУ. По каждому методу проведен обзорный анализ, выявлены недостатки и преимущества использования того или иного метода верификации. С целью подтверждения характеристик данных методов был произведен ряд экспериментов по верификации одного и того же проекта различными методами, были запротоколированы данные о производительности, которые позволяют судить о целесообразности применения конкретного метода при отладке проектов ЦУ. Данная работа была выполнена в ходе научного сотрудничества между ДонНТУ и Aldec-Roland, ведущей компанией в области верификации ЦУ.*

### **Общая постановка проблемы**

В ряде случаев процесс функциональной верификации наиболее широко известным и доступным методом – поведенческим моделированием – может занимать достаточно продолжительное время в зависимости от сложности тестируемого проекта. В данном случае временные затраты на верификацию растут пропорционально масштабу проекта и могут достичь такой отметки, при которой процесс проектирования/верификации затянется на недопустимо длительное время, что повлечет за собой дополнительные финансовые затраты. Известен случай, когда поведенческое моделирование одного полного цикла работы проекта занимало 3 недели, и это не предел. В связи с этим возникает закономерная необходимость поиска и анализа более производительных методов верификации.

**Целью** написания данной работы является проведение поиска и обзорного анализа существующих методик верификации при проектировании ЦУ. На основе анализа необходимо сделать вывод о целесообразности применения данных методик для верификации HDL-проектов ЦУ на базе FPGA.

**Актуальность** поставленных задач подтверждается как растущим количеством различных выпускаемых FPGA-проектов ЦУ, так и периодичностью выхода публикаций в зарубежных и отечественных изданиях, посвященных проблемам верификации цифровых устройств.

## Поведенческое моделирование

Рассматриваемый метод, существующий еще с времен появления HDL-технологий, является наиболее доступным и простым в применении. При использовании данного метода верификации проектировщик имеет возможность проверить функциональность разрабатываемого устройства в том виде, которое реализует поведенческое описание. Исходя из этого, тестирование не учитывает аспект реализации в аппаратуре – работа проекта представляется без учета временных задержек и особенностей аппаратной реализации. Также критичным недостатком являются довольно большие временные затраты на верификацию, увеличивающиеся линейно с ростом масштаба проекта. Несмотря на эти явные недостатки, данный метод верификации позволяет минимально удостовериться в корректности работы проектируемого устройства и может быть использован для получения эталонных реакций.

## Ускорение моделирования (Co-simulation, acceleration)

В данном методе тестирование проекта, погруженного в FPGA-кристалл, выполняется с помощью HDL-симулятора через интерфейс, основанный на событиях (event-based). Также данный интерфейс может быть синхронизирован с внешним генератором синхросигнала для работы в режиме, основанном на циклах (cycle-based). Любой синтезавельный модуль может быть помещен в аппаратный ускоритель (HES-board от Aldec) в то время как несинтезавельные модули или незавершенные модули могут быть промоделированы в HDL-симуляторе [1]. Достоинством данного метода является высокая производительность в случае полностью синтезавельного проекта и малом обмене данными с HDL-симулятором, а также простая реализация. По сравнению с post-route simulation, используемым в маршруте проектирования Xilinx [2], ускорение моделирования может быть использовано для верификации частично синтезавельных модулей. Недостатком являются возросшие финансовые затраты на приобретение программно-аппаратного комплекса HES.

## Эмуляция (Co-emulation)

Реализация данного метода верификации подобна методу аппаратного ускорения в том плане, что требует внешний аппаратный ускоритель, но тестируемый проект управляется не HDL-симулятором, а отдельной программой на языке C (C++, SystemC), а сам механизм тестирования основан не на событиях или циклах, а на отдельных транзакциях, что уменьшает обмен информацией между тестбенчем и тестируемым проектом. В качестве связующего звена между программным тестбенчем и тестируемым в аппаратуре проектом выступает SCE-MI (Standard Co-Emulation Modeling Interface).

Данный интерфейс представляется в трех различных реализациях [3]:

- Macro-based
- DPI-based
- Pipes-based

Режим Pipe-based в данный момент не поддерживается программным обеспечением для моделирования, а полностью синтезавельной является только Macro-based реализация, поэтому в дальнейшем более подробно рассмотрим именно её. Структура

программно-аппаратной реализации данного режима приведена на рис.1.

Аппаратная часть реализации данного режима включает в себя макросы портов обмена сообщениями, макрос генерации управляющих сигналов для транзакторов, а также макрос генерации синхросигнала тестируемого устройства.

Программная составляющая режима Macro-based включает в себя программные компоненты, выступающие в роли посредника и обеспечивающие прием и передачу сообщений на аппаратную сторону от программного тестбенча и наоборот.

Для преобразования отдельных транзакций в циклы сигналов тестируемого устройства необходимо дополнительно реализовать аппаратный транзактор. Количество транзакторов для тестирования отдельного проекта может быть больше одного, каждый транзактор управляется собственным макросом интерфейса SCE-MI.

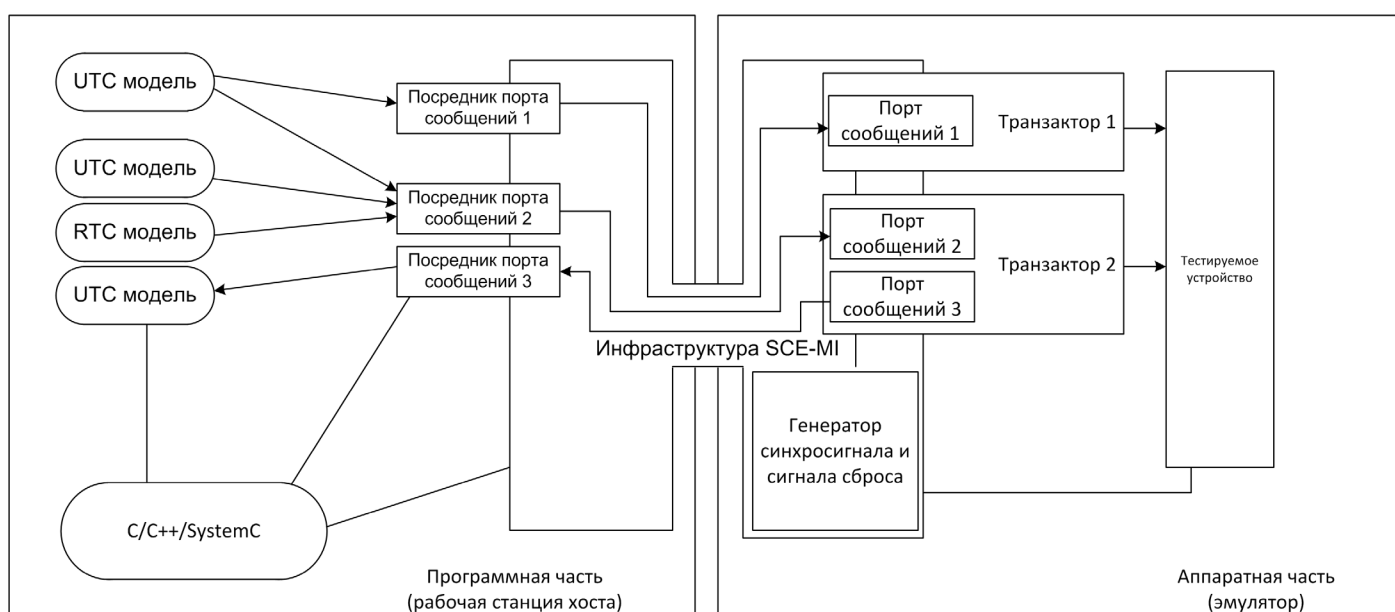


Рисунок 1. Структура программно-аппаратной реализации SCE-MI

Временные и аппаратные затраты на использование данного метода верификации увеличиваются по сравнению с аппаратным ускорением, так как добавляется необходимость написания и отладки синтезабельного модуля транзактора (транзакторов), настройки аппаратной и программной частей SCE-MI интерфейса, а также написание тестбенча на языке SystemC. Однако, при этом производительность верификации, достигаемая использованием данного метода, в среднем в несколько десятков раз выше, чем при обычном аппаратном ускорении и зависит от конкретного проекта и специфики его тестирования. Максимальная скорость верификации при использовании эмуляции ограничена величиной 11 MHz. Также к достоинствам данного метода можно отнести возможность полного контроля сигналов тестируемого проекта при совместном использовании программного комплекса DVM (Design Verification Manager) и утилиты hwDebugger, выступающей в качестве программного анализатора внутренней логики.

### Прототипирование (Prototyping)

Использование прототипирования в качестве ведущего метода верификации возможно при использовании все той же платы аппаратного ускорения (HES-board),

однако контроль работы тестируемого устройства возможен только с использованием дорогостоящего анализирующего оборудования. Но с другой стороны при использовании данного метода верификации можно добиться еще более высокой производительности, чем при использовании эмуляции.

## Выводы

В ходе анализа были выявлены достоинства и недостатки каждого из рассмотренных методов верификации. Для апробации данных методов на практике была проведена серия экспериментов по тестированию проекта с их использованием. Сравнительная характеристика производительности приведена на рис. 2.

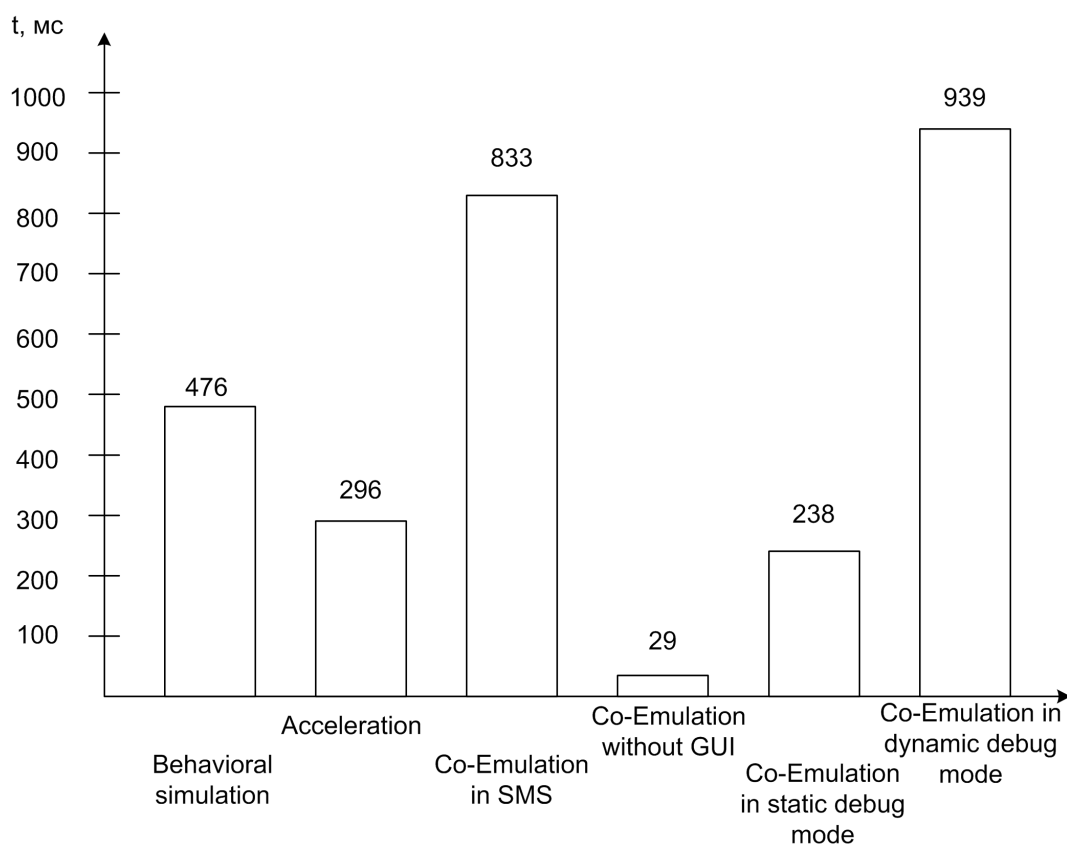


Рисунок 2. Сравнительная характеристика производительности

Как видно из диаграммы, прирост в быстродействии с использованием метода аппаратного ускорения составляет в данном случае около 100% по сравнению с поведенческим моделированием. Использование же эмуляции позволяет произвести верификацию в 10 раз быстрее без использования графической оболочки симулятора, чем при обычном аппаратном ускорении. При использовании симулятора для отображения сигналов тестируемого устройства временные затраты на верификацию соизмеримы с аппаратным ускорением.

Результаты анализа приведенных методов тестирования изображены на рис. 3.

Из данной диаграммы следует, что наиболее выгодным методом верификации, учитывая достоинства и недостатки, является эмуляция, т.к. финансовые затраты соизмеримы с таковыми при аппаратном ускорении, но показатели производительности гораздо выше.

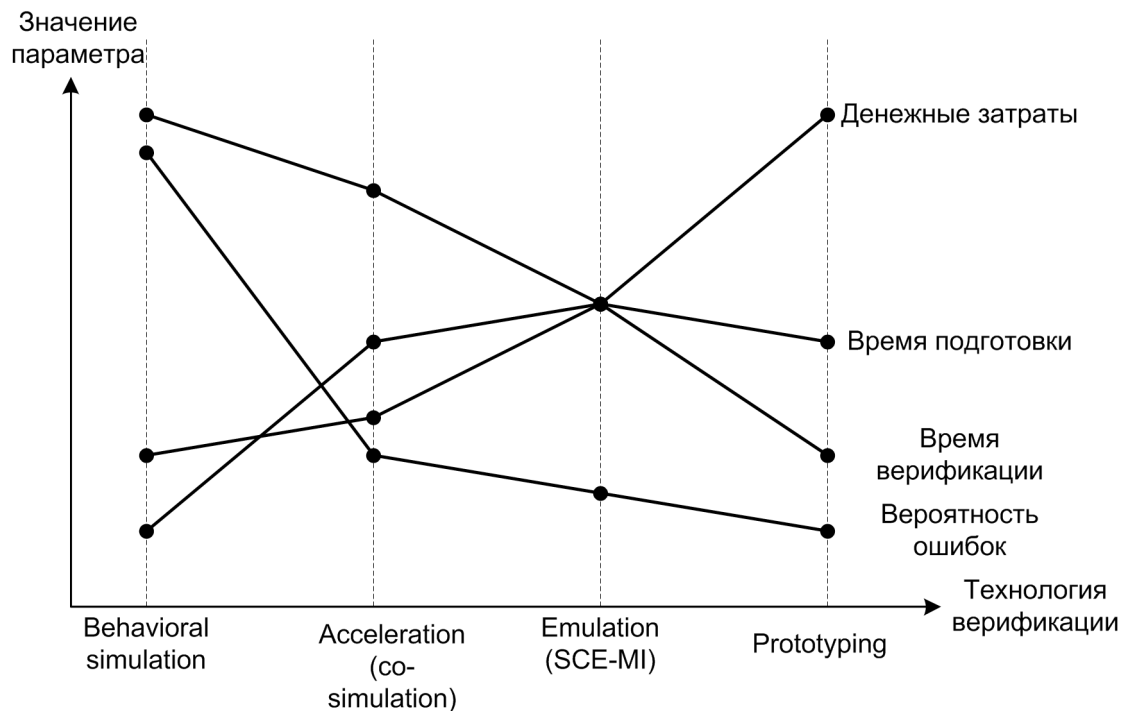


Рисунок 3. Результаты анализа

### Перечень источников

- [1] Design Verification Manager Product Overview [Electronic resource] / Интернет-ресурс. - Режим доступа: <http://www.aldec.com/en/products/emulation/hes>. - Загл. с экрана.
- [2] Зотов В. Практический курс сквозного проектирования цифровых устройств на основе ПЛИС фирмы Xilinx (часть 2) [Электронный ресурс] / Интернет ресурс. – Режим доступа: [www/URL: http://www.soel.ru/cms/f/?/347292.pdf](http://www.soel.ru/cms/f/?/347292.pdf). - Загл. с экрана.
- [3] Standard Co-Emulation Modelling Interface (SCE-MI) Reference Manual [Электронный ресурс] / Интернет ресурс. – Режим доступа: [www/URL: http://www.vhdl.org/itc/scemi200.pdf](http://www.vhdl.org/itc/scemi200.pdf). - Загл. с экрана.