

МОДЕЛИРОВАНИЕ И ТЕСТИРОВАНИЕ МОП-СТРУКТУР НА ПЕРЕКЛЮЧАТЕЛЬНОМ УРОВНЕ: ОСНОВНЫЕ НАПРАВЛЕНИЯ, МОДЕЛИ И ПРОБЛЕМЫ

Андрюхин А.И.

Кафедра ПМИ ДонНТУ

andr@r5.dgtu.donetsk.ua

Abstract

Andruckin A.I. Modeling and testing of MOS-structures at a switching level: the basic directions, model and problem. The review of the articles on modeling and testing of the MOS-circuits is submitted

Моделирование на переключательном уровне широко используется при анализе современных МОП-схем, каковыми являются большинство промышленных микропроцессоров, элементов памяти и т.п. Развитие этого направления моделирования обусловлено необходимостью тестирования МОП-структур, для которых реальные дефекты плохо описываются классической моделью одиночных константных неисправностей и тесты, построенные на основе этой модели, не обнаруживают характерные дефекты МОП-схем [1]. Первый наиболее известный шаг тестирования неклассических неисправностей для МОП-структур представлен в [2].

Основные положения переключательного анализа МОП-структур

Большинство известных систем моделирования на переключательном уровне имеют в своем теоретическом фундаменте различные модификации двух основных направлений: теории решеток [3] и теоретико-графового подхода [4]. Они представляют в различной форме основные принципы простого переключательного анализа МОП-структур, отражающие их особые резистивно-емкостные свойства:

1. Транзистор является идеальным переключателем. Если на затворе n -МОП транзистора имеем высокий потенциал H (логическая 1), то транзистор может быть представлен малым резистором. Если на затворе n -МОП транзистора имеем низкий потенциал L (логический 0), то транзистор может быть представлен очень большим сопротивлением. Когда значение затвора не определено (ни H , ни L), тогда транзистор представлен сопротивлением неопределенного значения.

2. Сопротивление транзистора работающего в режиме обеднения гораздо больше сопротивления открытого транзистора (режим

обогащения), но много меньше сопротивления закрытого транзистора (режим обеднения).

3. Узел, соединенный с землей и питанием только через пути высокого сопротивления, может сохранять предыдущий уровень напряжения определенное время (даже несколько секунд при определенных условиях). Узел, соединенный с землей и питанием через пути с малым сопротивлением, может иметь неопределенный уровень напряжения. Часто строят более сложные правила, назначая некоторые границы сопротивлений транзисторов путем рассмотрения геометрических параметров, характеризующих сопротивление полевого транзистора (ширина L и длина W его канала). На основании этих параметров определяют и постоянную времени срабатывания для полевых транзисторов $\tau = CL/C_{ox}\mu W$, где C , C_{ox} — емкости, μ ($\mu_n = 3\mu_p$) — подвижность носителей.

Основные модели и проблемы переключательного анализа

В [5] рассматривается модификация представления МОП-структур линейными переключательными моделями (*LSL*), в которых базовыми элементами являются управляемые напряжением резисторы и линейные емкости соответствующие транзистору и узлу схемы согласно рис.1. Показано, что задача определения максимального и минимального значения состояния в устройстве является *NP*-задачей и этим оправдывается использование эвристических методов при моделировании на переключательном уровне.

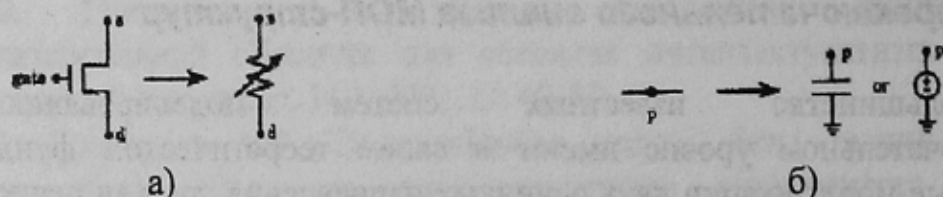


Рис.1 Представление линейной модели на переключательном уровне
а) транзистора; б) узла.

В [6] рассматривается метод моделирования МОП-структур с потоку ограниченными переключениями (*current-limited switch*). Приводятся примеры схем представленных нам рис.2, для которых подходы Брайента или Хейеса дают неправильные или неопределенные результаты. На рис.2 показано штриховой линией замыкание двух узлов. Отношение ширины к длине канала для всех транзисторов принято равным 1. Для первой схемы подходы Брайента или Хейеса решение может осциллировать, а для второй выходное состояние неизвестно. Работа [7] посвящена функциональному описанию дискретных схем на переключательном уровне. Вводится

понятие характеристической функции, под которой понимается описание выходных реакций базового компонента схемы в зависимости от значений входных сигналов.

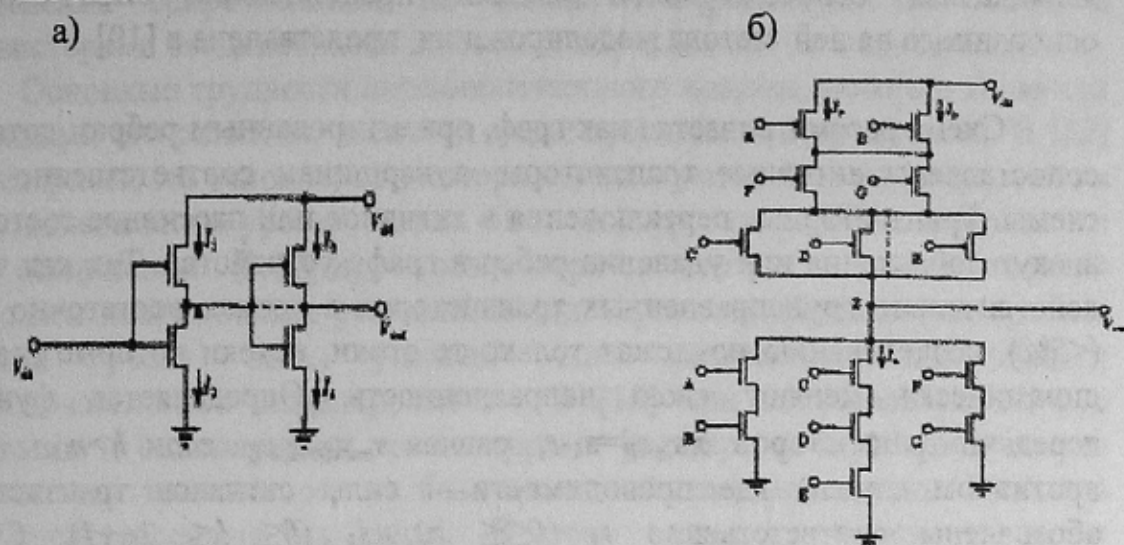


Рис.2. а) два инвертора; б) МОП-структура

На основе теории характеристических функций может быть получено описание поведения схемы в форме булевых уравнений, учитывающих различные модификации известных моделей полевых и биполярных транзисторов. В [8] рассматривается унифицированный подход к описанию и моделированию различных компонентов МОП-структур на основе базового примитива представленного на рис.3.

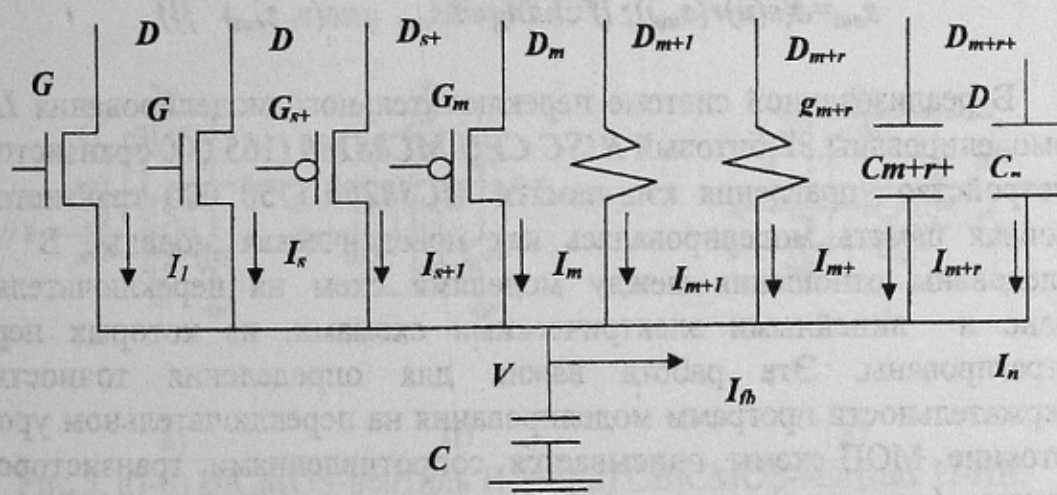


Рис.3. Базовый примитив МОП-структур.

При различных значениях s, m, r получаем базовые вентиляльные структуры. К примеру $s=1, m=2, r=0, n=2, D_1=, D_2=$ описывает инвертор, при $s=1, m=3$ можем моделировать КМОП-вентиль И-НЕ. К этой работе примыкает статья [9] в которой рассматривается моделирование

биполярных схем с эмиттерно-связанной логикой на уровне переключений. Концепция динамических ориентированных графов, являющаяся основой новой модели представления МОП-схем и основанного на ней метода моделирования, представлена в [10].

Схема рассматривается как граф, ориентированным ребрам которого сопоставлены активные транзисторы, а вершинам соответственно узлы схемы. Транзисторные переключения в активное или пассивное состояния влекут добавление или удаление ребер в графе устройства. Так как число действительно двунаправленных транзисторов в схемах достаточно мало (<5%), исследованию подлежат только те стоки, истоки которые реально динамически меняют свою направленность. Определяется функция передачи транзисторов $\delta(s_k, r_i) = s_k - r_i$ равная $s_{\max(n+1, k-i)}$ если $k > n$ и s_k в противном случае, где проводимости и силы сигналов транзисторов обозначены соответственно r_i ($0 \leq i \leq n$), s_k ($0 \leq k \leq 2n+1$). Сумма проводимостей транзисторов определяется согласно выражения $r_k + r_l = r_{\min(n, k+l)}$. Для любых двух вершин u, v имеющих силы $s(u), s(v)$, определяем направление $direction(e_{uv}) = 0$, если $s(u) = s(v)$ и $direction(e_{uv}) = u \rightarrow v$ ($v \rightarrow u$), если $s(u) > s(v)$ ($s(v) > s(u)$) соответственно.

Моделирование на переключательном уровне формулируется как проблема нахождения наикратчайшего пути в графе и здесь использован алгоритм Форда, адаптированного Муром вместо применяемого в известной системе *MOSSIM* алгоритма Вагнера *FLOW*. Сам ход моделирования определяется нижеприведенным алгоритмом

*Short(u) {Foreach edge e_{uv} {if ($s(u) \geq s(v)$) {if ($s(u) > s(v)$) $direction(e_{uv}) = u \rightarrow v$
 $s_{out} = \delta(s(u)r(e_{uv}))$; if changed s_{out} $que(v, s_{out})$ }}}*

В реализованной системе переключательного моделирования *LSIM* промоделированы 32-битовый *RISC CPU MC88100* (165 000 транзисторов) и устройство управления кэш-памяти *MC88200* (750 000 транзисторов, основная память моделировалась как поведенческая модель). В [11] исследованы отношения между моделями схем на переключательном уровне и линейными электрическими схемами, из которых первые абстрагированы. Эта работа важна для определения точности и содержательности программ моделирования на переключательном уровне. Состояние МОП-схемы описывается сопротивлениями транзисторов и закрытые (открытые) транзисторы представляются большими (малыми) сопротивлениями соответственно. Обозначим через r_s (r_p) сопротивления моделей, где все присутствующие сопротивления r_i ($i \leq n$) соединены последовательно (параллельно) соответственно, т.е. $r_s = \sum r_i$ и $r_p = 1 / (\sum 1/r_i)$). Тогда для r_N — сопротивления двухполюсной сети N в которой соединены n одинаковых сопротивлений r , имеем $r_p \leq r_N \leq r_s$, где $r_p = r/n$, $r_s = nr$. Поэтому для класса разделения $P(r) = \{r/n, nr\}$ с необходимым

условием $P(r_i) \gg P(r_{i+1})$ имеем $r_{i+1}/n > nr_i$ и достаточно пессимистическую оценку фактора разделения $> n^2$. Даны правила вычисления сопротивлений на основе *Wang*-алгебры для схем с транзисторами соединенными не только параллельно-последовательно.

Основные трудности переключательного анализа, которые являются причинами его развития, касаются моделирования неисправностей. В [12] рассматриваются условия, при которых моделирование неисправностей на переключательном уровне может быть некорректным. Указывается, что при соединении (*bridging*) транзистора с его источником питания возможны неправильные результаты моделирования. Предложена простая техника учета этих условий для повышения адекватности переключательного моделирования. В [13] при исследовании схем с полевыми и биполярными транзисторами расширены переключательные модели этих транзисторов на базе известной графовой модели Брайента [4], представленные на рис.4. В этих моделях вводится понятие направленной дуги, которая описывает возможность передачи сигнала от транзистора к транзистору. Рассмотрены неисправности типа "устойчивый обрыв транзистора", построены



Рис 4. Модели транзисторов а) МОП- транзистор; б) биполярный транзистор.

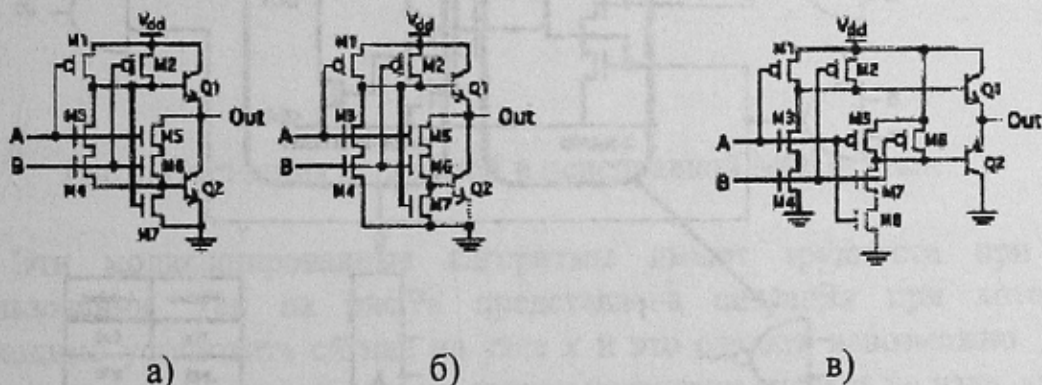


Рис.5. а)-б) BiCMOS-вентиль И-НЕ; в) SViCMOS-вентиль И-НЕ.

процедуры их обнаружения с помощью расширенных моделей для 6 различных базовых структур, из которых 3 представлены на рис.5. Исследование влияния радиации на работу МОП-схем проведено в [14]. Вследствие связи параметров устройства сдвиг уровней его работы труден для учета и предсказания. На некорректность моделирования на

переключательном уровне важного схемотехнического компонента как проходного вентиля "EXOR" указано в [15]. Рассмотрены результаты его моделирования в системах *TMODS*, *SPICE*, *PASOS*.

Генерация тестов для КМОП-структур

В [16, 17] описана система построения тестов для схем смешанного типа, т.е. включающих как вентильные структуры, так и транзисторные. На переключательном уровне рассматриваются неисправности "устойчивые обрывы транзисторов". Распространение неисправностей в структурах смешанного уровня удобно рассмотреть на примере схемы на рис. 6. Описание этой схемы состоит из базовых вентилях и списка транзисторов. Этот список делится на 2 части, первая из которых может быть идентифицирована как 2-входовый И-НЕ и поэтому далее относится к вентильному уровню. Вторая часть не может быть отражена на вентильном уровне. Следовательно, генерация теста выполняется на переключательном уровне и продвижение неисправности использует 0,1-кубические покрытия макроопределений переключательного уровня. В [18] используются основные идеи построения тестов на вентильном уровне для переноса их и модификации на переключательный уровень.

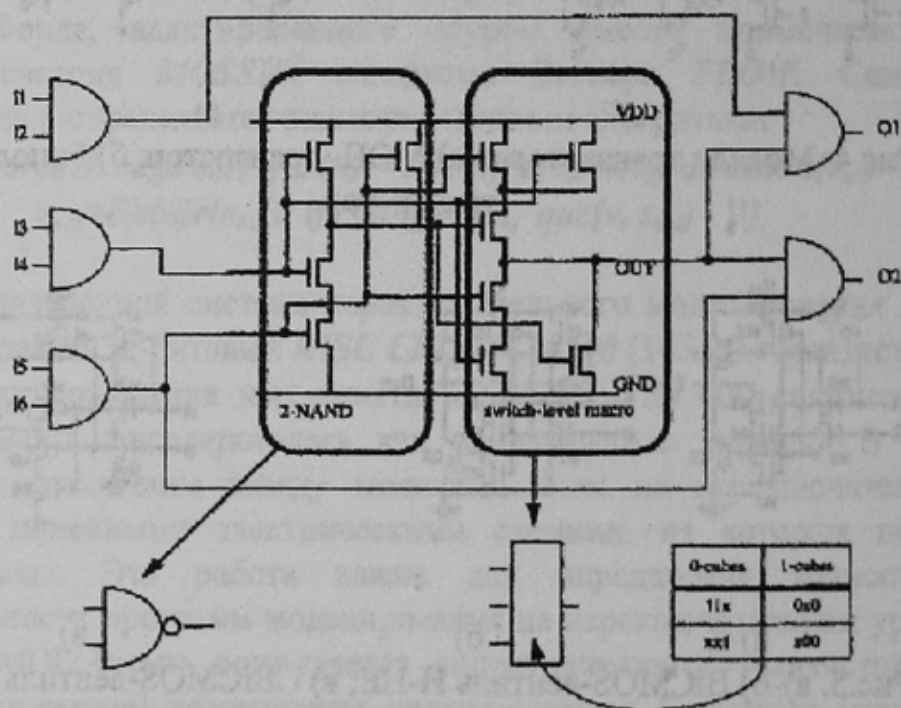


Рис.6. Представление схемы на различных уровнях.

Рассматриваются следующие типы неисправностей: константные, устойчивые обрывы и замыкание транзисторов, перемычки (bridging). Базовым методом для модификации является *PODEM*, однако его

использование сопряжено с необходимой адаптацией таких основных моментов как многомерная активизация путей, обратное прослеживание сигналов и обратное восстановление сигналов при возврате.

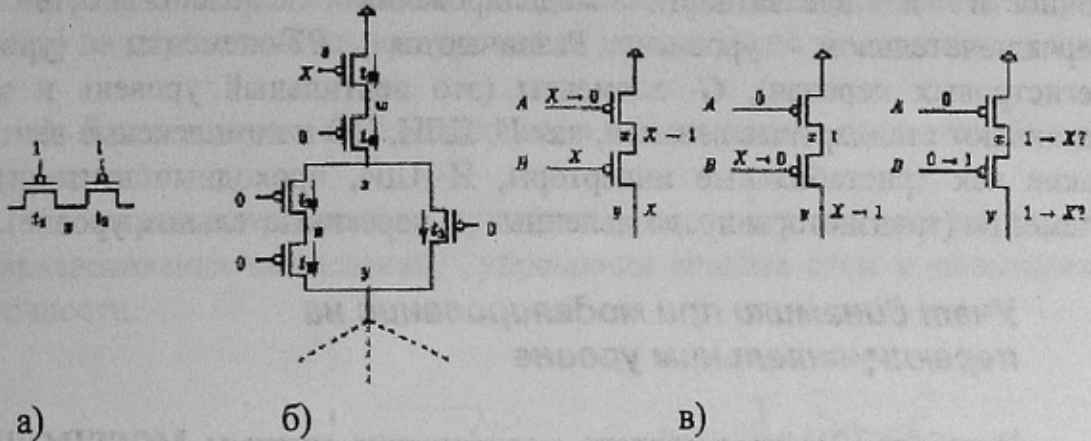


Рис.7. Трудности генерации теста на переключательном уровне: а)-б) обратное прослеживание (backtracing); в) обратное восстановление сигналов при импликациях (backtracking).

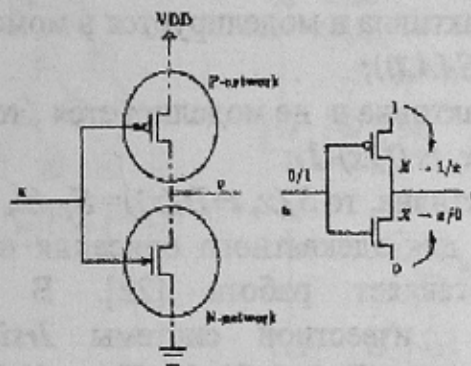


Рис.8. Состояния исправной и неисправной МОП-схемы.

Эти модифицированные алгоритмы имеют трудности при их использовании. Так на рис.7а представлена ситуация при которой необходимо установить сигнал на узле x и это сделать невозможно. Для ситуации на рис.7б нельзя решить задачу установки сигнала на узле, здесь имеем петлю (обратную связь) для цели установки узла y в 1 и при этом транзисторы $t1$, $t2$, $t3$ и $t4$ являются активными. В отличие от метода *PODEM* невозможно в одно и тоже время рассматривать состояния исправной схемы и схемы с неисправностью и пример такой ситуации представлен на рис.8.

Тестированию МОП-памяти посвящена работа [19]. Доказано, что для полной проверки МОП-памяти емкостью N битов, имеющей $n+2$ входа

($n = \log_2 N$) необходимо $1 + 4N + 2N \log_2 N$ входных наборов вместо моделирования 2^K случаев, где $K = N + n + 2$.

В [20] описаны основные принципы построения иерархической системы моделирования *SATISFAULT*. Особое внимание в ней уделено точности и адекватности моделирования неисправностей на переключательном уровне. Различаются *RT*-элементы (уровень регистровых передач), *G*-элементы (это вентильный уровень и здесь различают стандартные вентили, как И, ИЛИ, НО и комплексные вентили, такие как тристабильные инверторы, И-ИЛИ, проходные вентили), *S*-элементы (транзисторы представленные на переключательном уровне).

Учет динамики при моделировании на переключательном уровне

В работе [21] представлена модификация системы *MOSSIM II* под названием *ICESIM*. Пусть $S_i(x, t)$ - состояние узла x в момент времени t на i -ом шаге моделирования, $D_i(x)$ - задержка узла x на i -шаге моделирования, A - множество узлов влияющих на x (т.е. чьи стоки и истоки связаны с x), F_x - функция влияния на узел x .

Применяются следующие положения:

- 1) если подсеть(x) активна и моделируется в момент t , то
- 2) $S_i(x, t + D_i(x)) = F_x(S_i(A, t))$;
- 3) если подсеть(x) активна и не моделируется, то
- 4) $S_i(x, t + D_i(x)) = S_i(x, t + D_i(x) - 1)$;
- 3) если подсеть(x) неактивна, то $S_i(x, t + D_i(x)) = S_{i-1}(x, t + D_i(x))$.

Особый интерес для адекватного описания временного поведения МОП-структур представляет работа [22]. В статье представлен символьный вариант известной системы *Irsim-SirSim*. Основной структурой данных является $Event = (Node, Time, Value, Mask)$, где *Node* - модифицируемые узлы схемы, *Time* - абсолютное время события, *Value* - новые значения узлов из $(0, 1, X)$, *Mask* - булевы выражения, определяющие условия изменения сигналов. Пример использования выражений символических вычислений представлен на рис.9. В [23-25] представлен единый подход для моделирования исправных и неисправных МОП-структур, основанный на представлении их функционирования системами булевых уравнений и допускающий расширение области своего применения.

Заключение

В настоящее время основными особенностями моделирования на переключательном уровне являются:

а) наличие многих уровней систем моделирования, т.е. наличие вентиляльного уровня, уровня регистровых передач, переключательного уровня и моделирования на электрическом уровне, причем последние являются идентичными во многих системах;

б) развитие представлений и идейных принципов описания МОП-структур на переключательном уровне на другие технологии изготовления БИС;

в) более широкое использование символьных вычислений при моделировании;

г) широкое применение принципа разделения схем на части для распараллеливания вычислений, упрощения анализа схем и повышения его точности.

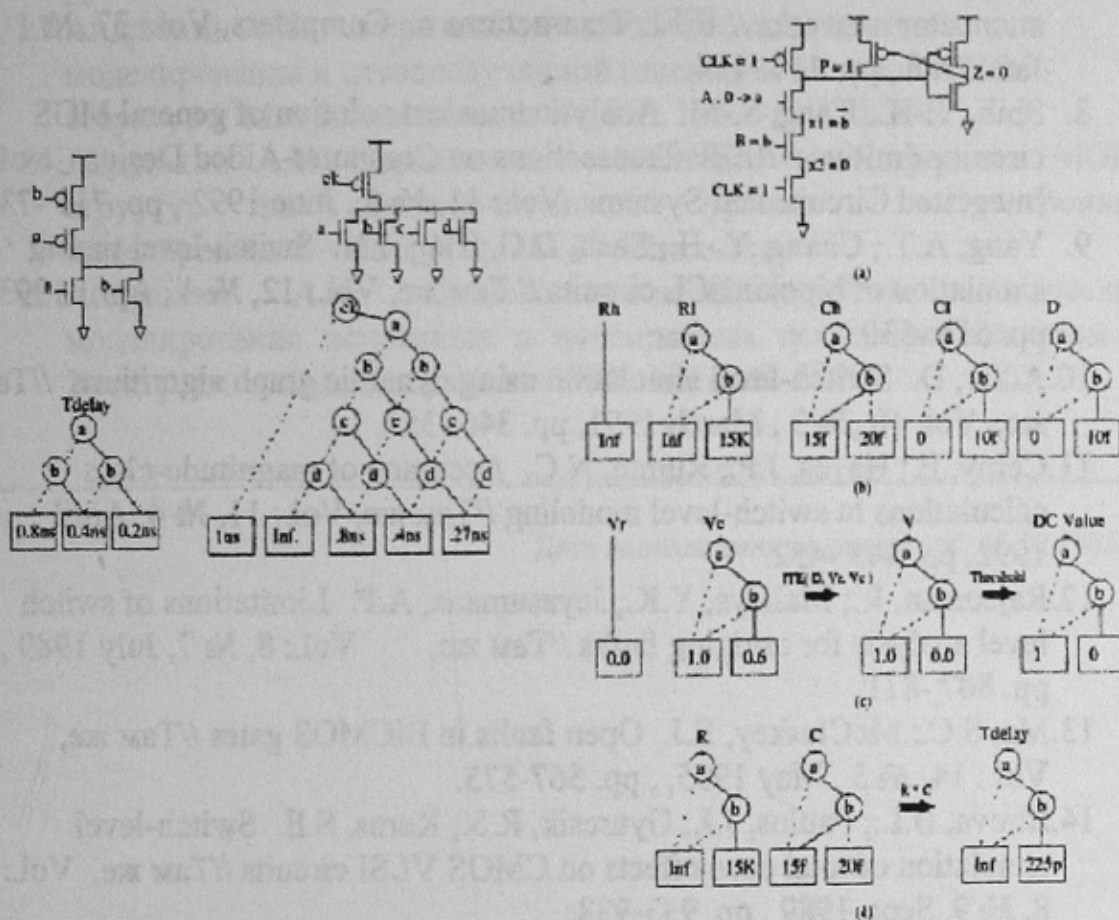


Рис.9. Структуры символьного временного переключательного анализа.

Литература

1. Вейцман И.Н., Кондратьева О.М. Тестирование КМОП-схем // Автоматика и телемеханика. – 1991, № 2, С.3-34.

2. R.L.Wadsack. Fault modeling and logic simulation of CMOS and MOS integrated circuits // Bell Syst. Tech. J., vol. 57, May-June 1978, pp. 1449-1473.
3. Hayes J.P. Pseudo-Boolean logic Circuits // IEEE Transactions on Computers, Vol. 35, № 7, 1986, pp. 111 -114.
4. R.E. Bryant. Switch-Level Model and Simulator for MOS Digital Systems // Там же, Vol. 33, № 2, 1984, pp. 160 -177.
5. Huang, L.P.; Bryant, R.E. Intractability in linear switch-level simulation // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol. 12, № 6, June 1993, pp. 829 - 836.
6. Ruan, G.; Vlach, J.; Barby, J.A. Logic simulation with current-limited switches // Там же, Vol. 9, № 2, Feb. 1990, pp. 133 -141.
7. Cerny, E.; Gecesi, J. Functional description of connector-switch-attenuator networks // IEEE Transactions on Computers, Vol. 37, № 1, Jan. 1988, pp. 111 -114.
8. Shih, Y.-H.; Kang, S.-M. Analytic transient solution of general MOS circuit primitives // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol. 11, № 6, June 1992, pp. 719 -731.
9. Yang, A.T.; Chang, Y.-H.; Saab, D.G.; Hajj, I.N. Switch-level timing simulation of bipolar ECL circuits // Там же, Vol. 12, № 4, April 1993, pp. 516 -530.
10. Adler, D. Switch-level simulation using dynamic graph algorithms // Там же, Vol. 10, № 3, March 1991, pp. 346 -355.
11. Cerny, E.; Hayes, J.P.; Rumin, N.C. Accuracy of magnitude-class calculations in switch-level modeling // Там же, Vol. 11, № 4, April 1992, pp. 443 -452.
12. Rajsuman, R.; Malaiya, Y.K.; Jayasumana, A.P. Limitations of switch level analysis for bridging faults // Там же, Vol. 8, № 7, July 1989, pp. 807 -811.
13. Ma, S.C.; McCluskey, E.J. Open faults in BiCMOS gates // Там же, Vol. 14, № 5, May 1995, pp. 567-575.
14. Bhuva, B.L.; Paulos, J.J.; Gyurcsik, R.S.; Kerns, S.E. Switch-level simulation of total dose effects on CMOS VLSI circuits // Там же, Vol. 8, № 9, Sept. 1989, pp. 933-938.
15. Svensson, C.M.; Tjarnstrom, R. Switch-level simulation and the pass transistor EXOR gate // Там же, Vol. 7, № 9, Sept. 1988, pp. 994-997.
16. Glaser, U.; Vierhaus, H.T. Mixed level test generation for synchronous sequential circuits using the FOGBUSTER algorithm // Там же, Vol. 15, № 4, April 1996, pp. 410-423.
17. Hubner, U.; Vierhaus, H.T.; Camposano, R. Partitioning and analysis of static digital CMOS circuits // Там же, Vol. 16, № 11, Nov. 1997, pp. 1292 -1310.

18. Kuen-Jong Lee; Njinda, C.A.; Breuer, M.A. SWiTEST: a switch level test generation system for CMOS combinational circuits // Там же, Vol.: 13, № 5, May 1994, pp. 625 -637.
 19. Bryant, R.E. Formal verification of memory circuits by switch-level simulation // Там же, Vol.: 10, № 1, Jan. 1991, pp. 94 -102.
 20. Meyer, W.; Camposano, R. Active timing multilevel fault-simulation with switch-level accuracy // Там же, Vol.: 14, № 10, Oct. 1995, pp. 1241 -1256
 21. Jones, L.G. An incremental zero/integer delay switch-level simulation environment // Там же, Vol.: 11, № 9, Sept. 1992, pp. 1131 -1139.
 22. McDonald, C.B.; Bryant, R.E. CMOS circuit verification with symbolic switch-level timing simulation // Там же, Vol.: 20, № 3, March 2001, pp. 458 -474.
 23. Андрюхин А.И. Алгоритмы параллельного логического моделирования и псевдослучайной генерации тестов для МОП-структур // Микроэлектроника. – 1995, N 5. – С. 331-336.
 24. Андрюхин А.И. Параллельное логическое моделирование МОП-структур на переключательном уровне // Электронное моделирование. –1996, N 2, – С. 88-92.
 25. Андрюхин А.И. Параллельное многозначное логическое моделирование исправных и неисправных псевдобулевых схем // Электронное моделирование – 1997, N 1. – С. 58-63.
-

Дата надходження до редколегії: 16.10.2003 р.