

РОЗРОБКА ТА ДОСЛІДЖЕННЯ МЕТОДІВ І СТРУКТУР АПАРАТНОГО АНАЛІЗУ АНАЛОГОВИХ ТЕСТОВИХ РЕАКЦІЙ НА БАЗІ FPGA

Шигімагін О.В., Зінченко Ю.Є.

Донецький національний технічний університет

У статті розглянуті можливості реалізації методів і структур апаратного аналізу аналогових тестових реакцій на базі fpga-технологій. Виконаний аналіз існуючих методів і систем діагностики аналогово-цифрових пристроїв і аналізу їх тестових реакцій зокрема. Отримана і досліджена експериментальна підсистема аналізатора аналогових тестових реакцій на базі FPGA. Зроблений вивід про якість, а також можливість удосконалення отриманої експериментальної підсистеми.

В даний час практично не існує систем, що забезпечують подібно до цифрового тестування автоматичну побудову тестів для аналогових і аналого-цифрових (АЦ) пристроїв по їх структурному або функціональному опису. Існуючі системи покликані лише допомагати діагносту високої кваліфікації, так що тести будуються практично уручну виходячи з глибоких знань діагноста про схемотехніку і функції об'єкту діагностики (ОД). Проблема посилюється також тим, що тести, побудовані уручну, неефективні для промислового тестування АЦ-пристроїв на доступному тестовому обладнанні і при адаптації до цього обладнання їх доводиться задавати, знову ж таки уручну [2].

Традиційний підхід побудови тестів для АЦ-пристроїв базується на функціональному тестуванні на основі специфікацій ОД. При цьому зазвичай діагност передбачає, що в процесі діагностики буде доступна всіляка контрольно-діагностична апаратура (КДА). Велике число специфікацій, висока вартість КДА і вимоги високої кваліфікації, що пред'являються до персоналу, а

також процес діагностування, зв'язаний з великим числом ручних операцій, призводять до зниження ступеня автоматизації і кінець кінцем до високої вартості традиційного підходу. Підвищення складності сучасних АЦ-пристроїв, викликане підвищенням міри інтеграції інтегральних схем (ІС) і складністю взаємодії їх аналогових і цифрових вузлів поряд із зменшенням співвідношення цієї складності до загального числа виводів АЦ-ІС, істотно посилює цю проблему і змушує вчених і практиків-діагностів шукати нові підходи тестування АЦ-пристроїв.

Метою роботи є автоматизація процесу аналізу тестових реакцій аналогових пристроїв. Для досягнення поставленої мети в роботі ставляться наступні завдання:

- дослідження існуючих методів і систем діагностування АЦ-пристроїв і аналізу їх тестових реакцій зокрема;
- вибір елементної бази для реалізації проекту;
- розробка методів і FPGA-структур аналізу аналогових тестових реакцій;
- розробка і дослідження експериментальної підсистеми аналізу аналогових тестових реакцій на базі FPGA.

Розглянемо основні види тестування аналогових схем.

Кожен клас аналогової схеми (АЦП, ЦАП, фільтр, ланцюг фазової синхронізації і т. д.) має свій власний набір специфікацій. Для кожного з них вже існують прийнятні функціональні тести для випробування дослідного зразка і мінімізовані по довжині тестові набори для випробувань серійної продукції. Але не існує універсальних тестів для перевірки характеристик схем[1].

Основна різниця між ними полягає в походженні несправностей і процедурі моделювання.

Функціональний тест часто передбачає, що компоненти є несправними і генерує список несправностей, використовуючи катастрофічні і параметричні несправності. При структурному тестуванні використовується статистика виробничих несправностей.

Тестування аналогових схем за призначенням можна

розділити на наступні три категорії[1]:

- зняття характеристик схеми для визначення, чи задовольняє вона специфікації;
- діагностика для визначення причини несправності, коли ОД не проходить тест;
- заводські випробування, що проводяться для перевірки великих об'ємів лінійних і аналогово-цифрових схем.

У свою чергу тести підрозділяються на наступні різновиди :

- • тести, засновані на специфікації - генеруються безпосередньо із специфікації схеми, без використання моделей аналогових несправностей. Цей підхід легко адаптується до широкого спектру схем. Проте при використанні великої кількості специфікацій тестування стає досить коштовним. Тестова послідовність може бути скорочена шляхом виявлення залежностей між специфікаціями і відкиданням непотрібних тестів.
- • структурні тести, побудовані з використанням моделей несправностей - застосовуються для виявлення певного вигляду несправностей, що моделюються. Це дозволяє розбивати набір аналогових тестів на групи по ступеню покриття несправностей, і таким чином тестовий набір може бути ранжируваний. Це дає можливість скоротити довжину тестової послідовності завдяки тому, що тест, який покриває несправності, що вже виявлені попередніми тестами, може бути відкинтий.

Як було зазначено вище, для тестування існує декілька різновидів тестів та методів, тому у якості бази для реалізації аналізатора аналогових тестових реакцій було використано інтегральну схему, що програмується (ПЛІС, англ. FPGA). На відміну від звичайних цифрових мікросхем, логіка роботи ПЛІС не визначається при виготовленні, а задається за допомогою програмування (проекткування). Для програмування використовуються налагоджувальні середовища, що дозволяють задати бажану структуру цифрового пристрою у вигляді принципової електричної схеми або програми на спеціальних мовах

програмування, таких як Verilog, VHDL.

У якості бази для реалізації проекту аналізатору був обраний відлагоджувальний FPGA-комплекс Spartan 3Е, виробником якого є фірма Xilinx. Ця ПЛІС володіє наступними відмітними властивостями [4]:

- наявність АЦП (ADC, англ. Analog-to-Digital Converter);
- висока продуктивність;
- наявність достатньої кількості елементів керування;
- наявність великої кількості інтерфейсів для зв'язку з РС;
- низька вартість.

Структура проекту аналізатора представлена на рисунку 1.

Пристрій аналізатора починає роботу при натисканні кнопки «Старт» безпосередньо на відлагоджувальному комплексі. Дані з об'єкту діагностики надходять до входів аналогово-цифрового перетворювача, сигнал оцифровується та передається до інтерфейсу користувача на комп'ютер за допомогою СОМ-інтерфейсу.

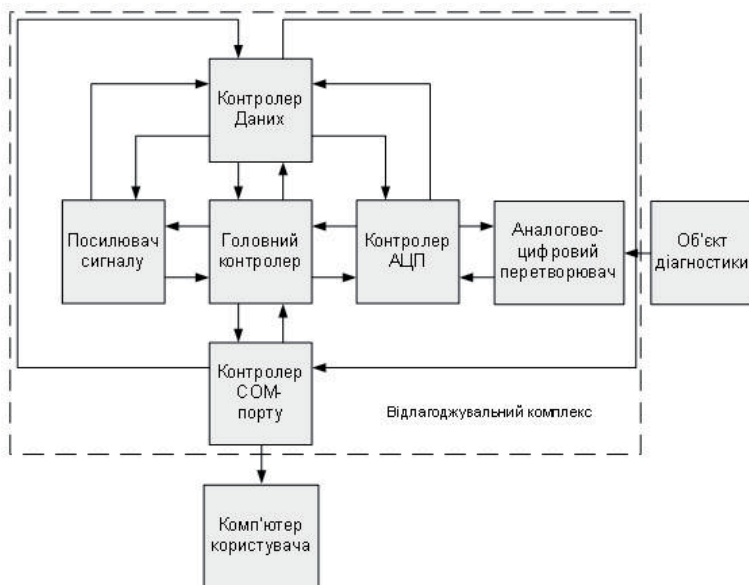


Рисунок 1 – Структура проекту аналізатора аналогових тестових реакцій

Присутність індикаторів стану роботи на відлагоджувальному комплексі допомагає контролювати правильність виконання операцій.

За допомогою інтерфейсу користувача виконується подальше відображення та аналіз отриманих тестових реакцій. Дані відображаються у графічній формі з можливістю масштабування, що допомагає більш ретельно дослідити отримані тестові реакції.

Розглянемо докладніше роботу окремих блоків:

- блок аналогово-цифрового перетворювача описує поведінкову модель одноканального аналогово-цифрового перетворювача. Отриманий сигнал оцифровується за допомогою дельта-модуляції;
- блок посилювача описує поведінкову модель посилювача вхідного сигналу;
- для передачі даних використовується інтерфейс СОМ. Для правильної роботи використовується контролер СОМ-порту;
- контролер даних виконує функцію зв'язку та передачі даних між посилювачем, контролером аналогово-цифрового перетворювача та головним контролером;
- контролер АЦП (аналогово-цифрового перетворювача) використовується для синхронізації роботи перетворювача з іншими компонентами пристрою;
- головний контролер зв'язує всі компоненти розробленого пристрою для їх правильної та злагодженої роботи.

До недоліків подібної схеми можна віднести низьку швидкодію. Позбавитися від цього недоліку можна за допомогою використання DSP-структур. Подальші дослідження в цій галузі направлені на використання DSP-модулів при розробці аналізатора аналогових тестових реакцій.

До переваг можна віднести гнучкість у використанні, високу швидкодію (фактично швидкодія обмежена частотою роботи АЦП). Після завантаження проекту на відлагоджувальний комплекс проект не потребує доопрацювання та працює незалежно від комп'ютера користувача (при натиснутій кнопці старт), відсилаючи

зчитані дані до СОМ-порту. Проект має власні елементи керування та відображення статусу безпосередньо на відлагоджувальному комплексі, тобто плата виконує роль датчика.

Розроблена експериментальна модель також включає програму користувача для аналізу та відображення отриманих даних.

Література

- [1] Agrawal V.D. Essentials of electronic testing for digital, memory and mixed-signal VLSI circuits / V.D. Agrawal, M.L. Bushnell // Boston: Kluwer Academic Publishers, — 2000, 650p.
- [2] Vapiraju Vinnakota. Analog and mixed-signal test / Vapiraju Vinnakota // Prentice Hall PTR, 1998. — 261p.
- [3] Зинченко Ю.Е. Проблемы зондового поиска неисправностей и пути их решения / Ю.Е. Зинченко, А.М. Козинец, К.Н. Жилин // Сборник трудов Донецкого государственного технического университета. Серия: Информатика, кибернетика и вычислительная техника, выпуск 6. — Донецк: ДонГТУ, 1999.— С. 212—217.
- [4] Шигимагин А.В. Разработка осциллографа на базе отладочного FPGA комплекса / А.В. Шигимагин, Ю.Е. Зинченко // Информатика и компьютерные технологии — 2009. Материалы V юбилейной научно-технической конференции студентов, аспирантов и молодых ученых. — Донецк, ДонНТУ — 2009.