

УДК 004.332.3

АНАЛИЗ И ИССЛЕДОВАНИЕ РЕЖИМОВ ПРЕРЫВАНИЙ И СЕМАФОРОВ ДВУХПОРТОВОЙ СИНХРОННОЙ ПАМЯТИ

Горохов И.В., Губарь Ю.В.

Донецкий национальный технический университет

Рассмотрены актуальные вопросы взаимодействия устройств, подключенных к портам двухпортовой синхронной памяти, с использованием режимов прерываний и семафоров. Приведены результаты моделирования этих режимов с использованием функциональной модели двухпортовой памяти в инструментальной среде Active-HDL.

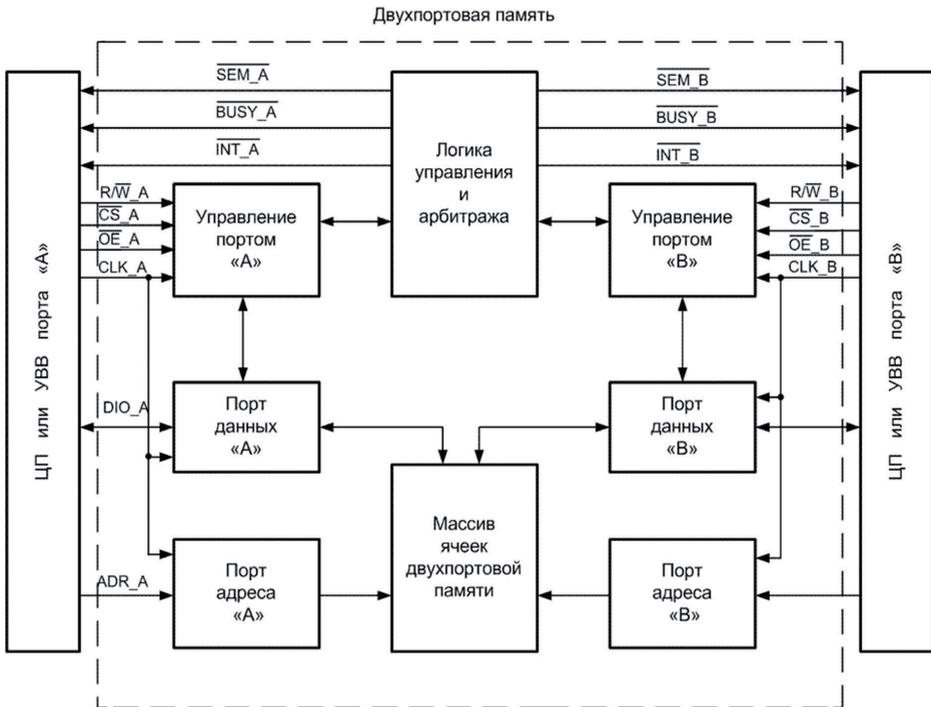


Рисунок 1 – Структурная схема двухпортовой памяти

Введение

В настоящее время в микропроцессорных системах находят применение многопортовые оперативные запоминающие устройства (ОЗУ), которые позволяют организовать одновременный и независимый доступ к памяти нескольким устройствам [1–3]. Это свойство позволяет существенно упростить создание сложных вычислительных систем, где многопортовое ОЗУ выступает в роли общей или совместно используемой памяти. В рамках одной вычислительной машины многопортовое ОЗУ позволяет обеспечить обмен информацией между устройствами ввода – вывода (УВВ) и ОЗУ намного эффективнее, чем прямой доступ к памяти [2, 5].

В [1] выполнена разработка функциональной модели двухпортовой памяти и проведено исследование ее работы в режимах записи и считывания информации. Кроме возможности доступа к ячейкам с двух направлений, двухпортовая память имеет средства для обмена сообщениями между подключенными к ней устройствами. Для этого в ее состав включена система прерываний и семафоров [4]. Целью данной работы является анализ и исследование методом математического моделирования аппаратных средств и алгоритмов взаимодействия устройств, подключенных к портам ОЗУ, с использованием механизмов прерываний и семафоров.

1 Анализ режимов прерываний и семафоров двухпортовой памяти

Структурная схема двухпортовой памяти приведена на рис.1 [1]. Она имеет два идентичных порта “А” и “В” адреса, данных и управления с соответствующим набором сигнальных шин:

ADR_A , ADR_B – адресные сигналы каждого порта;

DIO_A , DIO_B – сигналы двунаправленных шин данных;

R/\overline{W}_A , R/\overline{W}_B – сигналы режима чтения-записи;

\overline{CS}_A , \overline{CS}_B – сигналы выбора кристалла;

\overline{OE}_A , \overline{OE}_B – сигналы управления выходом данных;

CLK_A , CLK_B – тактовые сигналы синхронизации.

$\overline{BUSY_A}, \overline{BUSY_B}$ – сигналы арбитража;

$\overline{INT_A}, \overline{INT_B}$ – сигналы прерываний;

$\overline{SEM_A}, \overline{SEM_B}$ – сигналы семафоров.

В системе прерываний двухпортовой памяти две последние ячейки микросхемы с наибольшими адресами используются в качестве “почтовых ящиков” для обмена сообщениями между устройствами, подключенными к портам А и В (Уст_А и Уст_В). Сообщению от Уст_А выделена ячейка с нечетным адресом, а от Уст_В - с четным адресом (рис.2).

Например, если емкость двухпортовой памяти составляет 1К ячеек, то ячейка с адресом $3FE_{16}$ содержит сообщение от устройства, подключенного к порту В, а ячейка с адресом $3FF_{16}$ - от устройства,

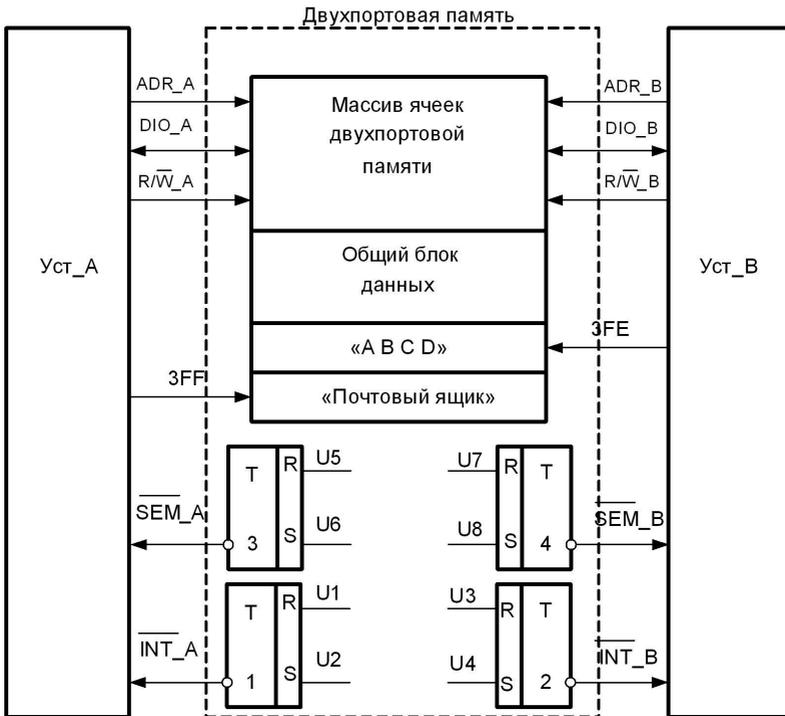


Рисунок 2 – Состав аппаратных средств двухпортовой памяти в режиме прерываний и семафоров

подключенного к порту А.

Когда устройство записывает информацию в свой “почтовый ящик”, формируется запрос прерывания к устройству, подключенному к противоположному порту. Этот сигнал автоматически сбрасывается, когда адресат считывает информацию из своего “почтового ящика”. Для управления триггерами запросов прерывания T_1 и T_2 блоком управления (на рисунке этот блок не показан) формируются соответствующие управляющие сигналы $U_1 - U_4$.

В режиме семафоров в двухпортовой памяти имеется набор триггеров, состояние которых может быть прочитано и изменено со стороны любого из портов [2]. Триггеры T_3 и T_4 на рис.2 играют роль программных семафоров, с помощью которых Уст_А и Уст_В могут извещать друг друга о каких – то событиях. Сущность этих событий не зафиксирована и определяется реализуемыми программами.

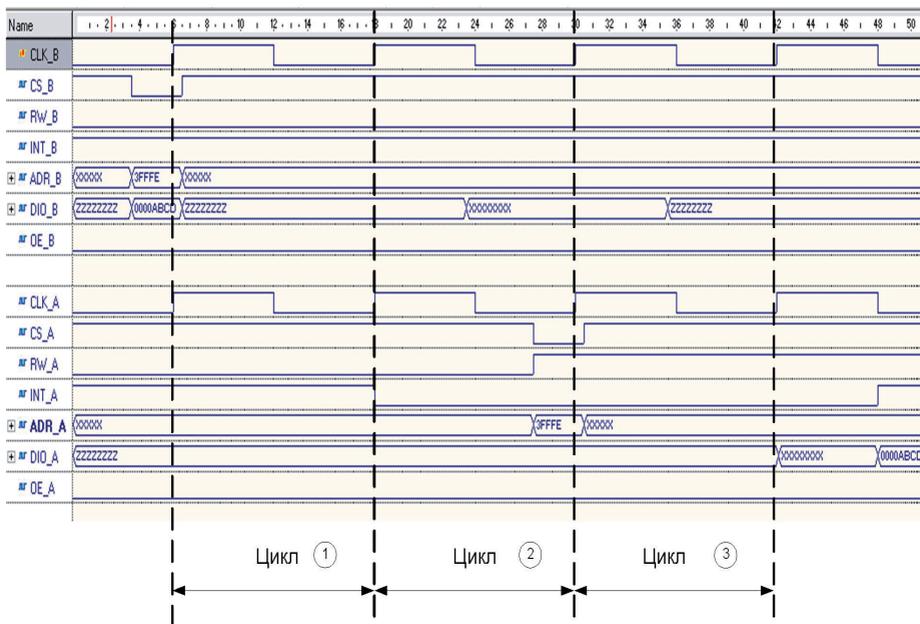


Рисунок 3 – Диаграмма работы двухпортовой памяти
в режиме прерываний

Обычно семафоры нужны для предоставления одному из процессоров права работы с определенным блоком данных. В этом случае процессор монополизирует блок данных, устанавливая один из семафоров в состояние “1”, а по завершении работы с блоком - в состояние “0”. Второй процессор, прежде чем обратиться к данному блоку, считывает семафор и при единичном состоянии последнего повторяет считывание и анализ семафора до тех пор, пока первый процессор не установит его в состояние “0”. В программном обеспечении процессоров распределение и правила использования семафоров должны быть согласованы.

2 Экспериментальные исследования

Результаты модельных экспериментов с двухпортовой памятью в режимах прерываний и семафоров представлены на рис.3 и рис.4 соответственно. В режиме прерываний (рис.3) устройство “B” в первом цикле работы записывает сообщение “ABCD” в свой “почтовый ящик” $3FE_{16}$. В конце первого цикла формируется запрос

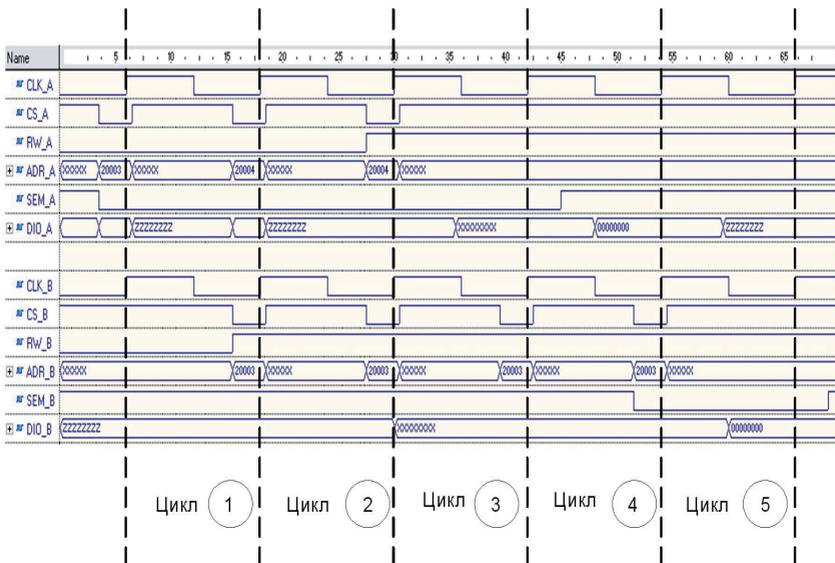


Рисунок 4 – Диаграмма работы двухпортовой памяти в режиме семафоров

прерывания к устройству “А” $\overline{INT_A} = 0$.

Во втором цикле работы отражено время реакции Уст_А на сигнал прерывания. В конце второго цикла работы устройство “А” формирует адрес ячейки $3FE_{16}$ “почтового ящика” и сигнал считывания $R/\overline{W_A} = 1$. В третьем цикле работы Уст_А считывает сообщение “ABCD” по шине DIO_A .

Режим семафоров двухпортовой памяти отражает временная диаграмма рис.4.

В режиме семафоров в первом цикле устройство “А” отправляет запрос на доступ к семафорам. В данный момент времени семафоры не заняты устройством “В” ($\overline{SEM_B} = 1$), поэтому устройство “А” получает доступ к семафорам ($\overline{SEM_A} = 0$) и производит запись 0 в ячейку 20003_{16} . Устройство “В” неактивно. Во втором цикле устройство “А” продолжает работу с общей памятью – производит запись 0 в ячейку 20004_{16} . Устройство “В” начинает опрашивать семафор, но общая память занята устройством “А”. В третьем цикле устройство “А” все еще продолжает работу с общей памятью – производит чтение содержимого ячейки 20004_{16} на шину DIO_A и намечает сброс занятости семафора в следующем цикле. В четвертом цикле устройство “А” неактивно, флаг занятости общей памяти устройством “А” сброшен ($\overline{SEM_A} = 1$). Устройство “В” в циклах 3-4 продолжает опрашивать семафор. В пятом цикле устройство “В” опять отправляет запрос на доступ к общей памяти. В данный момент времени общая память не занята устройством “А”, поэтому устройство “В” получает доступ к блоку памяти ($\overline{SEM_B} = 0$) и производит чтение на шину DIO_B из ячейки 20003_{16} . Намечается сброс занятости семафора в следующем цикле.

Выводы

1. Разработаны функциональные модели и алгоритмы взаимодействия устройств двухпортовой синхронной памяти с использованием механизмов прерываний и

- семафоров. В инструментальной среде Active-HDL выполнено математическое моделирование процессов взаимодействия устройств, подключенных к модулю памяти.
2. В дальнейшем целесообразно выполнить сравнительный анализ производительности работы двухпортовой синхронной памяти и канала прямого доступа при передаче различных массивов данных.

Литература

- [1] Горохов И.В. Разработка и исследование функциональной модели микросхемы двухпортовой памяти. [Текст] / Горохов И. В., Губарь Ю. В. - Інформаційні управляючі системи та комп'ютерний моніторинг / Матеріали І всеукраїнської науково – технічної конференції студентів, аспірантів та молодих вчених – Донецьк: ДонНТУ, 2010, с. 127 – 131.
- [2] Цилькер Б.Я. Организация ЭВМ и систем: Учебник для вузов [Текст] / Б.Я. Цилькер, С.А. Орлов. – СПб.: Питер, 2006. – 668 с.
- [3] Prince V. High Performance Memories: New Architecture DRAM's and SRAM's, Evolution and Function [Текст] / V. Prince // New York: Wiley, 1996.
- [4] Микросхемы памяти фирмы Cypress Semiconductor [Электронный ресурс] / Интернет ресурс. - Режим доступа: [http:// www.cypress.com](http://www.cypress.com). – Загл. с экрана.
- [5] Финогенов К.Г. Программирование измерительных систем реального времени. [Текст] / Финогенов К. Г. - М.: Энергоатомиздат, 1990. – 256 с.