

РАЗРАБОТКА МЕТОДОВ И СРЕДСТВ ОБНАРУЖЕНИЯ И УСТРАНЕНИЯ СБОЙНЫХ ТЕСТОВЫХ ВЕКТОРОВ ЦИФРОВЫХ УСТРОЙСТВ

Лещенко С.А., Зинченко Ю.Е.

Донецкий национальный технический университет

Одной из основных проблем при синтезе тестов и особенно при псевдослучайном генерировании является анализ сбойных состояний, к которым тесты могут приводить. Частично эта проблема решается для некоторых типов сбоев, в таких системах как PSpice и их подобным, однако многие сбойные ситуации остаются нераспознанными.

Наиболее сложными объектами диагностики, как известно, являются асинхронные логические схемы. Имеются достаточно серьезные проработки анализа сбоев в таких схемах, выполненные, например, под руководством профессора Немолочнова(1), однако их реализация сопряжена с трудоемким процессом построения ПО.

В данной работе, как альтернатива традиционному подходу анализа сбойных ситуаций асинхронных последовательностных схем предлагается подход анализа и устранения гонок сигналов триггерных элементов, основанный на использовании существующих систем моделирования.

Идею предлагаемого подхода можно описать с помощью так называемой «модели генерации корректных псевдослучайных тестов, приведенной на рисунке 1. Схема включает генератор случайных или псевдослучайных тестов, объект диагностики (PSpice-модель) и схему анализа сбойных векторов. ГСТ генерирует случайную последовательность входных сигналов. Значения сгенерированных сигналов подаются на PSpice-модель, которая на основании САД-данных объекта диагностики определяет “корректность” подачи такой комбинации. В случае сбойной ситуации на ГСТ подается соответствующий сигнал возврата на несколько итераций назад для последующего моделирования. Схема анализа сбойных векторов служит для распознавания сбойных ситуаций, пропущенных программной средой для диагностики платы.

Схема анализа сбойных векторов вычисляет сигнал ошибки E_1 для возврата на этапе моделирования к предыдущему шагу, сигнал E_2 , который позволяет продолжить моделирование в случае особых ситуаций.

Таким образом, приведенная схема позволяет перехватить сбойные вектора сигналов, которые не распознает используемая модель PSpice, что исключает возникновение некорректных входных векторов в процессе случайной генерации тестов.

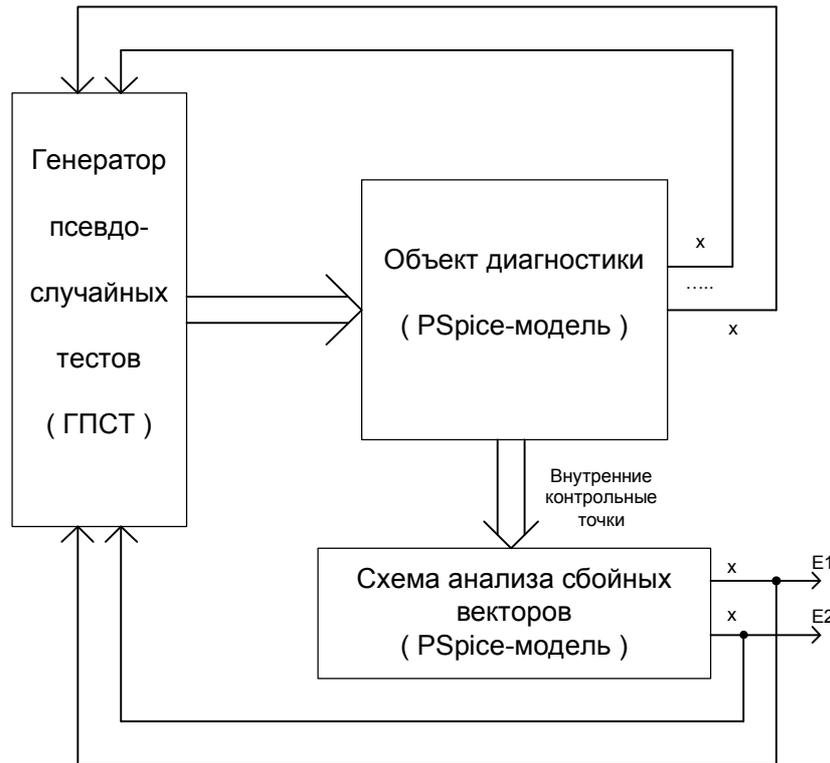


Рисунок 1 – Общая схема программной диагностики печатной платы

К настоящему времени в САПР ORCAD разработана имитационная модель схемы анализа сбоев для типового элемента замены (ТЭЗ) из состава специализированного вычислительного комплекса (СВК), с помощью которой был отработан предлагаемый подход анализа сбоев и поставлены задачи на разработку экспериментального ПО. В ближайшее время планируется проведение проектных работ, по завершении которых будут проводиться экспериментальные исследования на комплексе ТЭЗ из состава СВК.

Література

- [1] Немолочнов О.Ф. Анализ и устранение состязаний сигналов при синтезе тестовых последовательностей. - "Автоматика и телемеханика", 1976, N11, с. 173-181.
- [2] Немолочнов О.Ф. Задача построения тестовых последовательностей для схем цифровых устройств. - "Приборостроение"(Известия высших учебных заведений), т. XV1, 1973, N6, с. 72-75.