

РАЗРАБОТКА КОМПОЗИЦИОННОГО МИКРОПРОГРАММНОГО УСТРОЙСТВА УПРАВЛЕНИЯ С ОБЩЕЙ ПАМЯТЬЮ

Кучеренко С.А., Зеленёва И.Я.
Донецкий национальный технический университет

Одним из методов реализации устройства управления цифровой системы является использование модели композиционного микропрограммного устройства управления (КМУУ) [1, 2]. Эти устройства идеально подходят для проектирования с использованием современных СБИС типа FPGA, где имеются средства для реализации произвольной логики и встроенные блоки памяти. В то же время при массовом производстве изделий электронной промышленности по-прежнему широко используются заказные схемы типа ASIC (application-specific integrated circuits). В этом случае для реализации схем устройств управления используются заказные матрицы, основанные на идее распределённой логики. В настоящее время в литературе практически отсутствуют методы, ориентированные на этот базис. В настоящей статье рассматривается метод синтеза КМУУ с общей памятью на заказных матрицах, и анализируются пути уменьшения площади кристалла, занимаемой его логической схемой.

Целью исследования является реализация логической схемы устройства управления на заказных СБИС при интерпретации линейного алгоритма управления. Задачей исследования является разработка синтеза КМУУ с общей памятью, позволяющего уменьшить стоимость логической схемы при реализации заданного алгоритма управления представленного в виде граф-схемы алгоритма (ГСА).

При реализации схемы КМУУ U_1 на заказных матрицах, предлагаемой в данной работе, схема СС представляется в виде конъюнктивной матрицы M_1 и дизъюнктивной матрицы M_2 . Управляющая память $СМ$ представляется в виде конъюнктивной матрицы M_3 и дизъюнктивной матрицы M_4 . (рис.1.)

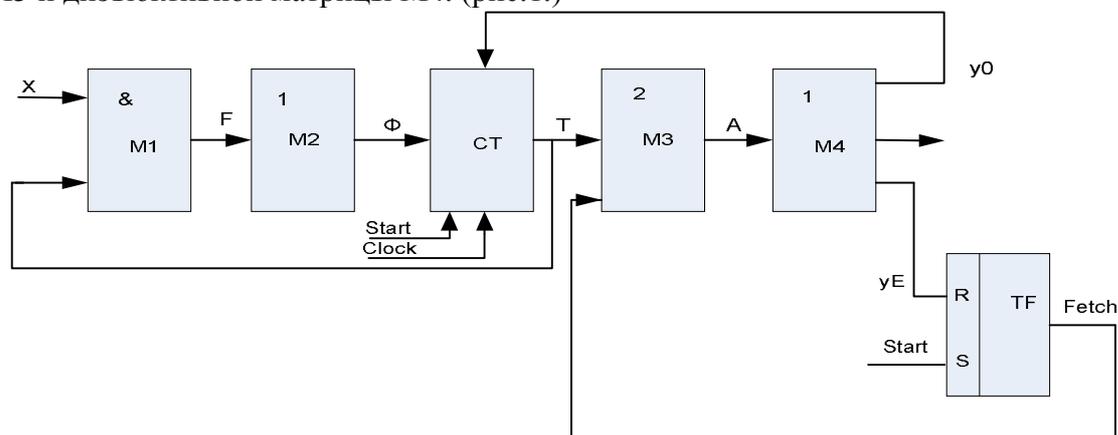


Рисунок 1 - Матричная реализация КМУУ с общей памятью

В этой схеме матрица M_1 реализует систему термов $F = \{F_1, \dots, F_H\}$, соответствующих строкам таблицы переходов КМУУ. Матрица M_2 реализует систему, элементы которой определяют функции возбуждения D-триггера, поступающие на информационные входы СТ. Матрица M_3 формирует термы A_m принадлежат множеству A , соответствующие адресам микрокоманд. Матрица M_4 формирует функции y_0 , y_F и y_n принадлежащие множеству Y .

В настоящей работе предлагается метод матричной реализации КМУУ U_1 :

1. Формирование множества ОЛЦ. Этот этап выполняется по известной методике [1, 2].

2. Естественная адресация микрокоманд. Этот этап сводится к последовательной нумерации компонент $\alpha = \alpha_1 * \alpha_2 * \dots * \alpha_G$. Нумерация начинается с нуля, а R_A - разрядные двоичные эквиваленты номеров операторных вершин являются адресами соответствующих микрокоманд [1, 2]

3. Формирование системы формул перехода. Эта система формируется для выходов ОЛЦ αg принадлежит множеству S_1 , где αg не принадлежит множеству S_1 , если её выход связан с конечной вершиной ГСА.

4. Формирование таблицы переходов КМУУ.

5. Формирование содержимого управляемой памяти.

6. Реализация схем КМУУ: соединение всех этих матриц и счетчика СТ дает схему КМУУ U_1 (сложность каждой из матриц определяется ее площадью в условных единицах).

Предложенный метод матричной реализации КМУУ с общей памятью позволяет получить схему, функционально соответствующую тривиальной реализации микропрограммного автомата. Для оптимизации этой схемы можно использовать, как известные методы замены логических условий и кодирования наборов микроопераций, так и адаптировать методы оптимизации КМУУ, ориентированные на FPGA [3, 4].

Литература

1. Баркалов А.А. Микропрограммное устройство управления как композиция автоматов с программируемой и жёсткой логикой. Автоматика и вычислительная техника, 1983, №4.-с.36-41.
2. Barkalov A.A., Titarenko L.A. Synthesis of operational and control automate.- Donets'c: Untech, 2005.-25pp.
3. Maxfield C. The Design Warriors's Guide for FPGA.-Amsterdam: Elseveir, 2004.- 541 p.
4. Smith M. Application – Specific Integrated Circuits. - Boston: Addison - Wesley, 1997.-836 pp.