

# Смешанное моделирование МОП-схем

Андрюхин А.И.  
Кафедра ПМИ ДонНТУ  
alexandruckin@rambler.ru

## **Abstract**

*Andruckin A.I. Mixed Modeling of MOS-structures. The review of the problems on mixed modeling of the MOS-circuits is presented. The results of structural research and simulations are considered.*

## **Введение**

Развитие моделирования на переключательном уровне, широко используемого при анализе современных МОП-схем, обусловлено необходимостью их тестирования. Известно, что тесты, построенные на основе известной модели одиночных константных неисправностей для вентиляционного уровня, не обнаруживают характерные дефекты МОП-схем [1-3]. Рассматривается проблема совместного представления компонентов устройства на переключательном и вентиляционном уровнях, решение которой позволяет повысить эффективность использования переключательного анализа и область его применения.

## **Постановка задачи**

На первых этапах проектирования современных СБИС часть компонентов проекта использует обозначения вентиляционно-функционального уровня, а другая часть схемотехнического (транзисторного) или переключательного уровня. К примеру, на рис.1 представлены различные реализации простейшего мультиплексора  $2 \rightarrow 1$  разнообразными стилями проектирования МОП-структур с использованием проходных транзисторов (DPL-двойная логика на проходных транзисторах, CPL-комплементарная логика на проходных транзисторах, DPTL- дифференциальная логика на проходных транзисторах, EEPL- энергоэкономичная логика на проходных транзисторах, PPL- push-pull логика и т.п.) [4-5]. Существует простой путь решения этой проблемы, как перевод описания компонентов с вентиляционного на транзисторный уровень и далее применение системы моделирования на переключательном уровне. Однако более комфортно для разработчика иметь подобное смешанное представление и возможность моделировать и верифицировать именно его.

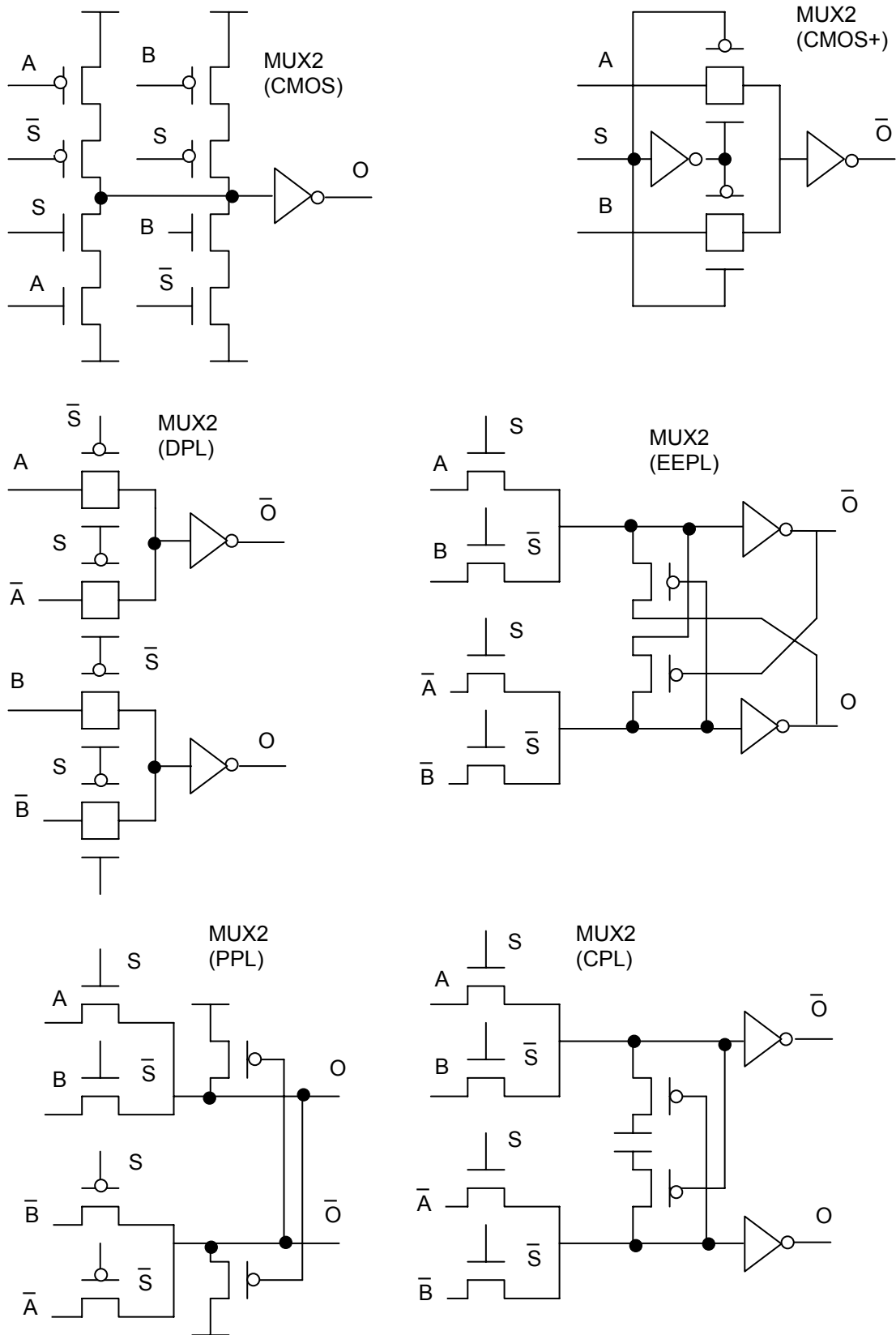


Рисунок 1 - Стили смешанного проектирования мультиплексора 2→1

## Решение проблемы

Опишем основные сведения из переключательного анализа для понимания решения проблемы. Известно, что моделирование на вентиляльном уровне предполагает градации только одной модальности сигнала (состояние сигнала, ассоциируемое с напряжением), переключательный уровень использует градации двух модальностей сигнала (дополнительно сила сигнала, обычно ассоциируемая с силой тока или проводимостью). Стандартное представление проекта на переключательном уровне представляет собой описание полевых транзисторов, т.е. номера узлов схемы, к которым относятся стоки, истоки и затворы транзисторов (см. описание на *esim* [1]) составляют числовые массивы  $Q1, Q2, Q3, T$ . Первые три содержат номера узлов, к которым подсоединены сток, затвор, исток каждого транзистора схемы, т.е.  $i$ -элементы этих массивов описывают  $i$ -транзистор. Элемент  $T[i]$  определяет тип  $i$ -го транзистора и при  $T[i] = 0$  имеем нагрузочный транзистор или резистор, при  $T[i] = 2(3)$  имеем  $p$ -( $n$ -) транзисторы соответственно.

Параллельное моделирование исправного устройства описано в [2-3]. В ней процесс моделирования представлен итерационным решением системы булевых уравнений вида  $X_{n+1} = M \otimes F(X_n)$ , где  $X_n$  - значение многозначных узлов схемы в  $n$ -итерации (состояние схемы). Считаем, что  $M$  - операция выбора максимального значения из значений сигналов разветвлений узла,  $F$ -система булевых уравнений, вид которых зависит от алфавита моделирования и базовых компонентов, составляющих устройство,  $\otimes$ -операция суперпозиции. Значение  $X$  есть двойка  $(G, H)$ , где  $G \in (0, 1, X, Z)$ ,  $H \in (D, W, SC, C)$ -соответственно значения логического состояния сигнала и его логической силы, которые можно интерпретировать, как напряжение и сила тока.

Будем использовать далее следующую кодировку этого стандартного алфавита сигналов  $Z = (0, 0, 0, 0)$ ,  $D = (1, 0, 0, 0)$ ,  $W = (0, 1, 0, 0)$ ,  $SC = (0, 0, 1, 0)$ ,  $C = (0, 0, 0, 1)$ ,  $X = (1, 0, 0, 0)$ ,  $1 = (0, 1, 0, 0)$  и  $0 = (0, 0, 1, 0)$ , при которой значение сигнала занимает один байт. Упорядочение сигналов, необходимое для выполнения операции  $M$ , представлено на решетке сигналов на рис.2.9[1]. Общая формула для описания воздействия на узел  $u$  со стороны узла  $v$  через компонент  $i$ -го типа имеет вид

$$Val(u) = \vee E(T, i) f_i(T, R, H, G).$$

где  $u$ -есть узел, связанный непосредственно с  $v$  через транзистор типа  $T$ , который имеет значение состояния  $R$  на своем затворе. Здесь булева функция  $E(T, i) = 1$  при  $T = i$  и  $0$  в противном случае.

На основании вышеизложенного опишем алгоритм решения задачи и приведем примеры расчетов программной его программной реализации для случая наличия инвертора в переключательной схеме проекта.

Алгоритм решения имеет вид:

1. Считаем двухтерминальные (инвертор) и трехтерминальные логические вентили фиктивными транзисторами соответствующего типа. Включение этих компонентов, как фиктивных транзисторов, в описание устройства на переключательном уровне производится экспандером аналогично включению других компонентов.

2. В систему булевых уравнений  $F$  вносим дополнительные дизъюнкты, соответствующие новым типам компонентов устройства.

Поясним второй пункт алгоритма при внесении нового типа компонента, как инвертор, в проект схемы. Приняв тип инвертора равным 7, имеем  $E(T,i) = T1 \wedge T2 \wedge T3$ , где  $T1, T2, T3$  значения битов двоичного разложения числа  $i=7$  (ясно, что это выражение может быть сложнее при наличии количества типов компонентов более 8).

Определим функцию преобразования для инвертора  $f_7(T,R,H,G)$ . Инвертор, как элемент вентиляльного уровня, меняет только значения логического состояния сигнала  $0, 1, X, Z$  (уровень напряжения). Исходя из известных соотношений, (основанных на физических соображениях)  $\bar{0}=1, \bar{1}=0, \bar{X}=X, \bar{Z}=Z$  можем записать систему булевых преобразований входного сигнала  $(G, H) = (G1, G2, G3, G4, H1, H2, H3, H4)$  в сигнал на выходе инвертора  $(FG1, FG2, FG3, FG4, FH1, FH2, FH3, FH4)$  при принятой кодировке.

$$\begin{aligned}
 FG1 &= G1 \\
 FG2 &= G3 \\
 FG3 &= G2 \\
 FG4 &= G4 \\
 FH1 &= H1 \\
 FH2 &= H2 \\
 FH3 &= H3 \\
 FH4 &= H4
 \end{aligned} \tag{1}$$

Тогда в роли  $F$  при итерационном решении системы булевых уравнений вида  $X_{n+1} = M \otimes F(X_n)$ , можем использовать систему соотношений между компонентами сигналов в схеме (2). Эта система позволяет осуществлять параллельное смешанное моделирование схем, состоящих из переключательных примитивов и вентиляльного примитива, как инвертор.

$$\begin{aligned}
 FG1 &= (G1 \wedge PS3) \vee (I \wedge G1) \\
 FG2 &= (G2 \wedge PS3) \vee (I \wedge G3) \\
 FG3 &= (G3 \wedge PS3) \vee (I \wedge G2) \\
 FG4 &= (G4 \wedge R8) \vee (I \wedge G4) \\
 FH1 &= (H1 \wedge PS2) \vee (I \wedge H1) \\
 FH2 &= (H2 \wedge PS2 \vee H1 \wedge P3) \vee (I \wedge H2)
 \end{aligned}$$

$$\begin{aligned} FH3 &= (H3 \wedge PS3) \vee (I \wedge H3) \\ FH4 &= (H4 \wedge PS3) \vee (I \wedge H4), \end{aligned} \quad (2)$$

где для упрощения приняты обозначения  $P1 = T1 \wedge R2 \wedge T2$ ,

$$P2 = \overline{T2} \wedge T1 \wedge R3, \quad P3 = T1 \vee T2, \quad PS2 = P1 \vee T2 \wedge T1 \wedge R3),$$

$$PS3 = PS2 \vee \overline{(T1 \vee T2)}, \quad I = T1 \wedge T2 \wedge T3$$

Первый дизъюнкт в правой части (2) определяет соотношения в схеме, где возможно присутствие *n-p*- и нагрузочных (резистор) транзисторов и эти соотношения приведены в [3]. Второй дизъюнкт определяет возможность использования псевдотранзистора-инвертора. Аналогичным образом вносятся в систему соотношений и дизъюнкты для двухходовых вентилях И-НЕ, ИЛИ, И. Вентили с числом входов более 2 представляются комбинациями базовых примитивных вентилях и их описание и внесение в переключательное представление осуществляется с помощью экспандера.

### Экспандер

Необходимой частью систем смешанного моделирования, при котором используются компоненты различных иерархических уровней является экспандер (расширитель)[6]. Настоящий экспандер ориентирован на описание схем на вентиляльном уровне в формате *ITC-99*[ 7]. Получение этого описание из формата *edif* [ 7 ] или других, а также решение обратной задачи не представляет особой трудности.

Результатом работы экспандера является совокупность динамических числовых массивов  $Q1, Q2, Q3, T$ , т.е. представление схемы на переключательном уровне. Необходимо сгенерировать эту совокупность на основе описания на вентиляльном уровне, представление примитивов которого мы уже имеем на переключательном уровне в соответствующей библиотеке (один примитив вентиляльного или более высокого уровня может иметь множество переключательных представлений, которые соответствуют различным технологическим реализациям). Необходимо добавить, что вновь полученное описание может быть занесено в библиотеку примитивов под уникальным именем и использовано как обычный компонент. Каждый компонент *i*-типа является совокупностью массивов  $Z_i, Q1_i, Q2_i, Q3_i, T_i$ . Заголовок компонента  $Z_i = \{ NR_i, IX, NX_{1..}, NX_{ix}, IY, NY_{1..}, NY_{iy} \}$ . Здесь  $NR_i$ -число записей,  $IX$ -число внешних входов,  $NX_{1..}, NX_{ix}$ -номера внешних входов во внутреннем использовании,  $IY$ -число внешних выходов,  $NY_{1..}, NY_{iy}$ -номера внешних выходов во внутреннем использовании. Тело переключательного

представления компонента  $i$ -типа состоит из массивов  $Q1_i, Q2_i, Q3_i, T_i$ . Количество элементов в этих массивах определяется  $NR_i$ .

Алгоритм работы экспандера имеет вид.

1. Начальное значение глобального счетчика нумерации узлов **MAXGLOBAL** равно 3, так как номера 1,2 зарезервированы для узлов “земля”, ”питание”.

2. Выполняем сканирование файла вентиляного описания схемы и построение списка имен элементов (выходных линий этого компонента) схемы на вентиляном уровне и присвоения номера этой линии (номер линии—это номер элемента списка, где хранится ее идентификатор). Каждому элементу списка соответствует тип элемента, выходом которого является соответствующая линия и идентификаторы линий, которые являются входами для этого элемента. При появлении нового уникального идентификатора счетчик нумерации узлов **MAXGLOBAL** увеличивается на 1.

3. Во второй фазе происходит просмотр построенного в п.2 списка компонентов и построение глобального представления схемы на переключательном уровне т.е. массивов  $Q1, Q2, Q3, T$  путем подсоединения описания компонента соответствующего  $i$ -го типа  $Q1_i, Q2_i, Q3_i, T_i$  с новой нумерацией внутренних узлов, зависящей от  $Z_i$ . При этом каждый новый непронумерованный внутренний узел после присвоения ему текущего значения счетчика **MAXGLOBAL** вызывает инкремент последнего.

### **Пример использования экспандера**

Для моделирования схемы *s38417* из эталонного списка *ISCAS-89* на переключательном уровне необходимо иметь ее представление на этом уровне. Считаем, что имеем описание схемы *s38417* на вентиляном уровне в формате *ITC-99*. Основные ключевые записи этого описания представлены ниже.

**INPUT(G51)**

.....

**INPUT(RESET)**

**OUTPUT(G3993)**

.....

**OUTPUT(G25489)**

**G2814=Flip\_Flop\_Reset(G16475 ,CK ,RESET)**

**G16475=Inv\_gate(I22527)**

.....

**G30618=Nor\_gate(G30412 ,G25449)**

**G30625=Nor\_gate(G30412 ,G24660)**

Согласно п.1 и п.2 алгоритма работы экспандера имеем следующие результаты. Число линий (имеющих идентификатор) на вентиляльном уровне для схемы **s38417** равно 23847. Как было замечено ранее, номера 1,2 зарезервированы для узлов “земля”, ”питание”. Внешние входы от **G51** до **RESET** будут иметь номера от 3 до 32, внешние выходы от **G3993** до **G25489** получают номера от 33 до 138, выходы компонентов от **G2814** до **G30625** получают номера от 139 до 23847. Значение глобального счетчика **MAXGLOBAL** равно 23847.

При выполнении п.3 алгоритма экспандера выполняем присоединение библиотечного описания рассматриваемого компонента схемы с соответствующей нумерацией.

Для данного конкретного расчета первым компонентом является элемент **Flip\_Flop\_Reset**, выходом которого есть линия **G2814** (ее номер 139), а входами являются линии **G16475**, **CK**, **RESET** с соответствующими номерами 140, 31 и 32. Заголовок выбранной реализации **Flip\_Flop\_Reset** в библиотеке имеет вид 47,3,3,4,5,1,6.

Таким образом, число записей равно 47, номера трех внешних входов этого типа триггера (**D**, **CK**, **RESET**) в его переключательном описании соответственно 3,4,5. В эталонах схем **ISCAS-89** принято, что этот тип триггера имеет 1 внешний выход (**Q**, а парафазный выход игнорируется), и, следовательно, один внешний выход имеет номер 6. В присоединяемом описании заменятся номера 3,4,5,6 на 140, 31,32,139 соответственно.

В самом локальном описании имеем внутренние узлы с номерами от 7 до 23, которые получают увеличивающиеся глобальные номера от 23848 до 23864. Поэтому значение **MAXGLOBAL** равно 23864 в начале обработки следующего компонента, представленного записью **G16475=Inv\_gate(I22527)**. После обработки последней записи **G30625=Nor\_gate(G30412 ,G24660)** имеем **MAXGLOBAL** равным 66525, число записей переключательного описания равно при этом 152108. Схема имеет в своем составе 1636 триггеров и более 21тысячи вентилях. Объем описания схемы в форматах **edif**, **itc-99** (расширения **.edf**, **.bench**) соответственно 6.5 Мб, 0.56 Мб. Сгенерированное переключательное описание имеет размер 3.17 Мб.

### **Примеры расчета**

На рис.2 имеем одну и ту же схему, представленную смешанным и чисто переключательным описанием. Значение выхода этой схемы должно быть равно входу, что подтверждают данные в таблице 1.

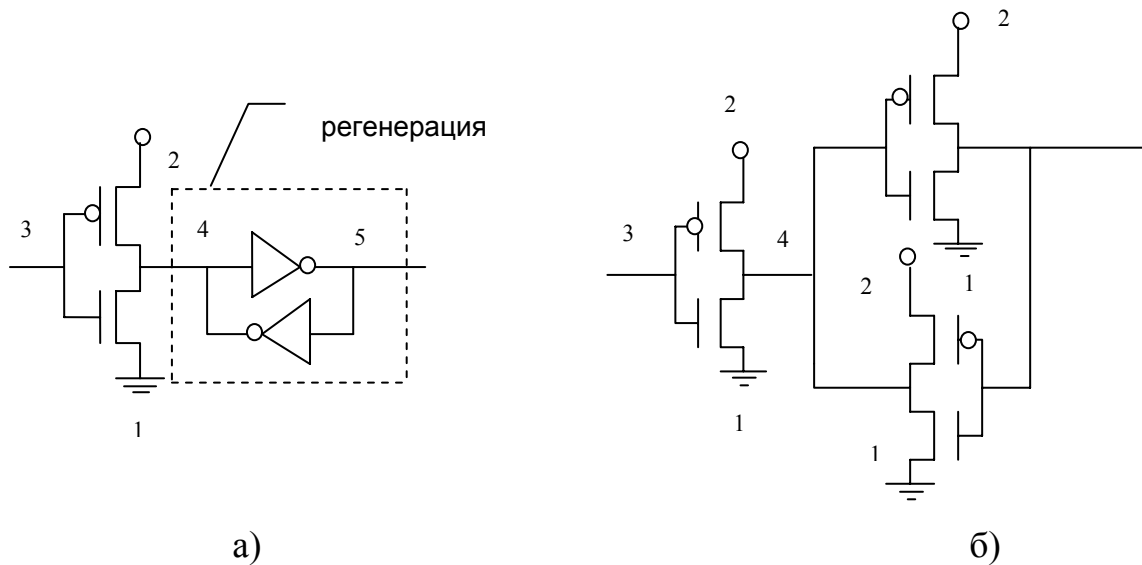


Рисунок 2 - а) смешанное представление; б) переключательный вид

Смешанное описание имеет вид  $Q1=\{1,2,3,2,1,5,4\}$ ,  $Q2=\{2,2,2,3,3,2,2\}$ ,  $Q3=\{1,2,3,4,4,4,5\}$ ,  $T=\{3,3,3,2,3,7,7\}$ , а переключательная модель-  $Q1=\{1,2,3,1,1,2,2,1,2\}$ ,  $Q2=\{2,2,2,3,3,5,5,4,4\}$ ,  $Q3=\{1,2,3,4,4,4,4,5,5\}$ ,  $T=\{3,3,3,3,3,2,2,3,2\}$ .

Таблица 1. Результаты моделирования схемы на рис.2

Номер набора	Номер итерации	Номера узлов в схеме		
		3	4	5
1	0	D0	CX	CX
1	1	D0	D1	CX
1	2	D0	D1	D0
2	0	D1	C1	C0
2	1	D1	D0	CX
2	2	D1	D0	D1
3	0	D1	C0	C1
3	1	D1	D0	CX
3	2	D1	D0	D1
4	0	D0	C0	C1
4	1	D0	D1	CX
4	2	D0	D1	D0

Приведем еще один пример схемы смешанного описания на рис.3 из [8 ] и результаты ее моделирования в таблице 2.



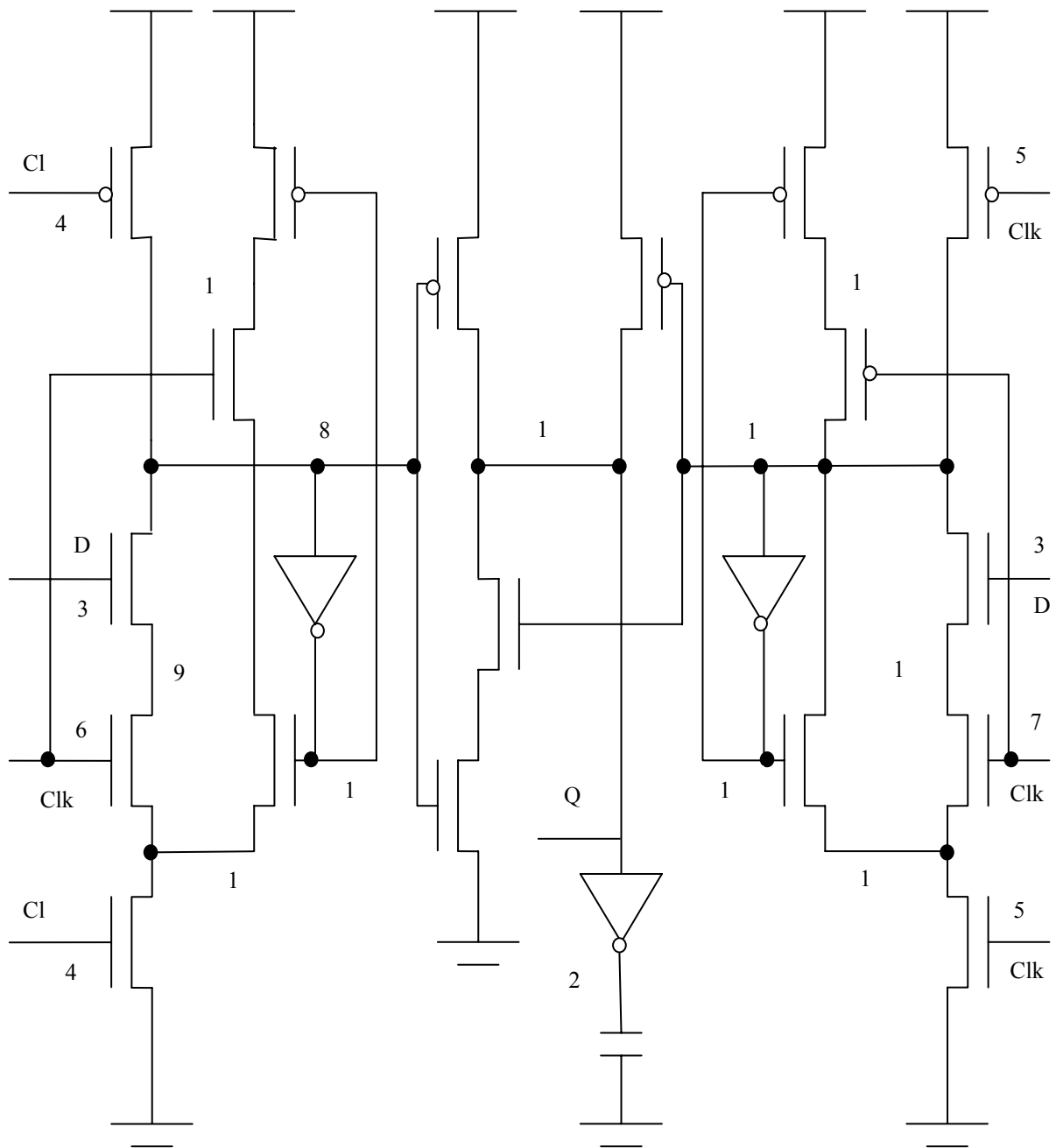


Рисунок 3 - Триггер, управляемый двойным фронтом

Таблица 2. Результаты моделирования схемы на рис.3.

N Набора	Кол. Итераций	Номера узлов в схеме																		
		3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	
1	5	D1	D0	D0	D0	D1	D1	D1	CX	D1	D1	D0	D0	D0	D1	D1	D1	D0	D1	
2	7	D1	D0	D1	D1	D0	D1	D1	D1	D1	D1	D0	D0	D0	D0	D1	D1	D0	D0	D1
3	6	D1	D1	D0	D1	D1	D0	D0	D0	CX	D1	D1	D1	D0	D1	D1	D1	D1	D1	D0
4	7	D1	D1	D1	D0	D0	CX	CX	D0	CX	D1	CX	CX	D0	D0	D1	D1	CX	D0	
5	5	D0	D0	D0	D0	D1	D1	CX	CX	D1	D1	D0	D0	D0	CX	CX	D1	D0	D1	
6	7	D0	D0	D1	D1	D0	D1	CX	CX	D1	D1	D0	D0	D0	D0	CX	D1	D0	D1	
7	5	D0	D0	D0	D1	D0	D1	CX	CX	D1	D1	D0	D0	D0	CX	CX	D1	D0	D1	
8	7	D0	D1	D1	D0	D1	D1	CX	D0	D1	CX	CX	D0	CX	D0	D0	CX	D0	CX	

## **Заклучение**

Заметим, что быстрое и эффективное решение проблемы возможно только для цели моделирования рассматриваемых проектов, а для цели построения проверяющего теста для определенного класса неисправностей необходимо полностью перейти на переключательный уровень. Смешанное моделирование является более быстродействующим, нежели моделирование на чисто переключательном уровне. Приведенные характеристики свидетельствуют об эффективности реализованного решения поставленной проблемы. Этот подход может быть задействован в перспективе при широком использовании транзисторов с двумя затворами и т.п., что не потребует коренной перестройки существующей системы моделирования.

## **Литература**

1. Ульман Дж. Вычислительные аспекты СБИС: Пер. с англ./Под ред. П. П. Пархоменко. - М.: Радио и связь, 1990.-480 с.
2. Андрюхин А.И. Параллельное логическое моделирование МОП-структур на переключательном уровне. // Электронное моделирование. -1996, N 2, -С. 88-92.
3. Андрюхин А.И. Модифицированный метод моделирования МОП-СБИС на переключательном уровне в 16-значном алфавите//Научные труды Донецкого национального технического университета: Проблемы моделирования и автоматизации проектирования динамических систем. Вып.78, с.45-53.
4. Reto Zimmermann , Wolfgang Fichtner. Low-Power Logic Styles: CMOS Versus Pass-Transistor Logic// IEEE Journal of Solid-State Circuits, Vol. 32, No. 7, July 1997.
5. Valeriu Beiu, *Senior Member, IEEE*, José M. Quintana, and María J. Avedillo. VLSI Implementations of Threshold Logic—A Comprehensive Survey// IEEE Transactions on Neural Networks, Vol. 14, No. 5, September 2003, pp.1217-1243.
6. Киносита К., Асада К., Карацу О. Логическое проектирование СБИС.: Пер. с япон.-М.: Мир, 1988.-309 с.
7. Politecnico di Torino ITC'99 benchmarks, downloadable at the URL <http://www.cad.polito.it/tools/itc99.html>
8. V. G. Oklobdzija. Clocking and clocked storage elements in a multi-gigahertz environment//IBM J. Res. & Dev. Vol. 47 No. 5/6 September /November 2003, p.567-583.

Дата надходження до редакції 25.12.2007 р.