

# Оптимизация схемы адресации устройства управления с идентификацией выходов

Баркалов А.А., Ефименко К.Н.  
University of Zelena Gora, Poland

Донецкий национальный технический университет, г. Донецк  
E-mail: A.Barkalov@iie.uz.zgora.pl

## **Abstract**

*Barkalov A.A., Efimenko K.N. Optimization of addressing circuit of control unit with identification of outputs. The method is proposed that permits to decrease the number of inputs of the addressing circuit of compositional microprogram control unit (CMCU). The method is based on encoding of logic conditions. The application of proposed method permits to diminish an amount of look-up table elements in the circuit of CMCU. An example of application of proposed method is given.*

## **Введение**

Непрерывное развитие рынка микроэлектроники постоянно выдвигает все новые и более жесткие требования к появляющимся изделиям. Это привело к появлению микросхем типа «система-на-кристалле» (SoC) [1,2]. Производительность микросхем класса "система-на-кристалле" в значительной мере зависит от эффективности взаимодействия всех встроенных компонентов. В большинстве случаев, произвольная логика в этих микросхемах реализуется на FPGA (field-programmable gate array) – программируемых на стадии эксплуатации матриц вентилях, состоящих из миллионов элементов табличного типа (LUT-элементов) с числом входов, не превышающим 6 [3,4]. Различные табличные функции реализуются на встроенных блоках памяти DMB (dedicated memory block). Одним из важных блоков цифровой системы является устройство управления [4,6], которое может быть реализовано как композиционное микропрограммное устройство управления (КМУУ) [7]. При реализации КМУУ в составе SoC схема адресации микрокоманд реализуется на FPGA. Ограниченное число входов LUT-элементов приводит к необходимости декомпозиции реализуемых булевых функций [8,9], что увеличивает как число LUT-элементов в схеме адресации, так и время такта КМУУ. В этой связи возникает необходимость разработки

новых и совершенствования известных методов синтеза КМУУ, ориентированных на этот базис. В настоящей работе предлагается метод уменьшения числа аргументов в системе функций адресации микрокоманд КМУУ с идентификацией выходов [10].

### **Основные определения**

Пусть алгоритм управления цифровой системы задан в виде граф-схемы алгоритма (ГСА)  $\Gamma$  [4], содержащей начальную  $b_0$ , конечную  $b_E$ , операторные и условные вершины. Операторные вершины образуют множество  $V_1$ , имеющее  $M$  элементов. В вершинах  $b_q \in V_1$  записываются микрокоманды  $Y_q \subseteq Y$ , где  $Y = \{y_1, \dots, y_N\}$  - множество микроопераций. В условных вершинах, образующих множество  $V_2$ , записываются элементы множества логических условий  $X = \{x_1, \dots, x_L\}$ . Вершины ГСА образуют множество  $V = V_1 \cup V_2 \cup \{b_0, b_E\}$ , элементы которого связаны дугами из множества  $E$ .

Введем ряд определений [6], необходимых для дальнейшего изложения материала.

**Определение 1.** Операторной линейной цепью (ОЛЦ) ГСА  $\Gamma$  называется конечная последовательность операторных вершин  $\alpha_g = \langle b_{g1}, \dots, b_{gF_g} \rangle$ , для любой пары соседних компонент которой существует дуга  $\langle b_{gi}, b_{gi+1} \rangle \in E$ , где  $i = 1, \dots, F_g - 1$  - номер компоненты.

**Определение 2.** Вершина  $b_q \in D^g$ , где  $D^g \subseteq V_1$  - множество вершин, входящих в ОЛЦ  $\alpha_g$ , называется входом ОЛЦ  $\alpha_g$ , если существует дуга  $\langle b_t, b_q \rangle \in E$ , где  $b_t \notin D^g$ .

**Определение 3.** Вершина  $b_q \in D^g$ , называется выходом ОЛЦ  $\alpha_g$ , если существует дуга  $\langle b_q, b_t \rangle \in E$ , где  $b_t \notin D^g$ .

Пусть для ГСА  $\Gamma$  найдено разбиение  $C = \{\alpha_1, \dots, \alpha_G\}$  множества  $V_1$  на операторные линейные цепи и пусть для каждой пары соседних вершин ОЛЦ  $\alpha_g \in C$  выполняется условие

$$A(b_{g\ i+1}) = A(b_{g\ i}) + 1 \quad (i = 1, \dots, F_g - 1), \quad (1)$$

где  $A(b_g)$  - адрес микрокоманды, соответствующей вершине  $b_g \in V_1$ .

В этом случае ГСА  $\Gamma$  может быть интерпретирована КМУУ с идентификацией выходов (рис. 1), что предлагается в работах [10,11], называемым в дальнейшем КМУУ  $U_1$ .

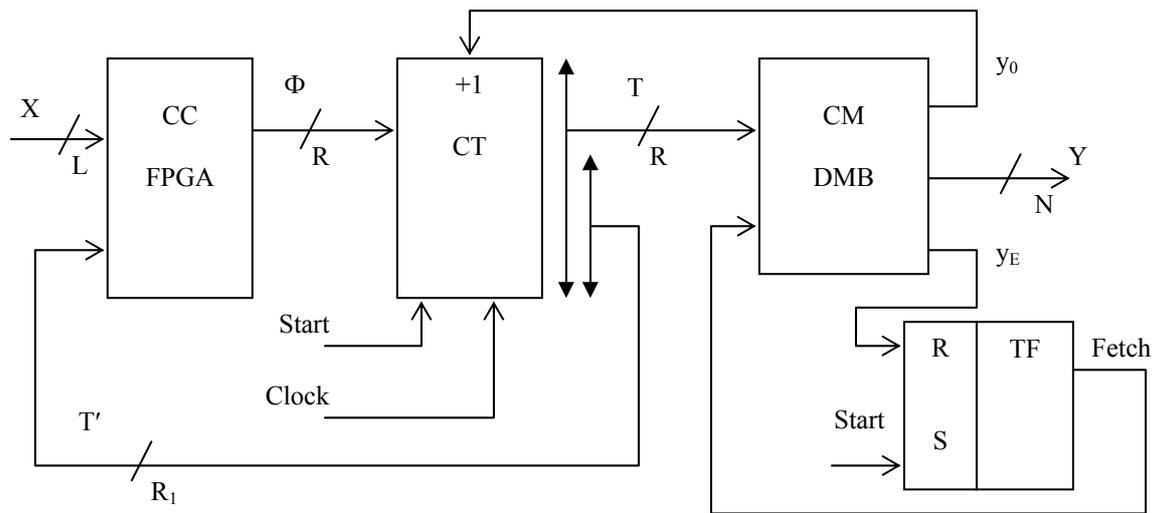


Рисунок 1 – Структурная схема КМУУ  $U_1$

Комбинационная схема  $CC$  образует автомат адресации микрокоманд  $S_1$ , а счетчик  $CT$ , управляющая память  $CM$  и триггер  $TF$  образуют микропрограммное устройство управления  $S_2$  с естественной адресацией микрокоманд [6], что соответствует условию (1). Переменные  $T_r \in T$ , где  $|T|=R$ , используются для адресации микрокоманд. При этом для однозначной идентификации ОЛЦ  $\alpha_g \in C$  достаточно

$$R_1 = \lceil \log_2 G \rceil \quad (2)$$

переменных, где  $G = |C|$ . Таким образом,  $T' = \{T_1, \dots, T_{R_1}\}$  – множество адресных разрядов, достаточное для однозначной идентификации выходов ОЛЦ  $\alpha_g \in C'$ , где  $C' \subseteq C$  – множество ОЛЦ, выходы которых не связаны с входом вершины  $b_E$ .

Метод синтеза КМУУ  $U_1$  включает следующие этапы:

1. Формирование множества ОЛЦ  $C$  и адресация микрокоманд.
2. Применение процедуры специальной адресации микрокоманд.
3. Формирование содержимого управляющей памяти.
4. Формирование множества  $T'$ , идентифицирующего выходы ОЛЦ.
5. Формирование таблицы переходов КМУУ.
6. Формирование системы функций возбуждения счетчика  $\Phi$ .
7. Реализация логической схемы КМУУ в заданном базисе.

Предложенное УУ позволяет уменьшить число сигналов обратной связи в схеме адресации микрокоманд, что в свою очередь приводит к уменьшению числа LUT-элементов в схеме  $CC$  и снижению требований к числу их входов. Это дает возможность как оптимизировать аппаратные затраты кристалла, так и снизить время такта КМУУ в целом [10,11]. В настоящей работе предлагается метод уменьшения числа входов схемы  $CC$ , что приводит к дальнейшему уменьшению числа LUT-элементов в схеме УУ.

## Основная идея метода

Пусть для КМУУ  $U_1$  на основе ГСА  $\Gamma_1$  задана таблица переходов (табл. 1), являющаяся основой для формирования системы функций  $\Phi$  формирования адреса ОЛЦ и последующего синтеза схемы СС. Таблица переходов содержит 11 строк и состоит из столбцов:  $O_g$ ,  $K(O_g)$ ,  $I_q^j$ ,  $A(I_q^j)$ ,  $X_h$ ,  $\Phi_h$ ,  $h$ , где  $O_g$  – выход ОЛЦ  $\alpha_g \in C$ ;  $K(O_g)$  – старшие  $R_1$  разрядов адреса микрокоманды, соответствующей выходу ОЛЦ  $\alpha_g \in C$ , используемые для однозначной идентификации ОЛЦ  $\alpha_g \in C$ ;  $I_q^j$  –  $j$ -й вход ОЛЦ  $\alpha_q \in C$  ( $j = \overline{1, F_g - 1}$ );  $A(I_q^j)$  – адрес входа  $I_q^j$ ;  $X_h$  – входной сигнал, определяющий переключение счетчика СТ из адреса выхода ОЛЦ  $\alpha_g$   $A(O_g)$  в адрес входа  $A(I_q^j)$ ;  $\Phi_h \subseteq \Phi$  – набор функций возбуждения счетчика СТ, принимающих единичное значение для переключения СТ из  $A(O_g)$  в  $A(I_q^j)$ ;  $h = \overline{1, N}$  – номер перехода.

$U_1(\Gamma_1)$  обозначает, что КМУУ  $U_1$  интерпретирует ГСА  $\Gamma_1$ .

Таблица 1. Таблица переходов КМУУ  $U_1(\Gamma_1)$

$O_g$	$K(O_g)$	$I_q^j$	$A(I_q^j)$	$X_h$	$\Phi_h$	$h$
$O_1$	001	$I_2^1$	0011	$x_1 x_2$	$D_3 D_4$	1
		$I_1^2$	0001	$\overline{x_1 x_2}$	$D_4$	2
		$I_3^1$	0110	$\overline{x_1 x_2}$	$D_2 D_3$	3
		$I_4^1$	1000	$\overline{x_1 x_2}$	$D_1$	4
$O_2$	010	$I_5^1$	1011	$x_3 x_5$	$D_1 D_3 D_4$	5
		$I_2^2$	0100	$\overline{x_3}$	$D_2$	6
		$I_6^1$	1101	$x_3 x_5$	$D_1 D_2 D_4$	7
$O_3$	011	$I_4^2$	1001	–	$D_1 D_4$	8
$O_4$	101	$I_6^1$	1101	$x_4 x_5$	$D_1 D_2 D_4$	9
		$I_4^2$	1001	$\overline{x_4}$	$D_1 D_4$	10
		$I_3^2$	0111	$x_4 x_5$	$D_2 D_3 D_4$	11

Отметим, что переходы из выходов ОЛЦ  $\alpha_g \notin C'$  не рассматриваются. Это связано с тем, что при достижении таких выходов функционирование КМУУ  $U_1$  прекращается.

Как видно из табл. 1, максимальное количество логических переменных, определяющих переключение счетчика СТ из адреса выхода  $A(O_g)$  ОЛЦ  $\alpha_g$  в адрес входа  $A(I_q^j)$  ОЛЦ  $\alpha_q$ , в рассматриваемом случае равно 2, меньше общего количества  $L=5$  логических переменных из множества  $X = \{x_1, \dots, x_L\}$ . Это позволяет применить методику замены множества логических условий  $X$  на множество  $P = \{p_1, \dots, p_U\}$  [6].

В настоящей работе предлагается в КМУУ  $U_1$  использовать методику кодирования логических условий для минимизации числа входов схемы СС, что приводит к композиционному микропрограммному устройству управления  $U_2$  (рис. 2).

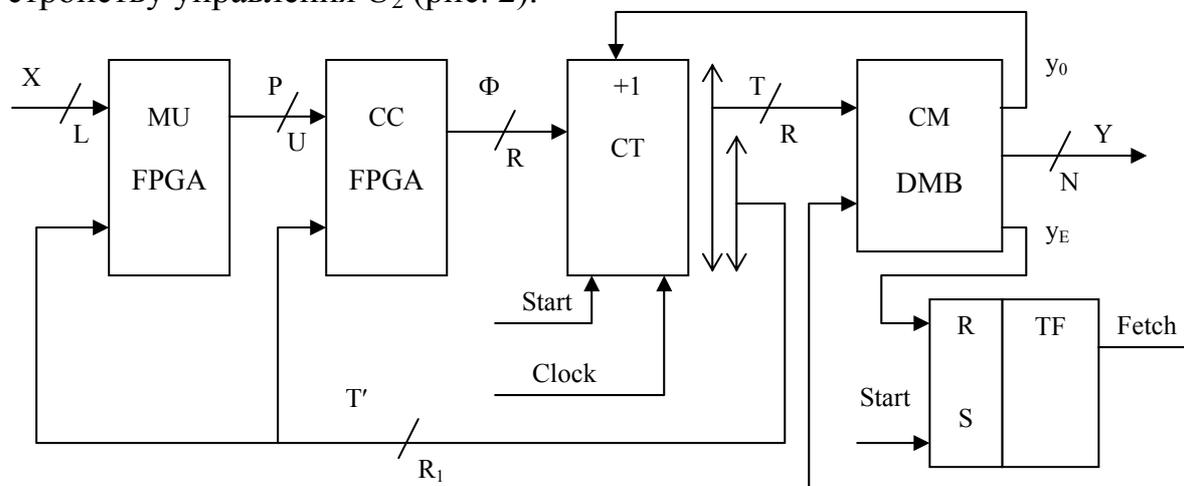


Рисунок 2 – Структурная схема КМУУ  $U_2$

Принципы функционирования КМУУ  $U_2$  и  $U_1$  аналогичны. Дополнительная комбинационная схема МУ выполняет замену логических условий  $X = \{x_1, \dots, x_L\}$ , где  $L = |X|$ , элементами множества  $P = \{p_1, \dots, p_U\}$ , где  $U = |P|$ , путем формирования функций кодирования логических условий

$$P = P(T', X). \quad (3)$$

При этом комбинационная схема СС формирует функции возбуждения счетчика СТ при переходе между различными ОЛЦ  $\alpha_g \in C$

$$\Phi = \Phi(T', P). \quad (4)$$

В настоящей работе предлагается метод синтеза КМУУ  $U_2$ .

### **Метод синтеза комбинационного микропрограммного устройства управления $U_2$**

Предлагаемый в работе метод синтеза КМУУ  $U_2$  включает следующие этапы:

1. Формирование множества ОЛЦ, применение процедуры специальной адресации микрокоманд и формирование содержимого управляющей памяти. Этот этап выполняется по известной методике [6,11]. Для КМУУ  $U_2$  таблица содержимого управляющей памяти полностью совпадает с аналогичной таблицей для КМУУ  $U_1$ ,  $R = 4$ ,  $R_1 = 3$ .
2. Формирование промежуточной таблицы переходов КМУУ. Этот этап также выполняется по известной методике [6] и промежуточная таблица полностью совпадает с аналогичной таблицей переходов для КМУУ  $U_1$  (табл. 1).
3. Формирование таблицы кодирования логических условий. Этот этап

выполняется в следующей последовательности:

3.1. Формирование множества  $X(O_g)$  – множества логических переменных, определяющих переходы из ОЛЦ  $\alpha_g \in C$ . Используя таблицу переходов КМУУ  $U_2$  (табл.1) получим:  $X(O_1)=\{x_1, x_2\}$ ,  $X(O_2)=\{x_3, x_5\}$ ,  $X(O_3)=\emptyset$ ,  $X(O_4)=\{x_4, x_5\}$ .

3.2. Определение числа  $U$  кодирующих переменных  $p_u \in P$  по формуле

$$U = \max(U_1, \dots, U_G), \quad (5)$$

где  $U_g = |X(O_g)|$ ,  $g = \overline{1, G}$ . В нашем случае  $U = 2$ ,  $P = \{p_1, p_2\}$ .

3.3. Построение таблицы кодирования логических условий, состоящей из столбцов:  $O_g$ ,  $K(O_g)$ ,  $p_1, \dots, p_U$ ,  $g$ , где  $O_g$  – выход ОЛЦ  $\alpha_g \in C$ ;  $K(O_g)$  – код адреса микрокоманды, соответствующий выходу ОЛЦ  $\alpha_g \in C$ , используемый для её однозначной идентификации;  $p_1, \dots, p_U$  – кодирующие переменные  $p_u \in P$ ;  $g = \overline{1, G}$  – номер выхода. На пересечении строки  $O_g$  и столбца  $p_u$  записывается переменная  $x_i \in X$ , заменяемая для выхода  $O_g$  переменной  $p_u \in P$ . При этом число появлений логического условия  $x_i \in X$  в различных столбцах  $p_u$  таблицы должно быть минимальным, т.е. требуется выполнение условия

$$|X(p_i) \cap X(p_j)| \rightarrow \min, \quad (6)$$

где  $p_i, p_j \in P$ ;  $X(p_i), X(p_j)$  – множество логических условий в столбцах  $p_i, p_j$  соответственно. Для КМУУ  $U_2$  таблица кодирования логических условий приведена в табл. 2.

Таблица 2. Таблица кодирования логических условий КМУУ  $U_2$  ( $\Gamma_1$ )

$O_g$	$K(O_g)$	$p_1$	$p_2$	$g$
$O_1$	001	$x_1$	$x_2$	1
$O_2$	010	$x_3$	$x_5$	2
$O_3$	011	–	–	3
$O_4$	101	$x_4$	$x_5$	4

4. Формирование системы функций кодирования логических условий. Система функций (3) формируется по таблице кодирования логических условий КМУУ  $U_2$  ( $\Gamma_1$ ) в виде

$$p_u = \bigvee_{g=1}^G C_{ug} E_i^g x_i \quad (u = \overline{1, U}), \quad (7)$$

где  $C_{ug}$  – булева переменная, равная единице, если и только если переменная  $x_i \in X$  заменяется для выхода  $O_g$  ОЛЦ  $\alpha_g \in C$  переменной  $p_u \in P$ ;  $E_i^g$  – конъюнкция переменных  $T_r \in T'$ , соответствующая коду адреса  $K(O_g)$  выхода  $O_g$  из  $g$ -й строки табл. 2.

В нашем случае, использование выражения (7) приводит к системе (3) в виде:  $p_1 = \overline{T_1} \overline{T_2} T_3 x_1 \vee \overline{T_1} T_2 \overline{T_3} x_3 \vee T_1 \overline{T_2} T_3 x_4$ ,

$$p_2 = \overline{T_1} \overline{T_2} \overline{T_3} x_2 \vee (\overline{T_1} \overline{T_2} \overline{T_3} \vee T_1 \overline{T_2} \overline{T_3}) x_5.$$

5. Формирование преобразованной таблицы переходов КМУУ. Преобразованная таблица переходов является основой для формирования системы функций (4) и содержит все столбцы промежуточной таблицы переходов КМУУ, кроме столбца  $X_h$ , который заменяется столбцом  $P_h$ . В столбце  $P_h$  переменные  $x_i \in X$  заменяются переменными  $p_u \in P$  согласно таблице кодирования логических условий КМУУ. При этом инверсному значению  $x_i$  соответствует инверсное значение  $p_u$ . Для КМУУ  $U_2$  фрагмент преобразованной таблицы переходов приведен в табл. 3.

Таблица 3. Преобразованная таблица переходов КМУУ  $U_2(\Gamma_1)$

$O_g$	$K(O_g)$	$I_q^j$	$A(I_q^j)$	$P_h$	$\Phi_h$	$h$
$O_1$	001	$I_2^1$	0011	$p_1 p_2$	$D_3 D_4$	1
		$I_1^2$	0001	$\overline{p_1} p_2$	$D_4$	2
		$I_3^1$	0110	$\overline{p_1} \overline{p_2}$	$D_2 D_3$	3
		$I_4^1$	1000	$\overline{p_1} \overline{p_2}$	$D_1$	4

6. Формирование системы функций возбуждения счетчика. Система (4) формируется по преобразованной таблице переходов КМУУ  $U_2$  в виде

$$\varphi_r = \bigvee_{h=1}^N C_{rh} E_g^h P_h \quad (r = \overline{1, R_1}), \quad (8)$$

где  $C_{rh}$  – булева переменная, равная единице, если и только если в  $h$ -й строке преобразованной таблицы переходов записана функция  $\varphi_r = 1$  ( $h = \overline{1, N}$ );  $E_g^h$  – конъюнкция переменных  $T_r \in T'$ , соответствующая коду адреса  $K(O_g)$  выхода  $O_g$  из  $h$ -й строки таблицы. Использование выражения (8) для КМУУ  $U_2(\Gamma_1)$  дает, например:  $D_1 = \overline{T_1} \overline{T_2} \overline{T_3} \overline{p_1} \overline{p_2}$ .

7. Реализация логической схемы КМУУ. Синтез сводится к реализации систем (3) и (4) на FPGA и реализации управляющей памяти на DMB. Вторая из этих задач является тривиальной, а первая достаточно полно рассмотрена в литературе [9]. Вопросы реализации схемы КМУУ  $U_2$  выходят за рамки нашей статьи.

На рис. 3 показаны результаты моделирования предложенного метода синтеза КМУУ  $U_2$ , основанного на работе [2]. Моделирование показало, что уменьшение числа входов схемы СС КМУУ  $U_2$  по сравнению с КМУУ  $U_1$  обратно пропорционально соотношению между величинами  $U$  и  $L$ , и может быть выражено коэффициентом

$$\eta = \frac{U + R_1}{L + R_1} \quad (9)$$

Было проведено исследование влияния  $K$  – общего числа вершин

ГСА Г на число LUT-элементов в схеме адресации микрокоманд СС при различных значениях коэффициента  $\eta$ . При этом по мере увеличения числа микрокоманд и общего числа ОЛЦ выигрыш постепенно снижается.

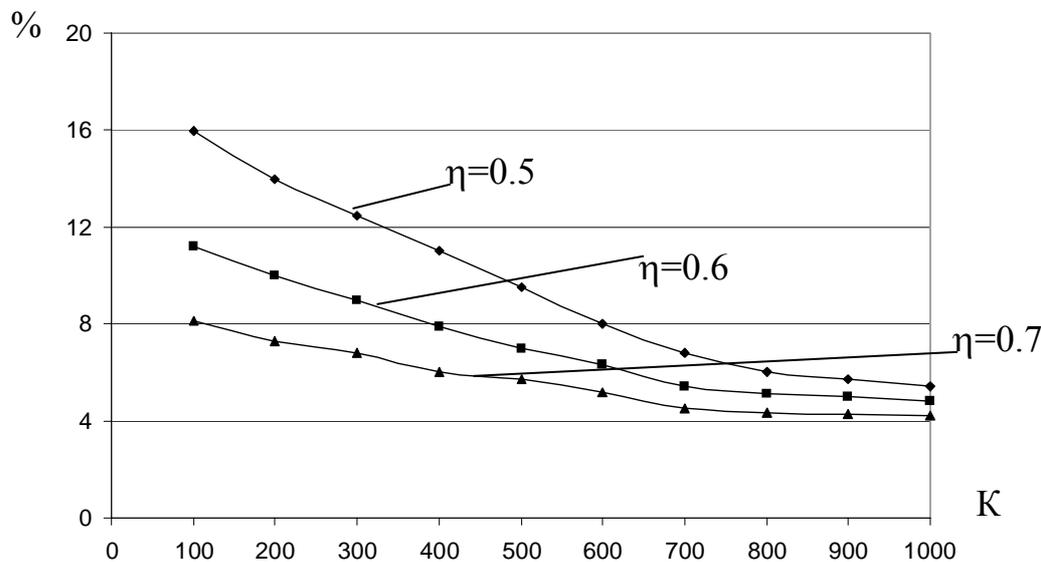


Рисунок 3 – Выигрыш от применения методики кодирования логических условий

### **Заключение**

Предлагаемый в работе метод организации КМУУ позволяет сократить число аргументов функций, реализуемых на LUT-элементах схемы СС, от  $t_1=L+R_1$  для КМУУ  $U_1$  до  $t_2=U+R_1$  для КМУУ  $U_2$ . Как показали исследования авторов, оптимизация числа LUT-элементов в схеме КМУУ  $U_2$  по сравнению с КМУУ  $U_1$  обратно пропорциональна коэффициенту  $\eta$  (9). При этом время такта КМУУ  $U_1$  и  $U_2$  не совпадает, то есть оптимизация по аппаратурным затратам приводит к потере производительности. Для уменьшения значения коэффициента  $\eta$  в дальнейшем можно использовать методику преобразования кодов обратной связи в коды логических условий [6].

### **Литература**

1. Грушницкий Р.И., Мурсаев А.Х., Угрюмов Е.П. Проектирование систем на микросхемах программируемой логики.– Петербург: БХВ–2002. –636 с.
2. S. Baranov. Logic Synthesis for Control Automata, Kluwer Academic Publishers, 1994. – 301 pp.
3. Salcic Z. VHDL and FPGAs in digital systems design, prototyping and customization. –Kluwer Academic Publishers, 1998. – 312 pp.

4. Jenkins J. Design with FPGAs and CPLDs. – Prentice – Hall, 1995. – 273 pp.
5. De Micheli G., Synthesis and Optimization of Digital Circuits. – McGraw Hill: NY, 1994. – 626 pp.
6. Баркалов А. А. Синтез устройств управления на программируемых логических устройствах – Донецк: ДонНТУ, 2002. – 262 с.
7. Kania D. Synteza logiczna przeznaczona dla matrycowych struktur programowalnych typu PAL. – Zeszyty naukowe Politechniki Śląskiej, Gliwice, 2004. – 240 pp.
8. Баркалов А.А. Принципы оптимизации логической схемы микропрограммного автомата Мура/ Кибернетика и системный анализ. – 1998, №1. – с.65-72.
9. Synteza układów cyfrowych/ Praca zbiorowa pod redakcją prof. Tadeusza Łuby – Warszawa: WKŁ, 2003. – 228 pp.
10. Баркалов А.А., Вишневский Р., Ефименко К.Н.. Оптимизация метода синтеза композиционного микропрограммного устройства управления на FPGA/ Искусственный интеллект. 2005, №3. - с.265-271.
11. Баркалов А.А., Ефименко К.Н., Вишневский Р. Оптимизация схемы адресации композиционного устройства управления/ Наукові праці ДонНТУ. Серія „Проблеми моделювання та автоматизації проектування динамічних систем” (МАП-2006). Випуск 5 (116)/ – Донецьк: ДонНТУ, 2006. с.156-161.

Дата надходження до редакції 07.10.2007 р.