

# АППАРАТНЫЕ МЕТОДЫ ПОВЫШЕНИЯ ЭФФЕКТИВНОСТИ РАСПРЕДЕЛЕННОГО ЛОГИЧЕСКОГО МОДЕЛИРОВАНИЯ

Ладыженский Ю.В.<sup>1</sup>, Тесленко Г.А.<sup>2</sup>

<sup>1</sup>Донецкий национальный технический университет  
ул. Артема, 58, Донецк, 83000, Украина, тел.: (062) 345-21-13 E-Mail: ly@cs.dgtu.donetsk.ua

<sup>2</sup>Донецкий национальный технический университет  
ул. Артема, 58, Донецк, 83000, Украина, тел.: (066) 323-75-97 E-Mail: teslenko\_g@mail.ru

## ABSTRACT

*Ladyzhensky Y., Teslenko G. Hardware methods to increase efficiency of algorithms for distributed logic simulation. Hardware methods to increase of logic simulation efficiency for digital systems are discussed. A structural implementation of combined protocol with a dynamic synchronization of calculation is proposed. A functional diagram of processor, a simulation subgraph unit and a GVT manager unit are presented.*

## ВСТУПЛЕНИЕ

Сложность и размеры современных проектов цифровых систем требуют эффективных по производительности средств верификации. Имитационное моделирование является важным инструментом при верификации проектов цифровых систем. Оно используется для функционального и временного моделирования проекта и проводится с целью выявления ошибок, возникающих на стадиях проектирования.

Современные методы верификации цифровых систем с использованием моделирования характеризуются большими временными затратами и последовательным способом выполнения операций. Перспективным направлением является разработка параллельных алгоритмов моделирования. Создание на их основе эффективных по быстродействию параллельных и распределенных программных и аппаратных средств моделирования цифровых устройств является актуальной научно-технической проблемой.

В статье рассматриваются методы аппаратного ускорения распределенного логического моделирования с целью повышения эффективности вычислений.

## FPGA МОДЕЛИРОВАНИЕ, УПРАВЛЯЕМОЕ СОБЫТИЯМИ

Для распределенного событийного моделирования сложных проектов СБИС может использоваться реконфигурируемая вычислительная система [1]. В качестве исходного описания проекта используется Verilog. Идея метода заключается в эмуляции проекта цифровой системы на микросхемах FPGA. Используется принцип событийного моделирования. Вычислительная система состоит из модулирующих секций, работающих параллельно. Достоинством такого метода является аппаратная поддержка механизма обработки событий и аппаратная эмуляция проекта на FPGA. Однако, выполняется только одна задача моделирования в данный момент времени, невозможна обработка событий, возникающих одновременно, при моделировании не поддерживаются значения неопределенного и третьего состояния.

## АППАРАТНОЕ СИНХРОННОЕ ЛОГИЧЕСКОЕ МОДЕЛИРОВАНИЕ

Другим методом аппаратного ускорения логического моделирования является система PRUS (Programmable Unlimited System) [2]. Идея метода заключается в параллельном моделировании логических выражений на множестве специализированных процессоров. Исходное HDL-описание цифровой системы преобразовывается в эквивалентное множество логических выражений. Из этих выражений формируются команды для процессоров, которые затем распределяются между ними. Моделирование выполняется синхронно, для этого используется общий регистр адреса команд.

Так как процессоры работают синхронно, то заранее известно время возникновения результата каждой логической операции. Таким образом, исключается необходимость временного анализа проекта цифровой системы, что является трудоемким процессом при трассировке больших проектов.

Для хранения информации о моделируемых логических выражениях может использоваться ОЗУ или ПЗУ. Это снимает ограничение на максимальное количество моделируемых вентилей и триггеров, а также ограничение на число соединений между ними. Такие ограничения свойственны микросхемам FPGA и CPLD, которые используются для моделирования работы устройства. Максимальный размер проекта ограничен только размером используемого запоминающего устройства.

По сравнению с аналогичным этапом при подготовке к моделированию данный метод обеспечивает более быстрое распределение логических выражений между процессорами, чем процесс размещения и трассировки аналогичного по объему проекта в FPGA.

Недостатками метода является использование синхронного моделирования. При таком подходе значительное время может быть потрачено на синхронизацию процессоров при моделировании, что снижает эффективность использования аппаратного ускорения.

## АППАРАТНАЯ РЕАЛИЗАЦИЯ АЛГОРИТМА РАСПРЕДЕЛЕННОГО ЛОГИЧЕСКОГО МОДЕЛИРОВАНИЯ

Повышение эффективности моделирования может быть достигнуто путем аппаратной реализации алгоритма распределенного моделирования [3]. Идея аппаратной реализации заключается в создании из набора функциональных блоков и связей между ними структурной модели, обеспечивающей эквивалентное отображение алгоритма синхронизации вычислительного процесса и обработки данных. Алгоритм реализуется за счет продвижения данных и их преобразования по путям обработки от входов к выходам схемы, на которых получается результат [4].

Для аппаратной реализации предлагается модификация алгоритма динамической синхронизации. В этом алгоритме есть возможность переключения от оптимистического поведения к консервативному и обратно [5,6].

Структурная реализация алгоритма в виде специализированного процессора для распределенного моделирования приведена на рис. 3.

Пусть:  $\{e_{in}@t_{in}\}$  – входное событие  $e_{in}$ , сформированное во время  $t_{in}$ , принимаемое для обработки логическим процессом (ЛП);  $\{e_{out}@t_{out}\}$  – выходное событие  $e_{out}$ , сформированное во время  $t_{out}$ , передаваемое для обработки остальным ЛП;

Процессор содержит блоки входной, выходной очереди событий, механизм переключения метода синхронизации, блок моделирования подграфа, оптимистический и консервативный блоки синхронизации, блок памяти состояний ЛП, блок вычисления локального виртуального времени LVT и менеджер глобального виртуального времени GVT.

Блок консервативной синхронизации реализует механизм обнаружения и ликвидации тупиков и механизм исключения тупиков. Переключение механизмов происходит по выбору пользователя. Для выбора механизма обнаружения и ликвидации тупиков используется управляющий сигнал `dlockrecv`, для выбора механизма исключения тупиков – сигнал `dlockavoid`. Оптимистический блок синхронизации состоит из блока отката, блоков истории событий, сборщика мусора, блока модуля контрольных точек МКТ.

Блок моделирования подграфа выполняет моделирование заданного участка схемы цифрового устройства. В его состав входят запоминающее устройство (ЗУ) узлов, ЗУ вентиляей, ЗУ функций элементов и очередь внутренних событий (рисунок 2). ЗУ узлов хранит значения сигналов в узлах схемы и информацию о номерах вентиляей, связанных с данным узлом. Адрес ячейки ЗУ узлов соответствует номеру узла в подграфе. Возможное значение сигнала в узле схемы зависит от используемого алфавита моделирования. Ячейки ЗУ вентиляей хранит информацию о типе вентиляей, задержке распространения сигнала для каждого вентиляя, информацию о номерах узлов, связанных с данным вентиляем. Адрес ячейки ЗУ вентиляей соответствует номеру вентиляя в схеме. Для вычисления логической функции вентиляя используется ЗУ функций элементов, которое содержит соответствующие таблицы истинности для каждого типа вентиляя. На вход ЗУ подаются данные о типе вентиляя (ЗУ вентиляей) и о значении сигналов на входах вентиляя (ЗУ узлов).

Для функционирования системы моделирования используется специальное программное обеспечение. Оно выполняет функции загрузки данных о подграфе схемы и входном воздействии в спецпроцессор, обмена данными между ЛП, сбора статистики моделирования. Перед началом моделирования данные о подграфе схемы «simulation data subgraph» (рис.3) загружаются в ЗУ узлов и ЗУ вентиляей. Данные входного воздействия «simulation stimulus» (рис.3) в виде событий заносятся во внутреннюю очередь. Процесс моделирования заключается в обработке событий из очереди внутренних событий. В процессе моделирования при поступлении внешних или обработке внутренних событий вычисляются новые значения сигналов на выходах вентиляей. При этом если сигнал в узле схемы изменяется, формируется внутреннее событие, которое заносится в очередь. Если изменяется сигнал в узле, соответствующему внешнему выходу схемы, то формируется внешнее событие, которое заносится в выходную очередь.

Блок вычисления локального виртуального времени LVT обеспечивает расчет локального времени логического процесса. Для вычисления глобального виртуального времени используется менеджер GVT (рис. 4). Глобальное виртуальное время определяется как минимальное значение LVT среди всех логических процессов. Для передачи копии локального времени используется специальное сообщение. В начале сообщения из коммуникационного канала заносятся в регистр данных. Затем схема сравнения адреса формирует необходимые сигналы для записи значений LVT в блок регистров. Минимальное значение LVT формируется схемой выделения минимального кода, которое затем записывается в регистр данных GVT. Такая организация предполагает наличие блока только в одном из спецпроцессоров.

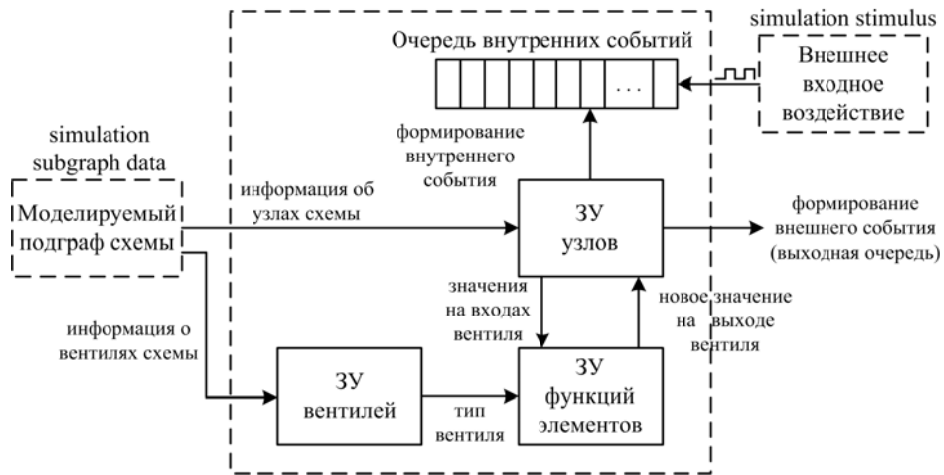


Рисунок 2 – Функциональная схема блока моделирования подграфа

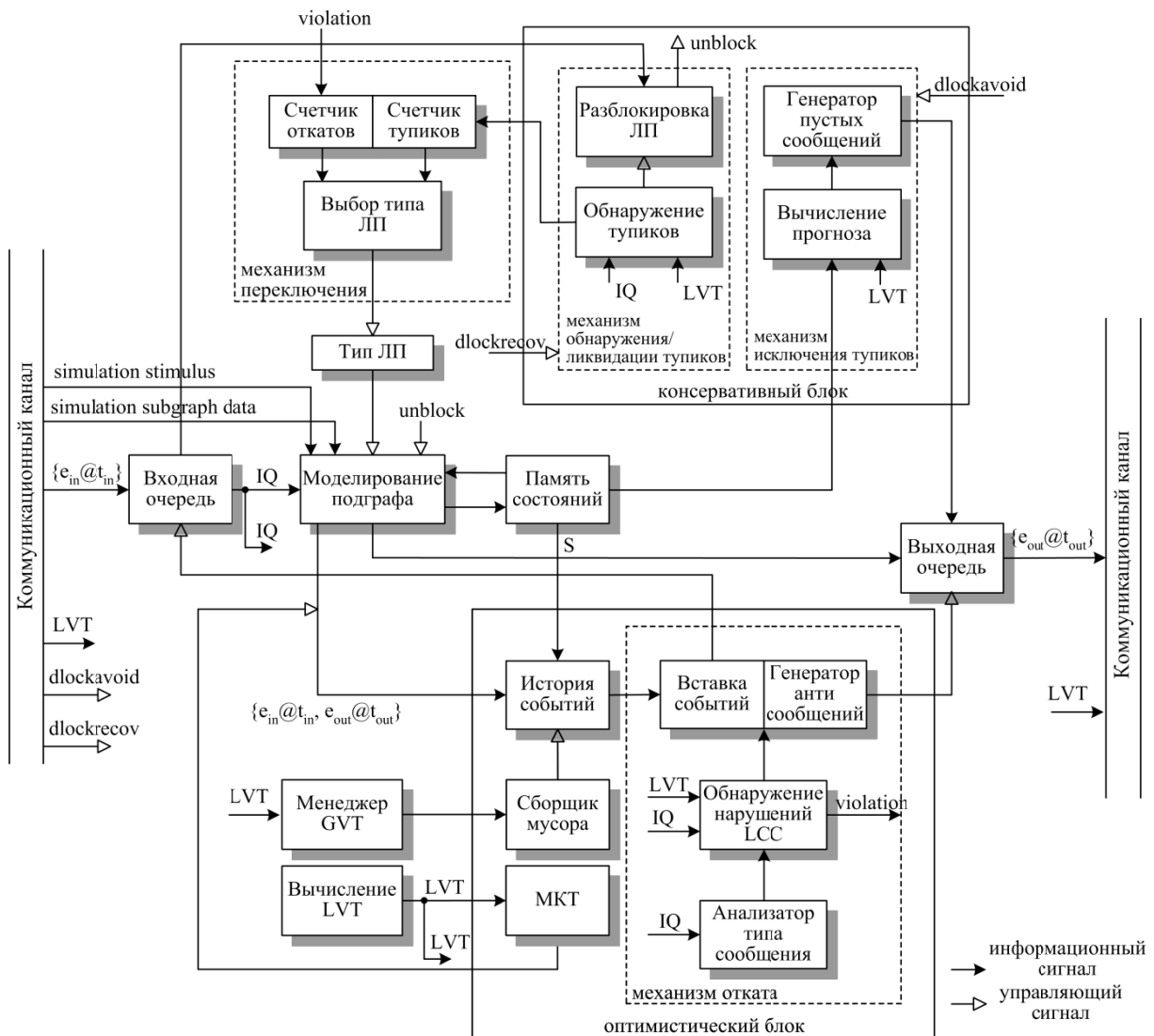


Рисунок 3 – Структура специализированного процессора для распределенного моделирования

В других он может отсутствовать либо быть отключенным.

Система распределенного логического моделирования состоит из рабочих станций, объединенных в локальную сеть или при помощи web-интерфейса. Каждая станция содержит процессор распределенного моделирования (ПРМ), который может быть реализован в виде стандартной платы расширения для персонального компьютера.

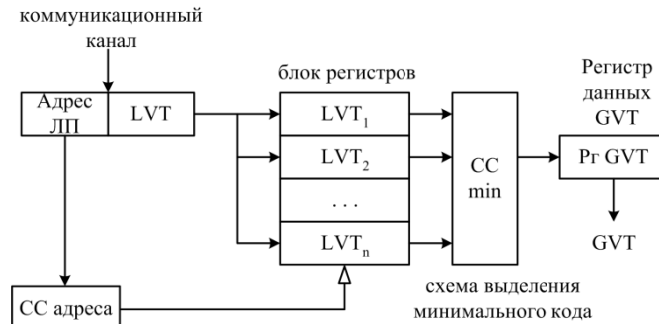


Рисунок 4 – Функциональная схема менеджера GVT

В начале исходный проект устройства на языке HDL преобразовывается в список соединений графа схемы. Полученный граф затем разрезается на отдельные участки. Каждый участок схемы назначается для моделирования отдельному ЛП. Логическому процессу распределенной системы моделирования соответствует процессор распределенного логического моделирования.

Достоинством предложенного метода является использование принципа асинхронного логического моделирования, при этом ускорение при моделировании не ограничивается скоростью моделирования отдельных частей схемы, как при синхронном моделировании.

Использование модификации динамического алгоритма синхронизации вычислений обеспечивает лучшую производительность по сравнению с консервативными, оптимистическими алгоритмами или комбинированными алгоритмами.

Аппаратная реализация рассматриваемого алгоритма в виде специализированного процессора на ПЛИС позволяет существенно повысить эффективность логического моделирования.

Существующие программные системы распределенного логического моделирования могут быть расширены при помощи предложенного метода.

Поставив в соответствие каждому ЛП специализированный процессор и объединив их в одном комплексе, можно построить специализированную вычислительную систему для логического моделирования цифровых систем.

## ЗАКЛЮЧЕНИЕ

В работе описаны методы аппаратного повышения эффективности распределенного логического моделирования. Рассмотрены метод аппаратного ускорения событийного моделирования с использованием FPGA, метод синхронного логического моделирования и аппаратная реализация алгоритма синхронизации распределенного моделирования. Представлены структурная схема процессора для распределенного моделирования, функциональные схемы блока моделирования подграфа и менеджера глобального виртуального времени. Выбор такого алгоритма синхронизации и его аппаратная реализация позволяют значительно ускорить процесс верификации проектов цифровых схем сверхбольшого уровня интеграции. Таким образом, предложенный метод является перспективным для дальнейшей разработки и исследований.

## ЛИТЕРАТУРА:

- [1] Jerry Bauer, Michael Bershteyn, Ian Kaplan, Paul Vvedin. A Reconfigurable logic machine for fast event-driven simulation // Proc. 35<sup>th</sup> Design Automation Conference, 1998
- [2] Stanley Hyduke, Eugene Kamenuka, Irina Pobezhenko, Olga Melnikova. Emulation processor network for gate-level digital systems // Proceeding of IEEE East-West Design & Test Workshop, 2005, pp.257-260.
- [3] Ладыженский Ю.В., Тесленко Г.А. Аппаратный метод повышения эффективности алгоритмов распределенного логического моделирования цифровых систем. // Наукові праці Донецького національного технічного університету. Серія: «Обчислювальна техніка та автоматизація». Випуск 106 – Донецьк: ДонНТУ, 2006. – 220с. – С.77-81.
- [4] Динамическая теория информации. Основы и приложения/ В.П. Боян –Киев: Ин-т кибернетики им. В.М. Глушкова НАН Украины, 2001. – 326с.
- [5] C.J.R. Shi, D.Lungeanu. Distributed simulation of VLSI circuits via lookahead-free self-adaptive optimistic and conservative synchronization. In Proc. ICAAD, pages 500-504, Nov 1999.
- [6] D.Lungeanu and C.-J.R. Shi. Parallel and distributed vhdl simulation. In Proc. DATE, pages 658-662, March 2000.