

СТРУКТУРНАЯ ОРГАНИЗАЦИЯ ПРОЦЕССОРА ДЛЯ РАСПРЕДЕЛЕННОГО ЛОГИЧЕСКОГО МОДЕЛИРОВАНИЯ

Методы верификации цифровых систем с использованием моделирования характеризуются большими временными затратами и последовательным способом выполнения операций. Перспективным направлением является распараллеливание алгоритмов моделирования. Создание эффективных по быстродействию и трудоемкости параллельных и распределенных программных и аппаратных средств моделирования цифровых устройств является актуальной научно-технической проблемой.

Предметом исследований являются методы организации процессоров для реализации алгоритмов синхронизации распределенного логического моделирования. Основная идея заключается в создании из набора функциональных блоков структурной модели, обеспечивающей эквивалентное отображение алгоритмов синхронизации вычислительного процесса и обработки данных.

Для аппаратной реализации предлагается модификация алгоритма динамической синхронизации. Распределенная система моделирования состоит из процессов, взаимодействующих путем передачи сообщений. Каждый процесс моделирует часть системы и представляет собой логический процесс (ЛП). В ходе моделирования ЛП генерируют события, посылают их другим ЛП и получают события от других ЛП. Распределенное моделирование считается корректным, если каждый ЛП обрабатывает события в порядке возрастания значений их временных меток. Существует консервативные и оптимистические алгоритмы синхронизации вычислений.

Процессор содержит блоки входной, выходной очереди событий, механизм переключения метода синхронизации, блок моделирования подграфа, оптимистический и консервативный блоки синхронизации, блок памяти состояний ЛП, блок вычисления локального виртуального времени LVT и менеджер глобального виртуального времени GVT. Блоки консервативной синхронизации реализуют механизм обнаружения и ликвидации тупиков и механизм исключения тупиков. Оптимистический

¹ к.т.н., доцент кафедры ПМИИ, факультет ВТИ, ДонНТУ

² ассистент кафедры ПМИИ, факультет ВТИ, ДонНТУ

блок синхронизации состоит из блока отката, блоков истории событий, сборщика мусора, блока контрольных точек.

После компиляции проекта устройства на языке HDL получается список соединений графа схемы. Граф разрезается на подграфы, которые назначаются для моделирования отдельным логическим процессам. Каждому логическому процессу соответствует процессор для распределенного логического моделирования.

В процессе моделирования при поступлении внешних или обработке внутренних событий вычисляются новые значения сигналов на выходе вентилей. При этом, если сигнал на выходе изменился, формируется внутреннее событие, которое заносится в очередь.

Для вычисления логической функции вентиля используется ЗУ функций элементов. Ячейки памяти ЗУ функций элементов содержат соответствующие таблицы истинности.

Блок вычисления локального виртуального времени обеспечивает расчет локального времени ЛП. Для вычисления глобального виртуального времени используется менеджер GVT. Глобальное виртуальное время определяется как минимальное значение LVT среди всех логических процессов. Для передачи копии локального времени используется специальное сообщение. Сообщения из коммуникационного канала заносятся в регистр данных. Схема сравнения адреса формирует необходимые сигналы для записи значений LVT в блок регистров. Минимальное значение LVT формируется схемой выделения минимального кода, которое затем записывается в регистр данных GVT. Такая организация предполагает наличие блока только в одном из спецпроцессоров. В других он может отсутствовать либо быть отключенным.

Для обнаружения/ликвидации тупиков использует метод передачи маркера между ЛП. Рассматривается алгоритм формирования сигнала возникновения тупика при поступлении, которого процессор принудительно начинает обработку первого события из входной очереди.

В докладе приводится анализ алгоритмов, оценки аппаратных затрат и быстродействия процессора. Рассматриваются задачи загрузки данных и сбора результатов моделирования, организация работы и способы передачи данных в мультипроцессорной системе, варианты реализации отдельных блоков.

Процессор можно использовать как отдельное устройство в качестве аппаратного ускорителя для распределенного логического моделирования, так и при построении многопроцессорной системы моделирования.