

УДК 323.91.04

Л.Б. Макаров, канд. техн. наук**О.М. Бітченко**, канд. техн. наук**І.Я. Лізан**, канд. техн. наук

ДВНЗ «Українська інженерно педагогічна академія»,

м. Харків, м. Артемівськ

МАЖОРИТАРНИЙ ГРАНИЧНИЙ ПРИСТРІЙ ДЕКОДЕРА ЗГОРТАЮЧОГО КОДУ ЯК СКЛАДОВА ЗАСОБУ АВТОМАТИЗАЦІЇ МЕХАНОТРОННИХ СИСТЕМ

У роботі вирішена задача удосконалення засобів автоматизації механотронних систем на основі побудови граничних комбінаційних пристроїв з використанням інтегральних арифметичних суматорів.

декодер, елементи, інтегральний арифметичний суматор, код

Постановка задачі досліджень. Тенденцією сьогодення є поширення механотронних систем управління енергоємними електро-механічними установками. Якісні показники управління значною мірою обумовлені технічними властивостями електронних пристроїв, зокрема, граничних і мажоритарних елементів, що входять до складу цих систем. Вищевказані елементи легко побудувати на основі використання цифрових елементів з пам'яттю (регістрів, лічильників, ін.). Однак для досягнення максимальної швидкодії такі схеми повинні бути комбінаційними, миттєвої дії.

Рішення задачі та результати досліджень. Розглянемо принципи побудови граничних комбінаційних пристроїв на базі інтегральних арифметичних суматорів [1].

Граничною схемою k з n називається комбінаційна схема (КС), що має n входів і один вихід і реалізовуючу функцію $f(v)$ рівну 1 тільки в тих випадках, коли не менш k вхідних сигналів рівні 1. Граничні схеми використовуються в виявителях сигналів, що працюють за принципом k з n (n - число вибірових значень випадкового процесу, k - число вибірових значень, що перевищили заданий поріг, тобто аналізовані випадкові величини приймають тільки два значення 0 або 1). У цьому випадку символи 0 і 1 є числами 0 і 1, тому такі КС можуть бути реалізовані за допомогою двійкових суматорів. Зважаючи на те, що усі вхідні перемінні мають однакову вагу - 1, то для їхнього додавання з метою наступного порівняння з порогом k потрібні одно-розрядні двійкові суматори. Найчастіше в серіях мікросхем випуска-

ються чотирьохрозрядні суматори, використання яких як однорозрядних суматорів неефективно. Покажемо, що чотирьохрозрядний суматор можна використовувати в якості двох однорозрядних суматорів.

Суматор описується функціями

$$s_1 = A_1 \oplus B_1 \oplus P_0, s_2 = A_2 \oplus B_2 \oplus P_1, s_3 = A_3 \oplus B_3 \oplus P_2, s_4 = A_4 \oplus B_4 \oplus P_3, P_4 = A_4 B_4 \vee A_4 P_3 \vee B_4 P_3, \tag{1}$$

де $P_1 = A_1 B_1 \vee A_1 P_0 \vee B_1 P_0$; $P_2 = A_2 B_2 \vee A_2 P_1 \vee B_2 P_1$;

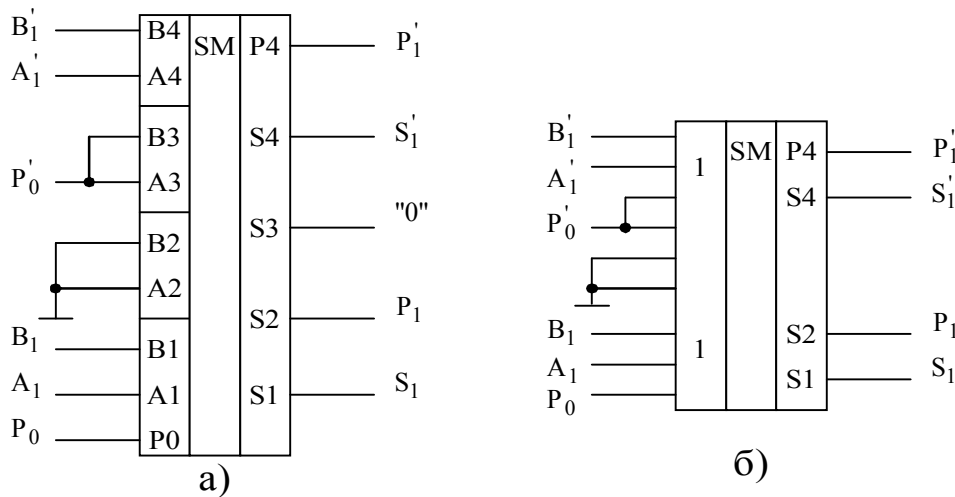
$P_3 = A_3 B_3 \vee A_3 P_2 \vee B_3 P_2$ - внутрішні сигнали мікросхеми.

Підставивши в ці функції значення $A_2 = B_2 = 0, A_3 = B_3 = P_0'$,

$A_4 = A_1', B_4 = B_1'$ (рисунок 1), одержимо

$$s_2 = P_1, s_3 = 0, s_4 = A_1' \oplus B_1' \oplus P_0' = s_1', P_4 = A_1' B_1' \vee A_1' P_0' \vee B_1' P_0' = P_1'. \tag{2}$$

Таким чином чотирьохрозрядний суматор при зазначених на рисунку 1,а з'єднаннях входів може бути використаний у якості двох незалежних однорозрядних суматорів. При використанні чотирьохрозрядних суматорів у режимі двох однорозрядних використовують спрощене графічне позначення (рисунок 1,б).



а) - на одному чотирьохрозрядному суматорі,
б) - їхня умовна позначка

Рис. 1. – Два незалежних однорозрядних суматори

При реалізації граничних схем у базисі І-НІ треба було б у першому ярусі $\binom{n}{k}$ елементів, тому що найменше число сполучень вхід-

них сигналів, що досягають у сумі порога k , дорівнює $\binom{n}{k}$. Другий ярус складається з одного елемента з числом входів $\binom{n}{k}$.

Нехай потрібно синтезувати граничну схему для $n=9$ і $k=6$. При реалізації даної граничної схеми у базисі І-НІ треба було б застосувати $\binom{9}{6}+1=\frac{9!}{6!}+1=85$ логічних елементів І-НІ. Такий спосіб реалізації не може бути прийнятний.

На рисунку 2 показана ця ж гранична схема, реалізована на шести однорозрядних суматорах і одному логічному елементі АБО. Якщо на вхід суматора подається перемінна, що має вагу 2^m , то вихід суми має також вагу 2^m , а перенос - вага 2^{m+1} .

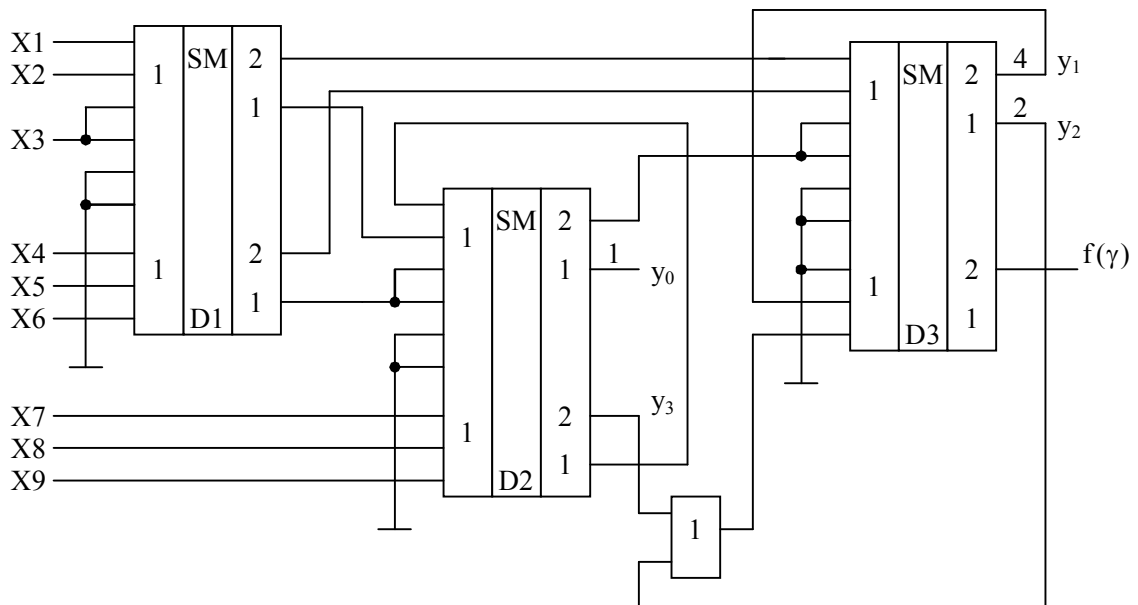


Рис. 2. – Гранична схема 6 з 9

На всі три входи суматора можна подавати тільки перемінні, що мають однакову вагу. За допомогою суматорів D_1 , D_2 і верхньої частини суматора D_3 забезпечується звичайне додавання двійкових чисел. Вихідними сигналами цієї частини схеми є сигнали y_j , $j = 0, 1, 2, 3$. Тому що $k = 6$ - парне число, то перемінна y_0 , що має вагу 1, не може впливати на перевищення сумою перемінних x_p ($p = 1, 2, \dots, 9$) порога k , тобто цю перемінну можна виключити з подальшого розгляду. Таким чином, залишилися три перемінні: y_1 - перемінна, що має вагу 4, і перемінні y_2 і y_3 , що мають вагу 2.

Очевидно, що поріг $k = 6$ буде перевищений тільки в двох випадках:

- якщо $y_1 = 1$ і $y_2 = 1$;
- $y_1 = 1$ і $y_3 = 1$

Тому для остаточної побудови граничної схеми треба реалізувати функцію

$$f(v) = y_1 y_2 \vee y_1 y_3 \quad (3)$$

Для реалізації цієї функції можна використати другу частину суматора D_3 . Враховуючи те що $P_1 = A_1 B_1 \vee A_1 P_0 \vee B_1 P_0$, то, поклавши $A_1 = y_1, B_1 = 0$ та $P_0 = y_2 \vee y_3$ одержимо, що $f(v) = P_1 = s_2$, оскільки $A_2 = B_2 = 0$. Аналогічним чином можна реалізувати будь-яку граничну схему при як завгодно великому числі вхідних сигналів n .

Мажоритарним елементом називається гранична схема з непарним числом входів n , вихідний сигнал якої дорівнює 1 тільки при надходженні на її входи $k = (n+1)/2$ або більше числа вхідних сигналів x_p рівних 1. При реалізації мажоритарного елемента, що має $n = 13$ вхідних сигналів $x_p (p = 1, 2, \dots, 13)$, у базисі І-НІ треба було б $(13!/7!6!) + 1 = 1717$ логічних елемента.

На рисунку 3 показана схема такого, мажоритарного елемента, виконана на чотирьох однорозрядних (D_1 і D_2), двох двоузрядних (D_3 і D_4) і одному чотирьохрозрядному (D_5) двійкових суматорах.

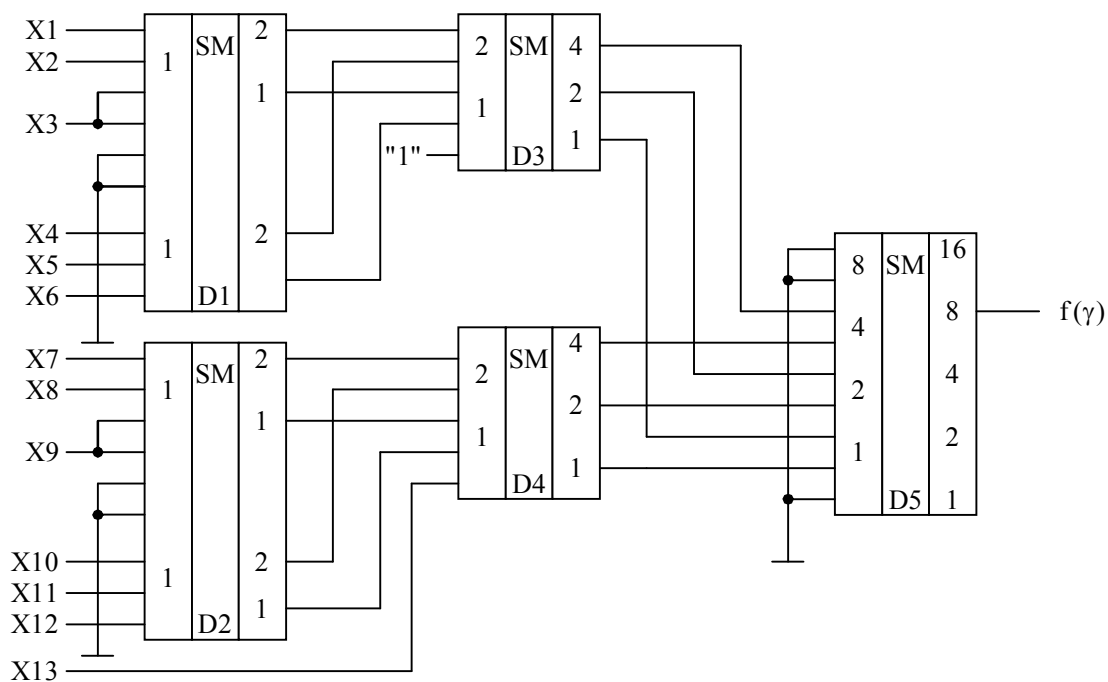


Рис. 3. – Тринадцятивхідний мажоритарний елемент

На один із входів суматора D_3 поданий сигнал, рівний 1. Тим самим поріг $k = 7$ змінюється на $k = 8$. Вихідний сигнал з вагою 8 суматора D_5 буде дорівнювати 1, якщо сім або більше число входних сигналів x_p приймуть значення 1. Таким же способом можна синтезувати будь-який мажоритарний елемент.

Загальний вид мажоритарного граничного пристрою декодера згортаючого коду зображений на рисунку 4 [2].



Рис. 4 - Структурна схема мажоритарного елемента на 16 входів і критерій її роботи

Для забезпечення максимальної швидкодії запропонованого мажоритарного елемента, його варто виконати у виді комбінаційної схеми на цифрових елементах без пам'яті.

Як було показано вище, оптимальним по швидкодії і витратам є синтез граничних схем у базисі цифрових арифметичних суматорів, поставлених у спеціальні режими.

Ідея побудови таких граничних схем полягає в тому, що на три входи кожного суматора подаються сигнали тільки з однаковою вагою. Якщо на входи подаються первинні входні логічні сигнали з вагами «1», то на двох виходах кожного суматора можуть утворитися два сигнали з вагами «1» (сума) і /або «2» (перекіс). Далі всі сигнали з вагами «1» подаються на входи наступного суматора, а з вагами «2» - на вхід іншого суматора. І так далі. Усі ланцюги, ваги сигналів у яких перевищують поріг, збираються через елемент «АБО», який формує на виході граничної схеми сигнал логічної одиниці U' , що є коригувальною.

Відповідно до цієї ідеї розроблена функціональна схема мажоритарного елемента 16/1 на основі цифрових інтегральних арифметичних суматорів типу 1533ИМ3. Принципова електрична схема мажоритарного елемента зображена на рисунку 5.

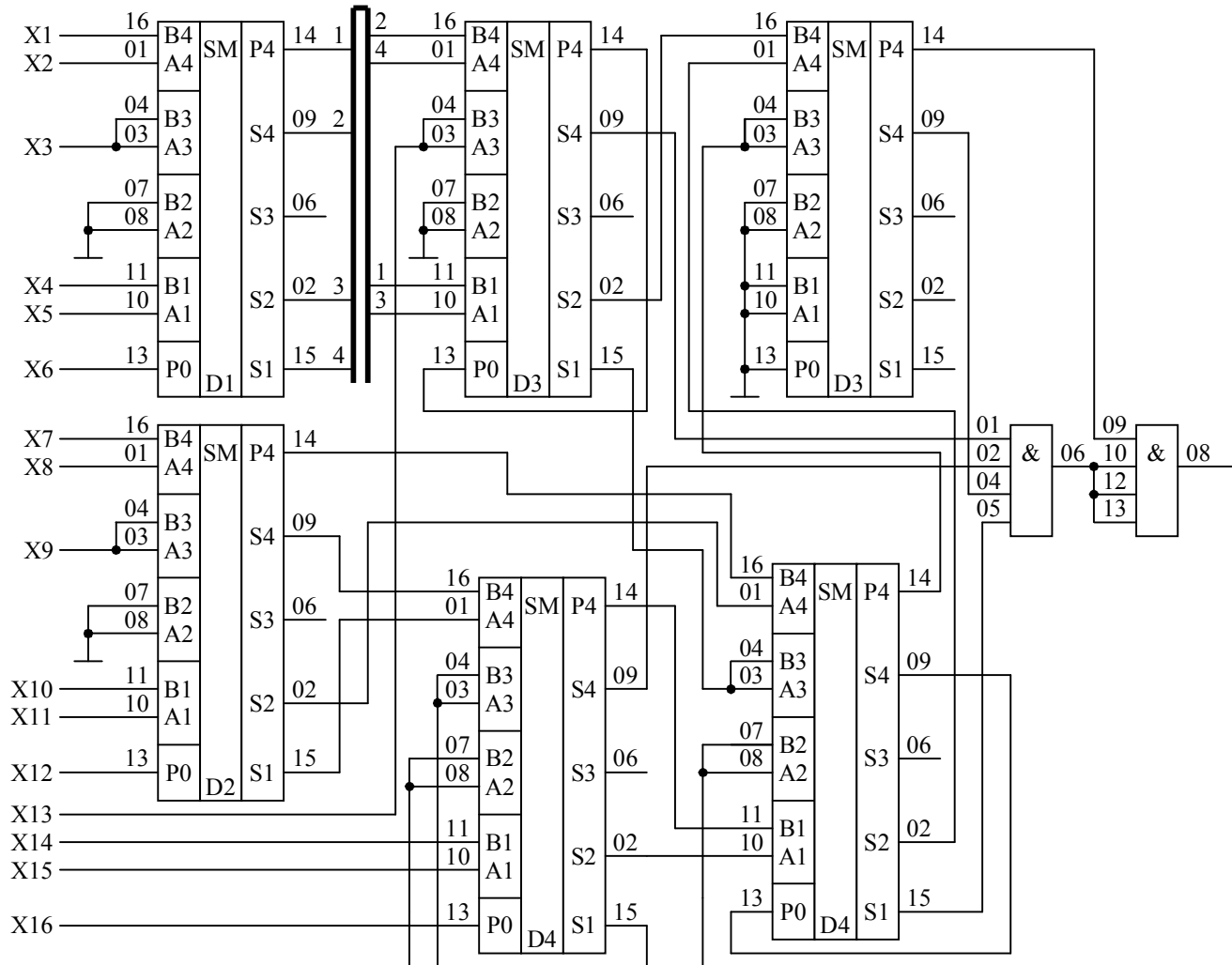


Рис. 5 - Принципова схема мажоритарного елемента

Набір 16 вхідних сигналів $\{A_1, \dots, A_{16}\}$ ортогональних перевірок декодера подаються на ІМС DD1, DD2 і DD4. Сигнал логічної одиниці U' на виході ME з'явиться лише в одному з двох випадків або в обох:

- коли з виходу DD5 з вагою 8 надходить сигнал на диз'юнктор DD8.1;

- коли на входах кон'юнктора DD7.1 збираються 4 сигнали загальною вагою 8, з виходу якого сигнал U' надходить на другий вхід DD8.1.

Швидкодія такої комбінаційної схеми максимальна і визначається лише затримками сигналів на 4-х ІМС, що складає порядок 50-60 нс.

Висновки та шляхи подальших досліджень. Пристрій може функціонувати у високошвидкісних каналах передачі, створюючи умови для підвищення функціональних властивостей засобів управління механотронними системами. Надто перспективним є також застосування подібних граничних та мажоритарних пристроїв в багатограничних декодерах згортючих та блокових кодів [3].

Список джерел:

1. Проектирование импульсных и цифровых устройств радиотехнических систем: учеб. пособие для радиотехнич. спец. вузов / Гришин Ю.П., Казаринов Ю.М., Катиков В.М. и др.; Под ред. Ю.М. Казаринова. – М.: Высш. шк., 1985. – 319с.
2. Пороговый декодер сверточного кода: А.С. 964999 СССР, Н 04 L 1/10 / В.И. Долгов, И.В. Рогожин, Л.Б. Макаров, В.Д. Пашовкин, С.П. Белов, А.И. Калиниченко; заявитель ХВВКИУ им. Маршала Сов. Союза Крылова Н.И. – Заявл. 16.03.81; Опубл. 7.10.82, Бюл. №37.
3. Золотарев В.В. Теория и алгоритмы многопорогового декодирования / Золотарев В.В.; Под ред. чл.-кор. РАН, профессора, доктора техн. Наук Ю.Б. Зубарева. – М.: Радио и связь, Горячая линия – Тепеком, 2006. – 232 с.

Стаття надійшла до редколегії 28.04.2011

Рецензент: зав. каф. ГЕА ДонНТУ, канд. техн. наук, доц. К.М.Маренич

Л.Б. Макаров, А.Н. Битченко, И.Я. Лизан. Мажоритарное предельное устройство декодера свертывающего кода как составляющая средства автоматизации механотронных систем. В работе решена задача усовершенствования средств автоматизации механотронных систем на основе построения предельных комбинационных устройств на интегральных арифметических сумматорах.

декодер, элементы, интегральный арифметический сумматор, код

L. Makarov, A. Bitchenko, I. Lisan. Majority limiting device decoder coagulation code as part of the means of automation of mechanotronical systems. We solved the problem of developing the means of automation of mechanotronical systems by means of constructing limiting devices based on the combination of integral arithmetic adders.

decoder, the elements, integral arithmetic adder, code

© Макаров Л.Б., Битченко О.М., Лизан И.Я., 2011