

Генерация тестов для МОП-структур на переключательном уровне

Андрюхин А.И.

Донецкий национальный технический университет
alexandruckin@rambler.ru

Abstract

Andruckin A. I. Test Generation for MOS-structures on switch level. A method for pseudo-random test generation on switch level is described. Experimental results on ISCAS-89 circuits are presented to demonstrate the effectiveness of the proposed method.

Введение

Задача тестирования современных СБИС, производимых по МОП и КМОП, БиКМОП технологиям, вследствие быстрого роста интеграции, частоты и архитектурной сложности является существенно более сложной и затратоемкой, нежели аналогичная задача для схем, которые изготовлены по ЭСЛ- или ТТЛ-технологиям. Для МОП-схем использование известной модели константных неисправностей для ее вентиляного представления не позволяет описывать реальные физические дефекты. Предложено множество путей ее решения: различные расширения вентиляного подхода, переход на транзисторный уровень, токовые модели (IDDQ) и т.п.[1-3]. Наиболее известный и радикальный путь обеспечения единого подхода к моделированию различных неисправностей схем изготовленных согласно различным направлениям МОП- технологий, это как известно, использование переключательных моделей [4-8]. Они используют представление устройства на транзисторном уровне и учитывают конкретные особенности МОП-схем, рассматривая их топологическую структуру.

Постановка задачи

Согласно [1], основными реальными дефектами МОП-схем являются замыкания и обрывы транзисторов. Дефекты МОП-схем отображаются тремя классами неисправностей (моделями дефектов), как SA (stuck-at), SOP (stuck-open) и SON (stuck-on), что соответствует моделям константных неисправностей, устойчивых обрывов транзисторов и устойчивых замыканий транзисторов. Известно, что обрывы (замыкания) транзисторов могут перевести устройство из класса комбинационных схем в класс последовательностных схем. На вентиляном уровне моделировать эти дефекты невозможно или чрезвычайно затруднительно[1,10].

В данной работе предлагаются методы моделирования этих наиболее значимых физических дефектов МОП-структур на переключательном уровне. Рассматриваются и

сравниваются результаты моделирования этих неисправностей в модифицированной иерархической системе моделирования и тестирования [9].

Решение проблемы

Основой возможного решения поставленной проблемы может быть структурная модификация исправной схемы, согласно алгоритмам, изложенным в [10,11]. При таких структурных преобразованиях моделирование схемы с неисправностями сводится к моделированию соответствующим образом модифицированной схемы. Однако программная реализация этого подхода обнаружила свою низкую временную эффективность.

Поэтому в настоящей работе был развит метод в [12], согласно которому, обрыв затвора транзистора и обрывы линий интерпретируются, как частные случаи обобщенной логической неисправности. Использование модели обобщенной логической неисправности позволяет рассматривать SA, SOP, SON неисправности на линии. На рис.1 представлен общий принцип моделирования обобщенной логической неисправности на линии, заключающийся в разрыве линии и установке различных значений концам разрыва.

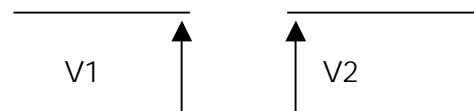


Рисунок 1 – Обобщенная логическая неисправность линии.

Развивая эту мысль, можно дополнить эту схему возможностью замыканий двух линий, что позволит с единой точки зрения рассматривать bridge-неисправность и ее частный случай, как замыкание сток-исток транзистора. Графическое изображение обобщенной логической неисправности одной и двух линий L1, L2 представлено на рис.2.

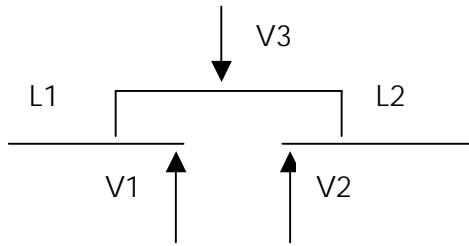


Рисунок 2 – Обобщенная логическая неисправность для линий L1, L2.

Устанавливая различные значения линиям, обозначенным стрелками на рис.2, возможно имитировать обрывы и замыкания с различной проводимостью, от замыкания на «землю» до замыкания на источник питания. Объектами исследования для моделирования вышеуказанных неисправностей и сравнения выбраны схемы из эталонного списка ISCAS-89[11]. Их описание дано на вентиляном уровне. Поэтому сначала необходимо с помощью экспандера получить представления этих схем на переключательном уровне.

Экспандер

Необходимой частью систем смешанного моделирования, при котором используются компоненты различных иерархических уровней является экспандер (расширитель). Настоящий экспандер ориентирован на описание схем на вентиляном уровне в формате *ITC-99*[11]. Получение этого описание из формата *edif* [11] или других, а также решение обратной задачи не представляет особой трудности.

Результатом работы экспандера является совокупность динамических числовых массивов $Q1, Q2, Q3, T$, т.е. представление схемы на переключательном уровне. Необходимо сгенерировать эту совокупность на основе описания на вентиляном уровне, представление примитивов которого мы уже имеем на переключательном уровне в соответствующей библиотеке (один примитив вентиляного или более высокого уровня может иметь множество переключательных представлений, которые соответствуют различным технологическим реализациям). Необходимо добавить, что вновь полученное описание может быть занесено в библиотеку примитивов под уникальным именем и использовано, как обычный компонент. Каждый компонент i -типа является совокупностью массивов $Z_i, Q1_i, Q2_i, Q3_i, T_i$, где заголовок компонента $Z_i = \{ NR_i, IX, NX_{1..}, NX_{ix}, IY, NY_{1..}, NY_{iy} \}$. Здесь NR_i -число записей, IX -число внешних входов, $NX_{1..}, NX_{ix}$ -номера внешних входов во внутреннем использовании, IY -число внешних выходов, $NY_{1..}, NY_{iy}$ -номера внешних

выходов во внутреннем использовании. Тело переключательного представления компонента i -типа состоит из массивов $Q1_i, Q2_i, Q3_i, T_i$. Количество элементов в этих массивах определяется NR_i .

Алгоритм работы экспандера имеет вид.

1.Начальное значение глобального счетчика нумерации узлов *MAXGLOBAL* равно 3, так как номера 1,2 зарезервированы для узлов "земля", "питание".

2.Выполняем сканирование файла вентиляного описания схемы и построение списка имен элементов (выходных линий этого компонента) схемы на вентиляном уровне и присвоения номера этой линии (номер линии—это номер элемента списка, где хранится ее идентификатор). Каждому элементу списка соответствует тип элемента, выходом которого является соответствующая линии и идентификаторы линий, которые являются входами для этого элемента. При появлении нового уникального идентификатора счетчик нумерации узлов *MAXGLOBAL* увеличивается на 1.

3.Во второй фазе происходит просмотр построенного в п.2 списка компонентов и генерация глобального представления схемы на переключательном уровне. Определение массивов $Q1, Q2, Q3, T$ выполняется путем подсоединения описания компонента соответствующего i -го типа $Q1_i, Q2_i, Q3_i, T_i$ с новой нумерацией внутренних узлов, зависящей от Z_i . При этом каждый новый непромуерованный внутренний узел после присвоения ему номера, равного текущему значению счетчика *MAXGLOBAL* вызывает инкремент последнего.

Пример использования экспандера

Для моделирования схемы *B17S* из эталонного списка *ITC-99* на переключательном уровне необходимо иметь ее представление на этом уровне. Основные ключевые записи эталонного описания на вентиляном уровне представлены ниже, где первые пять строчек определяют основные характеристики схемы.

```
# source: b17s.edf
# 37 inputs
# 97 outputs
# 1415 D-type flipflops
# 22645 internal gates (3330 and, 16403 nand, 1203
or, 620 nor, 1089 not)
INPUT(DATAI_31_)
...
INPUT(READY2)
OUTPUT(P3_DATAO_REG_31_)
...
OUTPUT(P3_ADS_N_REG)
BUF1_REG_0_ = DFF(U209)
BUF1_REG_1_ = DFF(U210)
...
P3_U14926 = NAND(P3_U10801, P3_U9734)
```

```

...
P3_U14930 = NAND(P3_STATE2_REG_3_,
P3_INSTQUEUEUERG_ADDR_REG_0_)
...
P1_R1068_U716 = NAND(P1_R1068_U713,
P1_R1068_U712, P1_R1068_U533)
P1_R1068_U717 = NAND(P1_U10136,
P1_R1068_U381)

```

Согласно п.1 и п.2 алгоритма работы экспандера имеем следующие результаты. Число линий (имеющих идентификатор) на вентиляльном уровне для схемы *b17s* равно 24060. Как было замечено ранее, номера 1,2 зарезервированы для узлов “земля”, ”питание”. Внешние входы от DATA1_31_ до READY2 будут иметь номера от 3 до 39, внешние выходы от P3_DATAO_REG_31_ до P3_ADS_N_REG получают номера от 40 до 136, выходы компонентов от BUF1_REG_0_ до P1_R1068_U717 получают номера от 137 до 24099. Значение глобального счетчика *MAXGLOBAL* равно 24099.

При выполнении п.3 алгоритма экспандера выполняем присоединение библиотечного описания рассматриваемого компонента схемы с соответствующей перенумерацией.

Для данного конкретного расчета первым компонентом является элемент DFF (*DFlip_Flop*), выходом которого есть линия BUF1_REG_0_ (ее номер 138), а входом является линия U209 с соответствующим номером 1491. Заголовок выбранной реализации DFF в библиотеке имеет вид 13,1,3,1,4.

Таким образом, число записей равно 13, номер внешнего входа этого типа триггера в его переключательном описании 3, а выход имеет номер 4. В присоединяемом описании заменяются номера 3,4 на 1491, 138 соответственно. В самом локальном описании DFF имеем внутренние узлы с номерами от 5 до 8, которые получают увеличивающиеся глобальные номера от 24099 до 24103. Поэтому значение *MAXGLOBAL* равно 24103 в начале обработки следующей записи BUF1_REG_1_ = DFF(U210). После обработки последней записи P1_R1068_U717 = NAND(P1_U10136, P1_R1068_U381) имеем *MAXGLOBAL* равным 93305, число записей переключательного описания равно при этом 214855. Объем описания схемы в формате *itc-99* равен 1.1 Мб. Сгенерированное переключательное описание имеет размер 4.5 Мб.

Построение списков неисправностей

Определение информации для моделирования различных классов неисправностей является одной из функций экспандера. Согласно поставленной задаче при переходе на переключательный уровень генерируются списки неисправностей следующих

классов: константные неисправности, обрыв затвора транзисторов, замыкание сток-исток транзисторов, обрыв линий. Рассмотрим конкретный пример схемы DLR-триггера на рис.4. согласно рис.2.40 [14].

Была взята n-МОП транзисторная реализация, так как для моделирования ПКМОП-реализации требуется более простой алфавит моделирования, а графическое представление является более громоздким. Структура списков неисправностей для этой схемы представлена в таб.2.

Анализ списков этих неисправностей показывает, что для рассматриваемой схемы они представляют *различные* подмножества множества константных неисправностей *всех* затворов схемы.

При генерации списков неисправностей необходимо учитывать топологию соединений транзисторов, согласно вариантам на рис.5.

Модель неисправности «обрыв затвора»

Неисправность «обрыв транзистора» (*stuck-open*) означает, что неисправный транзистор никогда не переключается в активное состояние (постоянно отключен), либо неисправный транзистор никогда не переключается в неактивное состояние (постоянно открыт-*stuck-on*) [8]. Для n-МОП транзистора *stuck-open* и *stuck-on* неисправности эквивалентны *stuck-at=0* и *stuck-at=1* на затворе транзистора соответственно. Обнаружение *stuck-open*-неисправности обычно требует двухнаборного теста. Если есть *stuck-open*-неисправность или выход не может установиться в лог.1 (*stuck-open*-неисправность для p-МОП транзистора) или он не может быть установлен в лог.0 (*stuck-open*-неисправность для n-МОП-транзистора). Тест для *stuck-open*-неисправности p-МОП-транзистора должен своим первым набором установить выход транзистора в лог.0 и следующим вторым тестовым воздействием попытаться установить выход МОП-транзистора в лог.1. Если p-МОП-транзистор неисправен, то выход остается в лог.0, в противном случае выход устанавливается в лог.1.

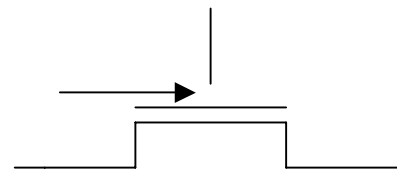


Рисунок 3 – Обрыв затвора транзистора

Неисправности обрыва затвора транзисторов, известные как транзисторы с плавающим затвором рассматривались в [15,16]. Тщательное изучение привело к выводу, что плавающий затвор может быть в трех

качественных состояниях: непроводящем, слабо

проводящем и сильно проводящем.

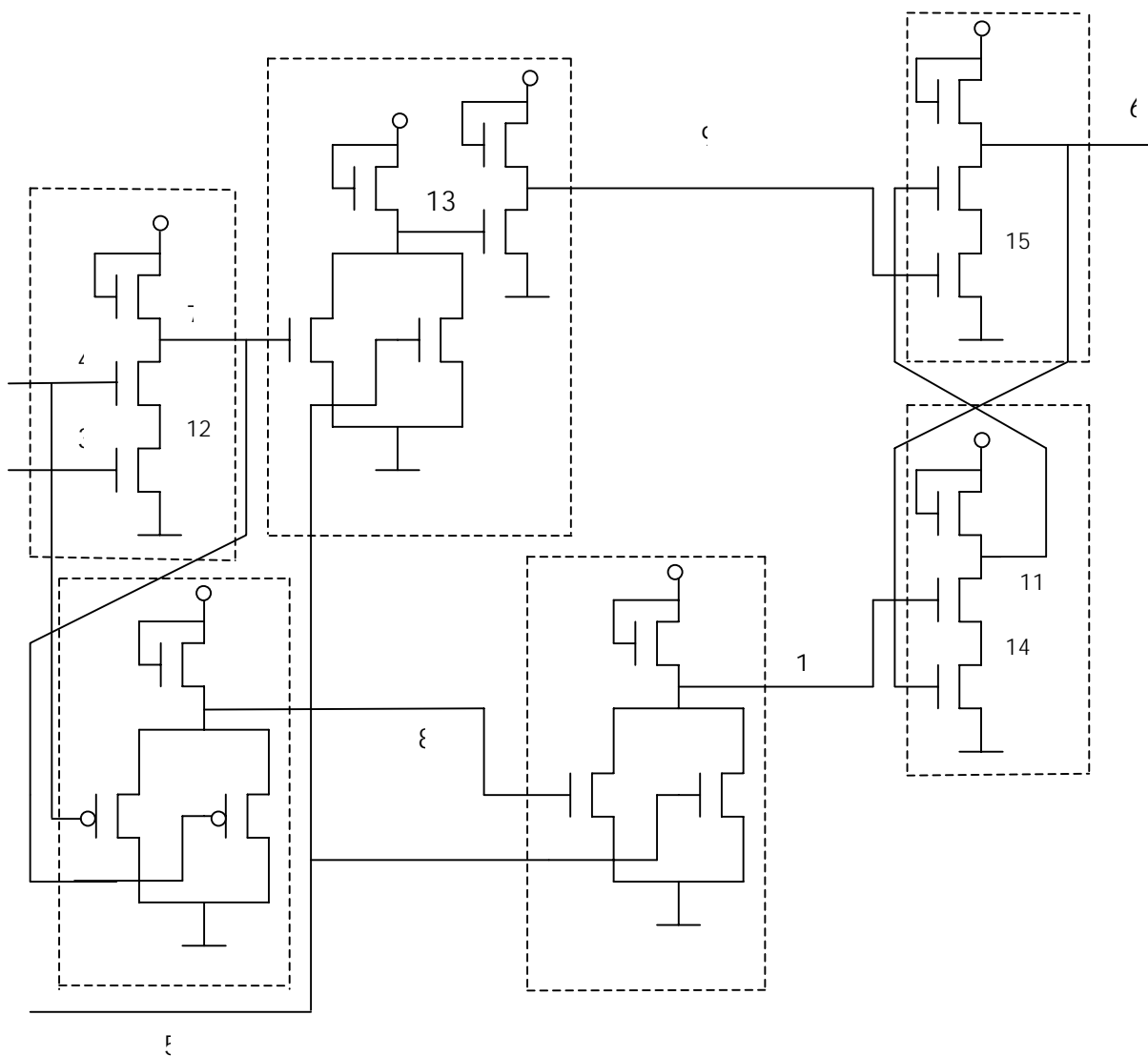
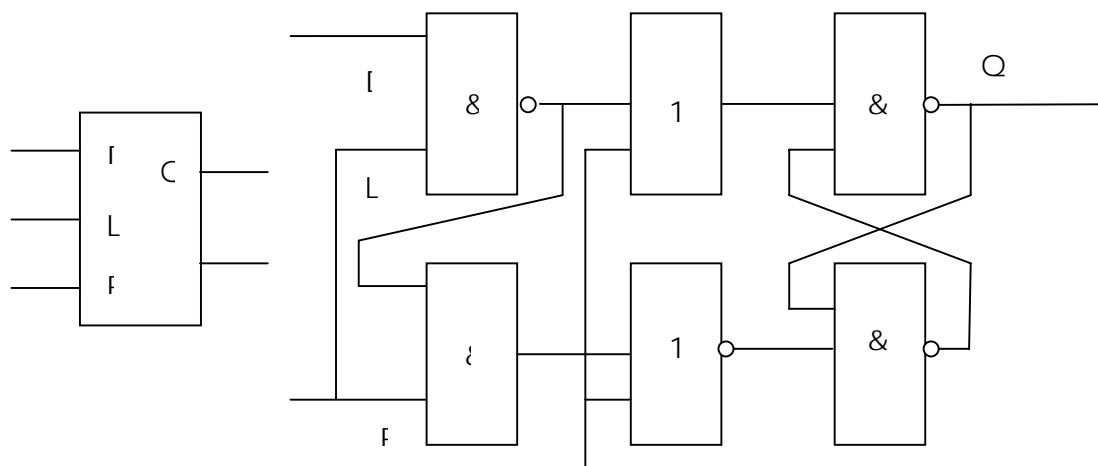


Рисунок 4 – Представление DLR-триггера на различных иерархических уровнях.

Таблица 1. Значения в узлах исправной схемы при ее моделировании.

Номер набора	Число итераций	Значения в узлах схемы													
		3	4	5	6	7	8	9	10	11	12	13	14	15	
1	6	D0	D0	D1	D0	W1	D0	W1	D0	W1	Z	D0	Z	D0	
2	4	D0	D1	D0	D0	W1	W1	W1	D0	W1	Z	D0	Z	D0	
3	9	D1	D1	D0	W1	D0	D0	D0	W1	D0	D0	W1	D0	Z	

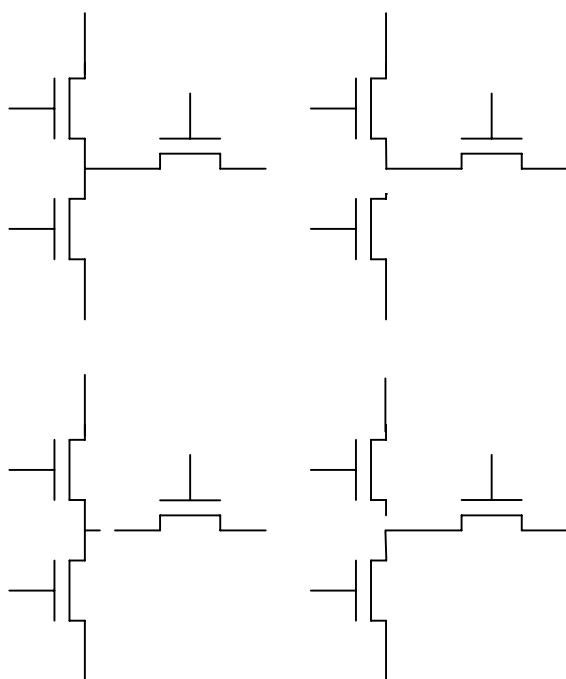


Рисунок 5 – Варианты расположения неисправностей.

К примеру, для вентиля И-НЕ на рис.6. для тестирования *stuck-open*-неисправности транзистора **PI** мы используем 2-наборный тест (**11**, **01**). Выход исправного вентиля устанавливается в лог.1 после приложения второго набора. В случае *stuck-open*-неисправности транзистора **PI** он остается в лог.0. Для обнаружения *stuck-open*-неисправности транзистора **NI** мы применяем двухнаборный тест (**00**, **11**). Тестирование *stuck-on*-неисправности требует большего знания о транзисторе и электрических характеристиках соединения. Если **p**-МОП-транзистор имеет неисправность *stuck-on*, мы можем потенциально

обнаружить эту неисправность переключением соответствующего **n**-МОП-транзистора в активное состояние. Для обнаружения *stuck-on*-неисправности транзистора **PI** на рис.6 можем использовать набор **AB=11**.

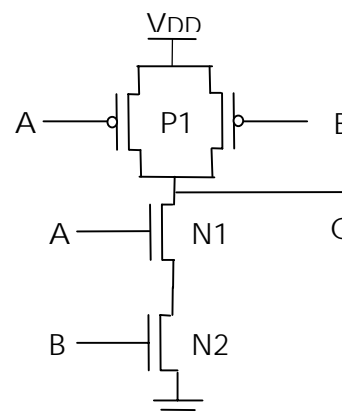


Рисунок 6 – Базовый вентиль И-НЕ на переключательном уровне.

Если переход положительного фронта **0**→**1** **p**-МОП-транзистора сильнее, чем переход фронта **1**→**0** **p**-МОП-транзистора, какими являются транзисторы **NI**, **N2**, то выход будет иметь значение лог.1 и неисправность будет обнаружена. Здесь мы имеем случай **p**-доминирования. Если схема является **n**-доминирующей, т.е. переход **1**→**0** **n**-МОП-транзистора сильнее, чем переход **1**→**0** **p**-МОП-транзистора, тогда *stuck-on*-неисправность не может быть обнаружена измерением напряжения на выходе. *Stuck-on*-неисправность может быть обнаружена измерением силы тока (I_{DDQ}), связанного с построением статического токового пути между узлами «земля» и «питание».

Модель неисправности «замыкание сток-исток»

Образование дополнительного пути прохождения сигналов приводит к необходимости более точных характеристик описания этого дефекта. Считаем, что значение сигнала S определяется из принципа доминирования более мощного сигнала при различных состояниях затвора транзистора.

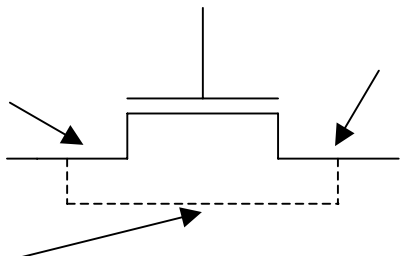


Рисунок 7 – Замыкание сток-исток

Если затвор не активен (логическое значение 1(0) для p (n)-транзистора), мы можем определять проводимость нового пути, устанавливая соответствующие силы сигнала H (сила тока). Тем самым, один из самых актуальных дефектов современных СБИС, как утечка тока (прокол между истоком и стоком) может быть промоделирован на переключательном уровне для цели построения проверяющего теста. При моделировании схем в настоящей работе считаем справедливой ситуацию на рис.7.

Неисправности «обрыв линий»

Обрыв линии в сети - это обрыв в p -сети или в n -сети ячейки, который прерывает один или более транзисторных путей между выходами устройства и узлами «питание» или «земля» [8]. Под транзисторным путем понимаем последовательность транзисторов физически связанными своими полюсами, т.е. стоками и истоками. В [15,16] показано, что тест для открытого транзистора может обнаруживать некоторые из 4 типов обрывов, которые возникают вследствие одиночного плавающего затвора транзистора.

Обрыв линии схемы (непреднамеренный разрыв в ней) разделяет узел на два или более узла. С точки зрения прохождения тока различают сильный (большой разрыв) (ток не может течь между концами обрыва при приложении напряжения к ним) и слабый (узкий) разрыв (малый ток утечки вследствие туннельного эффекта течет через обрыв) [17]. Обнаружение обрыва линии на основе измерения напряжения требует двухнаборного теста. Однако показано, что транзитный путь к узлам „питание” или „земля” может сделать неэффективными двухнаборные тесты при тестировании неисправности „open”. Анализ возможных

ситуаций выполнен в [11-14]. Влияние обрыва линии на характеристики функционирования схемы описываются функцией местоположения и размера дефекта.

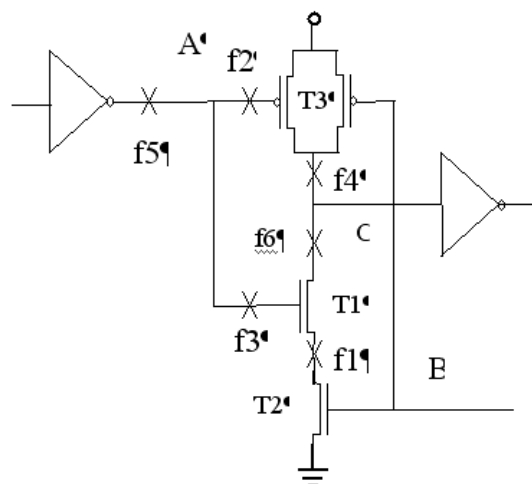


Рисунок 8 – Виды обрывов МП-ячейки.

Так для базовой ячейки на рис.8 дефекты $f2, f3$ являются обрывами затворов для транзисторов $T3, T1$ соответственно. Дефекты $f4, f6$ классифицируем как обрыв p -сети (n -сети) соответственно. Дефект $f5$ –неисправность обрыва выхода, а дефект $f1$ есть неисправность обрыва истока(стока) для транзисторов $T1(T2)$ соответственно.

Влияние каждого из дефектов на поведение схемы различно и описывается следующим образом.

Обрыв истока. Если считать что неисправность $f1$ является слабым обрывом, то будем иметь медленное возрастание напряжения до лог.1 на выходном узле C вследствие его заряда. Неисправность $f1$ может быть идентифицирована, как неисправность типа временная задержка.

Обрыв стока. Эта неисправность описывается аналогично неисправности обрыва истока.

Обрыв p -сети. Предполагая, что неисправность $f4$ есть слабый обрыв, можно идентифицировать ее как неисправность типа временная задержка (медленный переход $0 \rightarrow 1$). Этот недостаток функционирования схемы может проявлен подачей входных воздействий ($11, 10$) на входы AB .

Обрыв затвора. Дефект $f3$ является примером транзистора с плавающим затвором и его проводимость может быть определена путем измерения напряжения на узле C для некоторых определенных входных наборов.

Обрыв выхода. Неисправность $f5$ приводит к превращению комплементарной пары транзисторов $T3, T1$ в пару транзисторов с плавающим затвором. Обычно у такого обрыва сильная проводимость.

В таблице 2 символом А обозначен функциональный тест для DLR-триггера, проверяющий основные его функции, такие как сброс триггера и установку 0 и 1 на выходе.

Результаты моделирования триггера на тесте представлены в таб.1. Тест В проверяет переходы триггера по состояниям и состоит из 1,3,2,3,1,2,1,3 наборов теста А.

Таблица 2. Обнаружение неисправностей на наборах тестов А и В.

N	Константные	=0		=1		N	«обрыв затвора»			«замыкание сток-исток»			«обрыв линий»		
		A	B	A	B			A	B		A	B		A	B
1	8 4 1		7			1	8 4 1			8 4 1			8 4 1		
2	8 7 1		7			2	8 7 1			8 7 1			8 7 1		
3	10 8 1		7			3	9 13 1		3	9 13 1		3	9 13 1		3
4	10 5 1	1	4			4	10 8 1		7	10 8 1		7	10 8 1		7
5	12 4 7		3			5	10 5 1	1	4	10 5 1	1	4	10 5 1	1	4
6	12 3 1		3	2	1	6	12 4 7		3	12 4 7		3	12 4 7		3
7	13 7 1	2	1			3	7 12 3 1		3	7 12 3 1		3	7 12 3 1		3
8	13 5 1					3	8 13 7 1	2	1	8 13 7 1	2	1	8 13 7 1	2	1
9	14 10 11				4	9	13 5 1			13 5 1			13 5 1		
10	14 6 1					10	14 10 11			14 10 11			14 10 11		
11	15 11 6	1	1			11	14 6 1			14 6 1		1	14 6 1		1
12	15 9 1	1	1		3	12	15 11 6	1	1	15 11 6	1	1	15 11 6	1	1
						13	15 9 1	1	1	15 9 1	1	1	15 9 1	1	1

Таблица 3. Оценка тестируемости эталонных схем на случайных тестах.

Имя схемы из эталона ISCAS-89	Число наборов в тесте	Число константных неисправностей =0 /обнаруж./	Число константных неисправностей =1 /обнаруж./	Число неисправностей «обрыв транзистора» /обнаруж./	Число неисправностей «замыкание сток-исток»/ обнаруж./	Число неисправностей «обрыв линий» /обнаруж./
S1494	50	1430/170	1430/313	2129/310	2129/344	2129/345
S1512	7	1607/101	1607/541	2823/626	2823/626	2823/626
S298	50	329/51	329/66	668/147	668/151	668/119
S4863	6	4717/625	4717/717	7056/1100	7056/1050	7056/1050

Заключение и дальнейшие исследования

Дефекты приводят к неустойчивым значениям напряжения на выходе устройства. При моделировании таких неисправностей возникают осцилляции, т.е. итеративный процесс

моделирования схемы не может определить ее устойчивое состояние. При обнаружении неисправностей это явление может быть использовано. Однако дать определенные ответы на вопросы, имеет ли осцилляция своей причиной моделируемую неисправность, определение

практически приемлемого граничного числа итераций для обнаружения осцилляции, можно ли считать обнаруженной неисправность при наличии осцилляций значений сигналов на внутренних линиях схемы согласно рис.9, весьма затруднительно в общем случае [18-19].

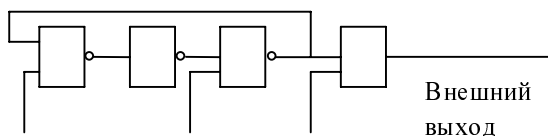


Рисунок 9 – Осцилляция внутренних линий схемы

В работе рассмотрены основные классы неисправностей в МОП-структурах. На основе алгоритмов моделирования исправных схем на переключательном уровне программно реализовано моделирование схем с неисправностями. Приведены результаты псевдослучайной генерации тестов, основанные на моделировании различных классов неисправностей. Разнообразие характеристик различных типов современных транзисторных структур стимулирует развитие всех методов генерации тестов для них.

Литература

1. Вейцман И.Н., Кондратьева О.М. Тестирование КМОП-схем // Автоматика и телемеханика.-1991.-N 2.-с.3-34.
2. Bryant R. E.. A Switch Level Model and Simulator for MOS Digital Systems /IEEE Trans. on Comp.,-1984.-33,N 2.-P.160-177.
3. Хейес Дж.П.Обобщенная теория переключательных схем и ее применение для проектирования СБИС//Тр. Ин-та инж. по электротехнике и радиоэлектронике.-1982.-70,N 10.-с.5-19.
4. VLSI Testing/Ed. by Williams T.W. Elsevier Science Publishers, B.V.,1986-275 p.
5. C-Mo Li J. Test and Diagnosis of Open Defects in Digital CMOS Integrated Circuits/Ph.D.thesis, Stanford University,Stanford,California,2002.
6. Yang A.T., Chang Y.-H., Saab D.G., Hajj I.N. Switch-level timing simulation of bipolar ECL circuits // Там же, Vol.: 12, № 4 , April 1993 ,pp.516-530.
7. Ma S. "Testing BiCMOS and dynamic CMOS logic", CRC Technical Report No. 95-1, Stanford University, Stanford, 1995,p.55.
8. Konuk H.Testing for Opens in Digital CMOS Circuits, University of California, Santa Cruz, dissertation 1996., p.109.
9. Андрияхин А.И., Сперанский Д.В. Иерархическая компилятивная система моделирования и генерации тестов// Техническая диагностика и неразрушающий контроль. –1994. - N 2. - С. 71-78.
10. Андрияхин А.И. Параллельное моделирование неисправностей МОП-структур// Научные труды Донецкого государственного технического университета.Серия:Проблемы моделирования и автоматизации проектирования динамических систем. Выпуск 29. 2001 г., С.205-211.
11. Андрияхин А.И. Параллельное многозначное логическое моделирование исправных и неисправных псевдобулевых схем. // Электронное моделирование -1997, N 1. -с. 58-63.
12. Hayes J.P.Pseudo-Boolean Logic Circuits//IEEE Trans. on Computers.- 1986. Vol. C-35, N 7, P.602-612.
13. Politecnico di Torino ITC'99 benchmarks, downloadable at the URL [http://www.cad.polito.it /tools/itc99.html](http://www.cad.polito.it/tools/itc99.html)
14. Пухальский Г.И., Новосельцева Т.Я. Проектирование дискретных устройств на интегральных микросхемах:Справочник.- М.:Радио и связь,1990.-304 с.
15. Renovell M., Cambon G.Electrical analysis and modeling of floating –gate fault// IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Nov. 1992 , pp. 1450-1458.
16. Champac V.H., Rubio A., Figueras J. Electrical model of the floating gate defect in CMOS ICs:Implications on IDDQ testing// Transactions on Computer-Aided Design of Integrated Circuits and Systems, March 1994, pp. 359 -369.
17. Chakravarty S.. Defect Detection Capability of Delay Tests for Path Delay Faults //TR 96-20, State University of New York, Buffalo, 1996, 23 p.
18. Wiklund K., Magnusson T., Dahlgren P.Switch-Level Test Generation of Competing Bridging Faults in the Presence of Feedback// Department of Computer Engineering,Chalmers University of TechnologyS-412 96 Gothenburg, Sweden Technical Report 00-02
19. Лазер И.М., Шубарев В.А. Устойчивость цифровых микроэлектронных устройств. - М.: Радио и связь. 1983.-216с.