

ОПТИМИЗАЦИЯ СХЕМЫ АДРЕСАЦИИ КОМПОЗИЦИОННОГО УСТРОЙСТВА УПРАВЛЕНИЯ

Баркалов А.А., Ефименко К.Н., Вишневецкий Р.
Донецкий национальный технический университет (Украина),
университет Зеленогурский (Польша)
E-mail: barkalov@cs.dgtu.donetsk.ua

Abstract

Barkalov A.A., Efimenko K.N., Wishniewski R. Optimization of addressing circuit of compositional control unit. Method of special addressing of microinstructions is proposed, permitting to decrease the number of inputs of compositional microprogram control unit (CMCU). Addressing is executed in such manner that each operational linear chain of CMCU is identified by minimal number of bits from microinstruction address. Such approach permits to decrease amount of LUT – elements in circuit of addressing of CMCU. An algorithm of special addressing is proposed and example of its application is given.

1. Введение

Прогресс в микроэлектронике привел к появлению микросхем типа «система-на-кристалле» (SoC), позволяющих реализовать сложные цифровые системы на базе одной СБИС [1, 2]. Как правило, произвольная логика в таких микросхемах реализуется на FPGA, состоящих из миллионов элементов табличного типа (LUT-элементов) [3, 4], а различные табличные функции реализуются на встроенных блоках памяти DMB. Одним из важных блоков цифровой системы является устройство управления [4, 6], которое может быть реализовано как композиционное микропрограммное устройство управления (КМУУ) [7]. При реализации КМУУ в составе SoC схема адресации микрокоманд реализуется на FPGA. Ограниченное число входов LUT-элементов приводит к необходимости декомпозиции реализуемых булевых функций [8, 9], что увеличивает число LUT-элементов в схеме адресации и время такта КМУУ. Для уменьшения этих негативных явлений необходимо уменьшить число входов схемы адресации микрокоманд. В настоящей работе предлагается метод и алгоритм специальной адресации микрокоманд, позволяющий решить эту задачу при синтезе КМУУ с общей памятью [10].

2. Общие теоретические положения

Пусть алгоритм управления цифровой системы задан в виде граф-схемы

алгоритма (ГСА) Γ [4], включающей начальную вершину b_0 , конечную вершину b_E , M операторных вершин, образующих множество B_1 , и условные вершины, образующие множество B_2 . В вершинах $b_q \in B_1$ записываются наборы микроопераций (микрокоманды) $Y_q \subseteq Y$, где $Y = \{y_1, \dots, y_N\}$ - множество микроопераций. В вершинах $b_q \in B_2$ записываются элементы множества логических условий $X = \{x_1, \dots, x_L\}$. Вершины ГСА образуют множество $V = \{b_0, b_E\} \cup B_1 \cup B_2$, элементы которого связаны дугами из множества E .

Введем ряд определений [10], необходимых для дальнейшего изложения материала.

Определение 1. Операторной линейной цепью (ОЛЦ) ГСА Γ называется конечная последовательность операторных вершин $\alpha_g = \langle b_{g1}, \dots, b_{gF_g} \rangle$, для любой пары соседних компонент которой существует дуга $\langle b_{gi}, b_{gi+1} \rangle \in E$, где $i=1, \dots, F_g-1$ - номер компоненты.

Определение 2. Вершина $b_q \in B_1$, где $D^g \subseteq B_1$ - множество вершин, входящих в ОЛЦ α_g , называется входом ОЛЦ α_g , если существует дуга $\langle b_t, b_q \rangle \in E$, где $b_t \notin D^g$.

Определение 3. Вершина $b_q \in D^g$, называется выходом ОЛЦ α_g , если существует дуга $\langle b_g, b_t \rangle \in E$, где $b_t \notin D^g$.

Пусть для ГСА Γ найдено разбиение $C = \{\alpha_1, \dots, \alpha_G\}$ множества B_1 на операторные линейные цепи и пусть для каждой пары соседних вершин ОЛЦ $\alpha_g \in C$ выполняется условие

$$A(b_{gi+1}) = A(b_{gi}) + 1 \quad (i = 1, \dots, F_g - 1), \quad (1)$$

где $A(b_g)$ - адрес микрокоманды, соответствующей вершине $b_q \in B_1$. В этом случае устройство управления цифровой системы может быть реализовано в виде КМУУ с общей памятью U_1 (Рис. 1) [10].

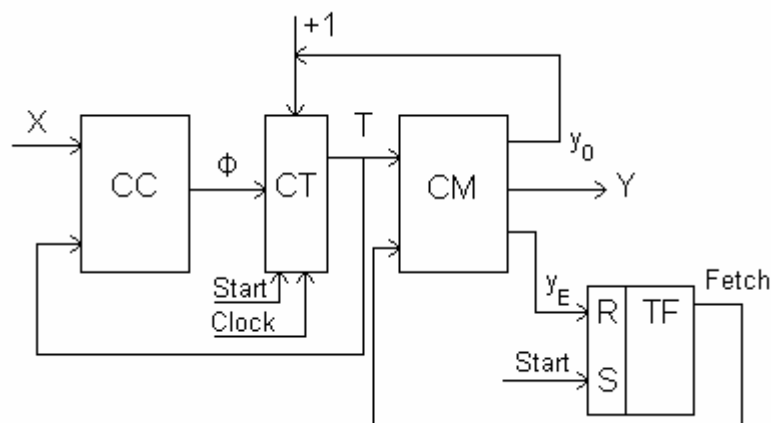


Рис. 1. Структурная схема КМУУ U_1

По сигналу Start в счетчик СТ записывается нулевой адрес первой микрокоманды микропрограммы, а триггер считывания TF

устанавливается в единичное состояние (Fetch=1). Если в СТ находится адрес $A(b_q)$ и вершина b_q не является выходом O_q ОЛЦ $\alpha_g \in C$, то одновременно с записанными в этой вершине микрооперациями $Y(b_q) \subseteq Y$ формируется сигнал y_0 . При $y_0=1$ по сигналу Clock содержимое СТ увеличивается на единицу, что соответствует режиму адресации (1). Если $b_q = O_g$, то сигнал $y_0 = 0$ и схема СС формирует функции

$$\Phi = \Phi(T, X) \quad (2)$$

и систему функций возбуждения регистра RG

$$\Psi = \Psi(V, X) \quad (3)$$

для записи в СТ адреса $A(I_g^j)$ j-го входа O_q ОЛЦ $\alpha_g \in C$. Если в СТ находится адрес $A(b_q)$ и $\langle b_t, b_g \rangle \in E$, то формируется сигнал u_E , триггер TF обнуляется и считывание микрокоманд из СМ прекращается.

Как видно из рис. 1, переменные $T_r \in T$, где $|T|=R$ и

$$R = \lceil \log_2 M \rceil, \quad (4)$$

используются и для адресации микрокоманд, и для формирования этих адресов. При этом минимизируется число выходов схемы СС по сравнению с известными структурами КМУУ [10]. Однако для идентификации ОЛЦ $\alpha_g \in C$ достаточно

$$R_1 = \lceil \log_2 G \rceil \quad (5)$$

переменных и при выполнении условия

$$R_1 < R \quad (6)$$

число входов схемы СС является избыточным, что увеличивает требования к числу входов используемых LUT-элементов, приводит к росту аппаратных затрат и времени такта КМУУ. В настоящей работе предлагается метод специальной адресации микрокоманд, позволяющий уменьшить число переменных обратной связи до R_2 , где

$$R_1 \leq R_2 \leq R. \quad (7)$$

3. Метод и алгоритм специальной адресации микрокоманд

Пусть $T' \subseteq T$ - множество переменных, однозначно идентифицирующих ОЛЦ $\alpha_g \in C$, и $|T'|=R_1$. В этом случае функции (2) представляются в виде

$$\Phi = \Phi(T', X), \quad (8)$$

что упрощает схему адресации СС по сравнению со схемой СС КМУУ U_1 . Обозначим символом U_2 КМУУ со специальной адресацией микрокоманд. Структуры КМУУ U_1 и U_2 совпадают, при этом для формирования адресов микрокоманд используются переменные $T_r \in T'$.

Адресация микрокоманд КМУУ U_1 производится следующим образом [2]. Формируется вектор $\alpha = \alpha_1 * \alpha_2 * \dots * \alpha_G$, где * - знак конкатенации, и

каждой компоненте этого вектора ставится в соответствие двоичный код $A(b_q)$, равный уменьшенному на единицу двоичному эквиваленту разрядности R номера этой компоненты. Пусть для ГСА Γ_1 $S = \{\alpha_1, \dots, \alpha_4\}$, где $\alpha_1 = \langle b_1, b_2, b_3 \rangle$, $\alpha_2 = \langle b_4, b_5, b_6 \rangle$, $\alpha_3 = \langle b_7, \dots, b_{11} \rangle$, $\alpha_4 = \langle b_{12}, b_{13}, b_{14} \rangle$. В данном случае $M=14$, $R=4$ и результат адресации показан на рис. 2, где КМУУ $U_1(\Gamma_1)$, означает, что КМУУ U_1 синтезируется по ГСА Γ_1 .

		$T_1 T_2$			
		00	01	10	11
$T_3 T_4$	00	b_1	b_5	b_9	b_{13}
	01	b_2	b_6	b_{10}	b_{14}
	10	b_3	b_7	b_{11}	*
	11	b_4	b_8	b_{12}	*

Рис. 2. Адресация микрокоманд КМУУ $U_1(\Gamma_1)$

Для однозначной идентификации ОЛЦ $\alpha_g \in S$ достаточно однозначной идентификации её выхода O_g кодом $K(\alpha_g)$, совпадающим для КМУУ U_1 с адресом $A(O_g)$ этого выхода. В случае КМУУ $U_1(\Gamma_1)$ имеем: $A(O_1)=0010$, $A(O_2)=0101$, $A(O_3)=1010$, $A(O_4)=1101$. Анализ этих адресов показывает, что выходы ОЛЦ $\alpha_g \in S$ можно идентифицировать кодами $K(O_1)=00$, $K(O_2)=01$, $K(O_3)=10$, $K(O_4)=11$. Разрядность кодов $K(O_g)$ в данном случае минимальна ($R_2=2$), так как $G=4$ и $R_1=2$. Итак, в данном случае $T = \{T_1, T_2\}$. Пусть в КМУУ $U_1(\Gamma_1)$ имеется формула, для некоторой функции $D_1 \in \Phi$:

$$D_1 = \bar{T}_1 T_2 \bar{T}_3 T_4 x_1 \vee T_1 T_2 \bar{T}_3 T_4 x_2 x_3.$$

Тогда в КМУУ $U_2(\Gamma_1)$ эта формула упрощается до

$$D_1 = \bar{T}_1 T_2 x_1 \vee T_1 T_2 x_2 x_3.$$

Однако в случае обычной процедуры адресации, адреса выходов имеют случайный характер. Пусть для некоторой ГСА Γ_2 имеем $S = \{\alpha_1, \dots, \alpha_4\}$, где $\alpha_1 = \langle b_1, b_2 \rangle$, $\alpha_2 = \langle b_3 \rangle$, $\alpha_3 = \langle b_4 \rangle$, $\alpha_4 = \langle b_5, \dots, b_{10} \rangle$. Тогда микрокоманды $U_1(\Gamma_2)$ имеют следующие адреса (рис. 3).

		$T_1 T_2$			
		00	01	10	11
$T_3 T_4$	00	b_1	b_5	b_9	*
	01	b_2	b_6	b_{10}	*
	10	b_3	b_7	*	*
	11	b_4	b_8	*	*

Рис. 3. Адресация микрокоманд КМУУ $U_1(\Gamma_2)$

Как видно из рис. 3, $A(O_1)=0001$, $A(O_2)=0010$, $A(O_3)=0011$, $A(O_4)=1001$ и $K(O_g)=A(O_g)$ для $g=1,2,3$. Таким образом, в данном случае число сигналов обратной связи не уменьшается.

В настоящей работе предлагается рассматривать таблицу адресации, как регистр сдвига вправо, имеющий 2^R разрядов. Специальная адресация микрокоманд выполняется при помощи следующей предлагаемой процедуры:

1. Выполнить адресацию микрокоманд, удовлетворяющую (1).
2. $R_0 = R_1$.
3. Построить таблицу адресации микрокоманд, имеющую 2^{R_0} столбцов, отмеченных R_0 старшими переменными адреса, и 2^{R-R_0} строк, отмеченных $R - R_0$ младшими переменными адреса.
4. Если выходы ОЛЦ $\alpha_i, \alpha_j \in C$ находятся в одном столбце таблицы, то осуществим сдвиг информации, начиная с первой вершины ОЛЦ α_j ($j > i$). Освобождающиеся клетки таблицы заполняем символами *. Сдвиг продолжаем до тех пор, пока выходы O_i и O_j будут находиться в разных столбцах таблицы.
5. Если выходы всех ОЛЦ $\alpha_g \in C$ идентифицируются однозначно при помощи R_0 разрядов, то перейти к п.8.
6. Если в процессе сдвига произошел выход какой-либо вершины за пределы таблицы, то $R_0 := R_0 + 1$.
7. Если $R_0 < R$, то перейти к п. 3.
8. Конец.

В случае ГСА Γ_2 исходная таблица адресации показана на рис. 3. Применение процедуры специальной адресации в данном примере выполняется следующим образом. На первом этапе информация сдвигается на 2 разряда вправо, начиная с вершины b_3 . На втором этапе производится сдвиг на 3 разряда вправо, начиная с вершины b_4 , что приводит к таблице адресации (рис. 4).

		$T_1 T_2$			
		00	01	10	11
$T_3 T_4$	00	b_1	b_3	b_4	b_8
	01	b_2	*	b_5	b_9
	10	*	*	b_6	b_{10}
	11	*	*	b_7	*

Рис. 4. Специальная адресация микрокоманд КМУУ $U_2(\Gamma_2)$

Теперь $K(O_1)=00$, $K(O_2)=01$, $K(O_3)=10$, $K(O_4)=11$, $\Gamma = \{T_1, T_2\}$ и число

сигналов обратной связи уменьшилось с $R=4$ до $R_1=2$, что является минимальным значением переменной R_2 .

Отметим, что достижение минимального значения параметра R_2 возможно не всегда и зависит от сочетания параметров ГСА таких, как число ОЛЦ, число компонент в ОЛЦ, число операторных вершин, число несущественных наборов адресных переменных.

4. Заключение

Предлагаемый в работе метод специальной адресации микрокоманд КМУУ позволяет уменьшить число сигналов обратной связи схемы адресации микрокоманд. Это приводит к уменьшению требований к числу входов LUT-элементов, реализующих схему СС. При этом появляется потенциальная возможность уменьшения аппаратных затрат и времени такта КМУУ по сравнению с методом произвольной адресации микрокоманд. Исследования авторов показали, что при выполнении условия (5) и $R_1=R_2$ число LUT-элементов в схеме СС уменьшается на 15-18%, а число уровней схемы уменьшается на 1-3 по сравнению с известным методом адресации микрокоманд [6]. Таким образом, в данном случае оптимизация аппаратных затрат не сопровождается уменьшением быстродействия устройств управления.

Литература

1. Грушиницкий Р.И., Мурсаев А.Х., Угрюмов Е.П. Проектирование систем на микросхемах программируемой логики. – Петербург: БХВ–2002. – 636 с.
2. S. Baranov. Logic Synthesis for Control Automata, Kluwer Academic Publishers, 1994. – 301 pp.
3. Salcic Z. VHDL and FPGAs in digital systems design, prototyping and customization. –Kluwer Academic Publishers, 1998. – 318 pp.
4. Jenkins J. Design with FPGAs and CPLDs. – Prentice – Hall, 1995. – 273 pp.
5. De Micheli G., *Synthesis and Optimization of Digital Circuits*. – McGraw Hill: NY, 1994. – 626 pp.
6. Баркалов А.А., Палагин А.В. Синтез микропрограммных устройств управления – Киев: ИК НАН Украины, 1997.- 136 с.
7. Kania D. Synteza logiczna przeznaczona dla matrycowych struktur programowalnych typu PAL. – Zeszyty naukowe Politechniki Śląskiej, Gliwice, 2004. – 240 s.

8. Баркалов А.А. Принципы оптимизации логической схемы микропрограммного автомата Мура// Кибернетика и системный анализ. – 1998, №1. – С.65-72.
9. Synteza układów cyfrowych //Praca zbiorowa pod redakcją prof. Tadeusza Łuby – Warszawa: WKŁ, 2003. – 312 s/
10. Баркалов А.А. Синтез устройств управления на программируемых логических устройствах.– Донецк: ДонНТУ, 2002. – 262 с.

Дата надходження до редакції 29.10.2006 р.